

## СЕКЦІЯ «КОМП'ЮТЕРНІ СИСТЕМИ ТА МЕРЕЖІ»

УДК 681.3.01; 004.272.3

Проскурін М.П.

канд. техн. наук, доц. НУ "Запорізька політехніка"

### МАЛОРОЗРЯДНІ СТРУКТУРИ ДЛЯ ПАРАЛЛЕЛЬНИХ ОБЧИСЛЕНЬ

Загальновідомо, що максимальну швидкодію забезпечують обчислювальні системи з апаратною реалізацією алгоритму. В даний час для побудови обчислювальних систем такого класу використовуються програмовані інтегральні схеми (ПЛІС). У роботі [1] відзначається, що для досягнення найбільшої ефективності і продуктивності при вирішенні сильно пов'язаних завдань необхідно використовувати безліч ПЛІС, об'єднаних за допомогою високошвидкісних інтерфейсів в єдине обчислювальне поле. Це дозволяє структурно реалізувати базовий підграф розв'язуваної задачі і суттєво, на один...два порядки, підвищити швидкість виконання завдання в цілому. Описана в роботі концепція побудови реконфігурованих обчислювальних систем (РОС) на основі ПЛІС дозволила створити ряд систем, які за реальною продуктивністю в одиниці об'єму та енергоефективності істотно випереджають як кластерні обчислювальні системи, так і відомі вітчизняні та зарубіжні РВС. В якості елементної бази для побудови РОС використані ПЛІС великого ступеня інтеграції фірми Xilinx сімейства Virtex, з'єднані в єдиний обчислювальний ресурс швидкісними каналами передачі даних (0,8 ГГц) [1].

Відомий інший шлях, що веде до апаратної реалізації алгоритму: використання однорідних обчислювальних середовищ (ООС), в яких має місце так званий структурний спосіб організації обчислювального процесу, наприклад на основі одно-, двох- розрядних процесорів (в загальному підході – мало-розрядний процесор). Прикладом втілення їх в ООС є використання матричних обчислювальних системи (МОС), які пристосовані для вирішення завдань, що характеризуються паралелізмом незалежних даних. Такі системи мають спільний керуючий пристрій, що генерує потік команд, і велике число процесорних елементів (ПЕ), що працюють паралельно і обробляють (кожен з них) свій потік даних [2]. В основі ПЕ лежить матричний процесор (аггау процесор), що складається з масиву ПЕ. Однак на практиці, щоб забезпечити достатню ефективність системи (при вирішенні широкого кола завдань), необхідно організувати зв'язки між ПЕ так, щоб: а - організувати функціонал (налаштування на і-те завдання); б - забезпечити режим повного завантаження кожного ПЕ роботою. Саме характер зв'язків між ПЕ і визначає властивості МОС. Подібна схема може бути застосована і для векторних

обчислень. Матричний процесор інтегрує багато ідентичних функціональних блоків (ФБ), логічно об'єднаних в матрицю, які працюють в SIMD- стилі. В більшості матричних SIMD-систем в якості процесорних елементів застосовуються прості RISC-процесори з локальною пам'яттю обмеженою ємності. Наприклад, кожен ПЕ системи MasPar MP-1 складається з 4-розрядного процесора з пам'яттю ємністю 64 Кбайт. В системі MPP використовуються однорозрядні ПЕ з пам'яттю 1 Кбіт кожен, а в CM-2 ПЕ являє собою однорозрядних процесор з 64 Кбіт локальної пам'яті. Завдяки простоті ПЕ масив може бути реалізований у вигляді однієї надвеликої інтегральної мікросхеми (НВІС), що дозволяє скоротити число зв'язків між ІС і, отже, габарити. Так, одна НВІС в системі CM-2 містить 16 процесорів (без блоків пам'яті), а в системі MasPar MP-1 НВІС складається з 32 процесорів (також без блоків пам'яті) [2].

Використання кремнієвої (Si) пластини (як конструктивної одиниці) дозволяє обійтися проектними нормами добре обкатаного рівня технологій таким чином, щоб питома щільність транзисторів в обчислювальній системі, реалізованої на пластинах, буде в підсумку на один-два порядки вище, ніж в апаратурі, побудованої на мікросхемах (навіть якщо вони будуть виготовлятися по гранично допустимим на сьогоднішній день технологічним нормам). Саме готовність ООС «перейти на пластину» - основна перевага МОС перед іншими напрямками в обчислювальній техніці - мікропроцесорними і трансп'ютерном системами, систолойкою, програмованими гратчастими полями (FPGA) і логічними інтегральними схемами (ПЛІС), ін.

Але щоб «перейти на пластини», потрібні ООС нового покоління - наприклад такі, що отримали назву пульсуючі інформаційні решітки (пульсири) [3], бо ця термінологія більш точно відображає процес обробки інформації в подібних регулярних структурах. У пульсирі першорядну увагу приділено питанням забезпечення надійності та живучості, що, в свою чергу, гарантує технологічність виробництва і ефективність експлуатації МОС.

На рис. 1а,б показана частина 2D (двовимірної) матриці пульсирів, комірки якої з'єднані між собою локальними і глобальними інформаційними шинами. Як видно з рис. 1а, кожна комірка (мінімальний елемент матриці пульсира) виконує функції над восьмирозрядними операндами і може виступати, як ПЕ (що має малорозрядне АЛУ з відповідною периферією) і/або допоміжні пристрої, що їх оточують: блоки вводу/виводу, регістри, п'ять кросконекторів сигналів, ін. та може бути з'єднана ближніми зв'язками з вісьмома комірками - сусідніми пульсирами. Ці блоки вводу / виводу мають фіксовану комутацію та зображені на рис.1а тонкими лініями. Для зв'язку з дальніми комірками (від обраної) можуть бути застосовані інші 8-ми розрядні шини, що показані на рис.1б, які можуть функціонувати активуванням перетину ліній «координатної сітки» (режим типу запис/зчитання): напри-

клад, комірка  $ij$  (ПЕ $ij$  зліва внизу) передає дані до комірки  $mn$  (ПЕ $mn$ , справа уверху) або іншим способом. Блоки 2D пульсирів, які розташовані на обоїх сто-ронах пластини, можуть складатися із кількох сотен (тисяч) ПЕ, їх допоміжних схем та з'єднуватися між собою електричними (рис.1а,б) і оптичними каналами, як зображено на рис.2а [3].

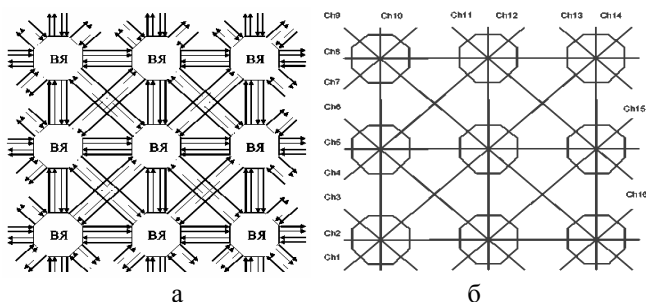
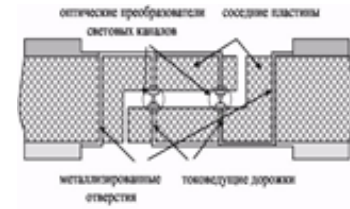


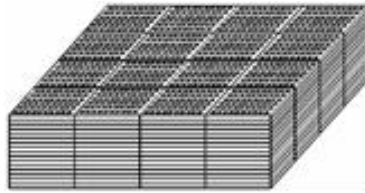
Рисунок 1 - Ескіз частини блоку 2D пульсира і його ближніх електричних зв'язків (а) та 2D матриця пульсира, напрями його можливих (активованих чи ні) дальніх електричних зв'язків (б)

Кожен з оптичних каналів рис.2а складається з пари перетворювачів - електронно-оптичного і оптоелектронного (дуплексний комутатор). Кожен «сполучений» комутатор  $i$ -го блоку може здійснювати передачу/прийом даних в напрямку до та від  $j$ -го сусіднього блоку. Використання «сполучених» комутаторів дозволяє здійснити передачу даних між «пов'язаними» комірками і транзит даних через усю пластину, які надходять світловими потоками зверху і знизу, при цьому виходи «пов'язаних» кліток і виходи перетворювачів оптичних каналів є входами відповідного «сполученого» комутатора. Кому-тація входів «сполучених» комутаторів задається безпосередньо кодом управління відповідної «пов'язаної» комірки. Інші два входи «сполучених» оптоелектронних комутаторів, що розташовані на верхній і нижній поверхнях пластини, є каналами прийому даних локальних шин. Оптоелектронний ко-мутатор складається з чотирьох каналів. Аналогічно влаштовані комутатори для нижньої поверхні пластини з Si [3].

Кілька паралельно розташованих 2D блоків (нижні, верхні від обраного) формують 3D структуру (рис. 2б), де електричний (або оптичний) тип зв'язку між ними виконує комутаційну функцію між кількома десятками 2D шарів, які виконані на основі однорідних структур на Si пластині [3].



а



б

Рисунок 2 - Загальний вигляд: оптичних зв'язків між сусідніми 2D блоками (а) та варіант реалізації об'ємної 3D структури із кількох десятків плоских 2D структур (б)

Подібні особливості мають конструктивні технологічні рішення (КТР) оптоелектронних цифрових ІС (ОЦІС), що зображені на рис.3а,б [4,5] і які раніше запатентовані автором цих тез. В основі їх побудови використано схему оптоелектронного логічного елемента nАБО-НІ (базис Пірса), що реалізована на мікропотужних оптронах UVЧ діапазону. Саме їх можливо обрати у якості оптоелектронного базису для створення комірок одно-, двох-малорозрядних процесорів (типу пульсирів), але всі вхідні, вихідні, управляючі, інформаційні, інші зв'язки в них мають виключно оптичний характер.

Висновок. Наведені КТР пульсирів, ОЦІС, їх комбінацій можуть бути взяті за основу для створення ООС на основі малорозрядних обчислювальних комірок з електричними і/або оптичними зв'язками між ними. Використання пульсирів і/або ОЦІС (на базі КТР типу 2D, 3D рис.1а,б, рис.2а,б) при створенні ООС відкриває нові можливості їх застосування у якості основи для моделювання РОС, ООС, МОС і схем на їх базі та суттєвого підвищення продуктивності паралельних обчислювань (наприклад, отримання скалярних добутків  $C$  при множенні операндів  $A \times B$ : схеми Дадда, Уоллеса, ін.).

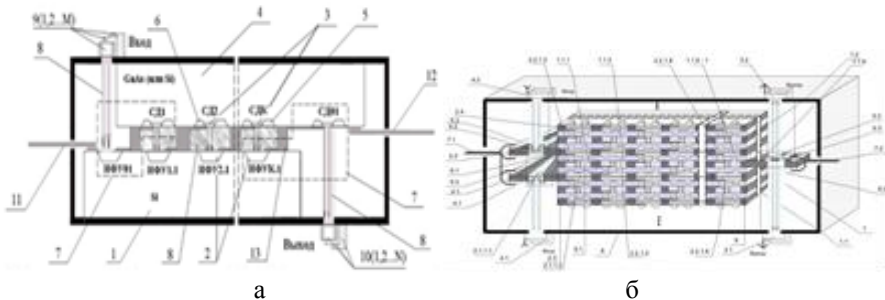


Рисунок 3 - Ескізи ОЦІС і їх вигляд: торець блоку 2D схеми ОЦІС (оптоелектронні логічні елементи пАБО-НІ позначені пунктиром) (а); 3D схема ОЦІС має 7 шарів: 3(нижні) + 1 (середина) + 3 (верхні). В обох ОЦІС вхідні (зліва), внутрішні, вихідні (справа) зв'язки є оптичними (б)

## СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Реконфигурируемые мультиконвейерные вычислительные структуры / И.А. Каляев, И.И. Левин, Е.А. Семерников, В.И. Шмойлов. Изд. 2-е, перераб. и доп.. Под ред. И.А. Каляева. Ростов-на-Дону: Изд-во ЮНЦ РАН, 2009. – 344 с.
2. Новосибирский государственный университет. Факультет информационных технологий. Матричные вычислительные системы; Матричный процессор [Электронный ресурс]. – Режим доступа: [www.nsc.ru/win/elbib/data/show\\_page.dhtml](http://www.nsc.ru/win/elbib/data/show_page.dhtml) (дата звернення: 05.03.2020). – Назва з екрана.
3. Гузик В.Ф. Пульсирующие информационные решетки с матричной коммутацией / В.Ф. Гузик, В.И. Шмойлов, Г.А. Кириченко // Известия ВУЗов. Северо-Кавказский регион. Технические науки. – 2014. – № 6. – С.3-11.
6. Пат. на корисну модель 10133 Україна, МПК G02F 3/00. Цифровий пристрій з оптоелектронним блоком / Проскурін М.П., Білявська О.С., Демиденко О.О. (Україна) - № у 2005 00239; Заявл.11.01.2005; опубл. 15.11.2005, Бюл. №11. – 4 с.
7. Пат. на корисну модель 51219 Україна, МПК G02F 3/00. Оптоелектронна інтегральна схема для цифрових автоматів / Проскурін М.П. (Україна) - № у 2009 13491; Заявл.24.12.2009; опубл. 12.07.2010, Бюл. №13. – 5 с.