

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Національний університет «Запорізька політехніка»



Факультет комп'ютерних наук та технологій
Кафедра «Комп'ютерні системи та мережі»

КУХТІН КОСТЯНТИН ІГОРОВИЧ
Група КНТ-613м

СПЕЦОБЧИСЛЮВАЧ НА FPGA ІЗ ПАРАЛЕЛЬНОЮ
СТРУКТУРОЮ ОПЕРАЦІЙНОЇ ЧАСТИНИ

АВТОРЕФЕРАТ

магістерської роботи на здобуття освітньо-кваліфікаційного
рівня «магістр» 123 «Комп'ютерна інженерія»
освітньої програми «Комп'ютерні системи та мережі»

2024 р.

Магістерська робота є рукопис.

Робота виконана в Національному університеті «Запорізька політехніка», на кафедрі комп'ютерних систем та мереж

Керівник кандидат технічних наук, доцент
Зеленьова Ірина Яківна,
Національний університет «Запорізька політехніка», доцент кафедри комп'ютерних систем та мереж

Офіційний рецензент: **Степаненко Олександр Олександрович** - к.т.н., доцент кафедри «Програмні засоби» НУ «Запорізька політехніка»

Захист відбудеться "20" грудня 2024 р.

Секретар екзаменаційної комісії, доцент кафедри комп'ютерних систем та мереж
Т. В. Голуб

ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

Актуальність теми. На сьогодні є лише два основні виробники центральних процесорів, це компанії Intel та AMD які конкурують між собою періодично, перехоплюючи першість один в одного. Кожна компанія намагається розробити свою максимально ефективну, у своєму баченні ефективності, процесорну систему. І архітектура процесора та його окремих ядер відіграє тут як мінімум настільки ж важливу роль як і фізична кількість транзисторів які вдається розмістити на кристалі. Це можна схарактеризувати як ріст в ширину – збільшення елементної бази, водночас розробка архітектури це ріст у глибину.

Як результат, процесорні системи мають велику кількість різних архітектур. Вони відрізняються залежно від виробника самого кристалу процесора та задач, які цей самий виробник покладає на процесорну систему. Також, звісно, архітектури самих процесорів можуть відрізнятися навіть в межах одного покоління. Як приклад, архітектура процесора з вбудованим графічним ядром буде сильно відрізнятися від процесора який буде використовувати такі самі процесорні ядра, але не матиме графічного ядра. І так само сильно відрізнятися від згаданих вище типів центральних процесорів буде й архітектура «серверних» процесорів. Від архітектури самого процесора може залежати не тільки його швидкодія, а й енергоефективність, надійність, ефективність в цілому взаємодії між собою внутрішніх компонентів. Тому задача проектування операційного та керуючого блоків процесора є актуальною.

Також наразі досить актуальним можна вважати питання доцільності збільшення продуктивності обчислювальних систем шляхом збільшення кількості ядер, а не покращенням їх архітектури. Особливо враховуючи те, що з поточними найновішими технологіями людство вже наблизилось до, поки теоретичних, фізичних обмежень побудови обчислювальних систем.

Однак для проведення дослідження нема необхідності робити одразу такі надскладні системи лише для порівняння. Більш простим, значно економнішим і достатньо наочним прикладом відмінностей архітектур і їх впливу на процесорну систему можна

вважати архітектури спецобчислювачів. Це зумовлено тим що їх архітектури являють собою дві крайнощі та варіант по середині що дозволить досить ясно побачити відмінності архітектур, їх переваги та недоліки в порівнянні з аналогами.

Мета і завдання дослідження. Мета магістерської роботи полягає у проектуванні та моделюванні спецобчислювача із паралельною операційною частиною. Проведенні замірів швидкодії отриманого пристрою шляхом виконання симуляції його роботи у спеціалізованих програмних продуктах. Розрахунку ресурсомісткості змодельованого пристрою.

Об'єкт дослідження – спецобчислювач на FPGA із паралельною структурою операційної частини.

Предмет дослідження – операційні частини обчислювачів різних архітектур.

Методи дослідження полягають у проведенні програмного моделювання обчислювальних систем, і подальшого їх тестування шляхом виконання симуляції їх роботи.

Наукова новизна отриманих результатів полягає у тому, що спроектований і змодельований спецобчислювач ми можемо використати для проведення замірів швидкодії та ресурсомісткості системи з паралельними обчисленнями.

Практичне значення отриманих результатів полягає в тому що у подальшому ці дані можна буде використати для виконання порівняння швидкодії та ресурсомісткості операційних частин однакового призначення але різної архітектури.

Апробація результатів магістерської роботи. Основні положення магістерської роботи та результати досліджень подано до участі на конференції:

–Тиждень науки-2024. Факультет комп'ютерних наук і технологій: наук.-техн. конф., 19-23 квітня 2024 р. Тематика тез «Аналіз особливостей проектування двох основних структур операційного автомата» (м. Запоріжжя, 2024 р.);

Структура та обсяг роботи. Магістерська робота складається зі вступу, трьох розділів, висновку, списку використаних джерел та одного додатку. Основна частина містить 65 сторінок, 45 рисунків і 9 таблиць, список використаних джерел з 19 найменувань.

ОСНОВНИЙ ЗМІСТ РОБОТИ

У першому розділі проведено аналіз архітектур ядер процесорів двох основних виробників. Було розглянуто основні відмінності архітектур як між виробниками, так і між поколіннями архітектур ядер одного виробника.

Було розглянуто основні види архітектур для операційних частин спецобчислювачів та обрано одну з них для подальшого проектування. Також розглянули основні структурні елементи з яких буде будуватись цей спецобчислювач.

У другому розділі було сформовано вимоги до пристрою, що проектується, описано його структуру, архітектуру та загальний алгоритм роботи.

Порядок роботи спецобчислювача:

- записати вхідні дані у внутрішні регістри;
- провести порівняння вхідних значень із константами визначеними умовами;
- залежно від результату порівняння обрати формулу для виконання операційною частиною;
- згідно з алгоритмом виконання формули провести усі необхідні операції над записаними даними;
- вивести результат на шину вихідних даних;
- очистити вміст внутрішніх регістрів від тимчасових даних які там зберігаються.

Далі було сформовано рівняння за якими буде виконувати розрахунки спецобчислювач. Ці рівняння відображено у формулі 1.

$$S = \begin{cases} 9(A \oplus B) + \left(4A + \frac{B}{8}\right) \oplus \overline{(5B + A)} \\ \frac{A+B}{8} + \overline{(4A \text{ and } 2B)} \text{ or } (A \oplus B) \end{cases} \quad (1)$$

При чому умовою для визначення рівняння по якому буде виконуватись обчислення було обрано А більше 20-ти та В менше 26-ти. При виконанні обох умов одночасно буде виконуватись перше рівняння.

Маючи рівняння, по яким пристрій буде виконувати обчислення, на їх основі розробили та оптимізували алгоритм роботи обчислювача. Цей алгоритм, з описом та позначенням операцій, зображено на рисунку 1.

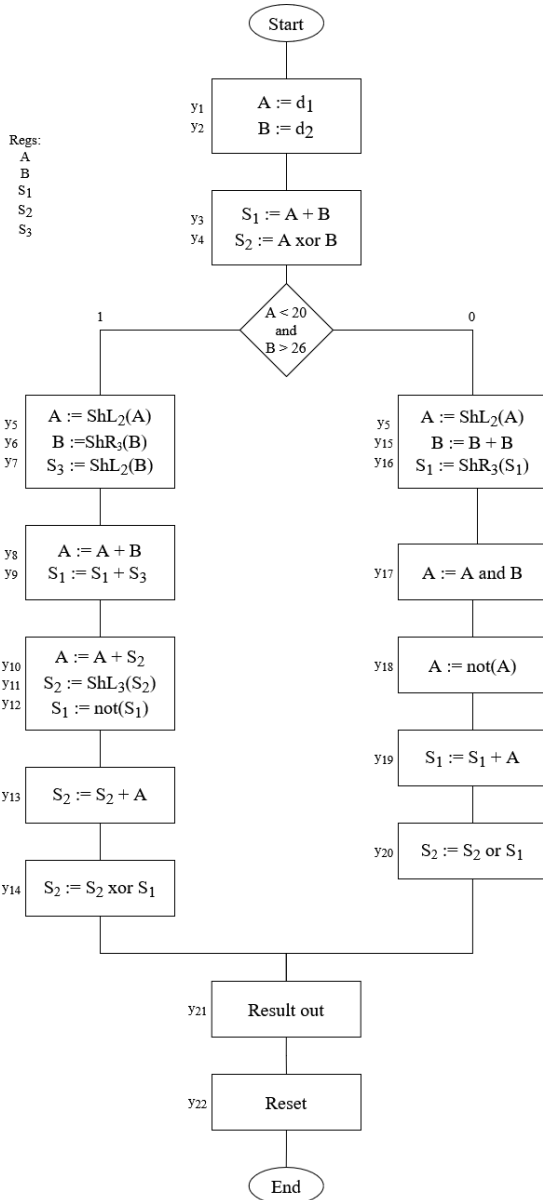


Рисунок 1 – Алгоритм роботи спецобчислювача у вигляді граф-схеми

Після цього, опираючись на розроблений алгоритм, було виділено список операторів, проведено узагальнення деяких із них після чого сформовано схему операційної частини спецобчислювача яку зображено на рисунку 2.

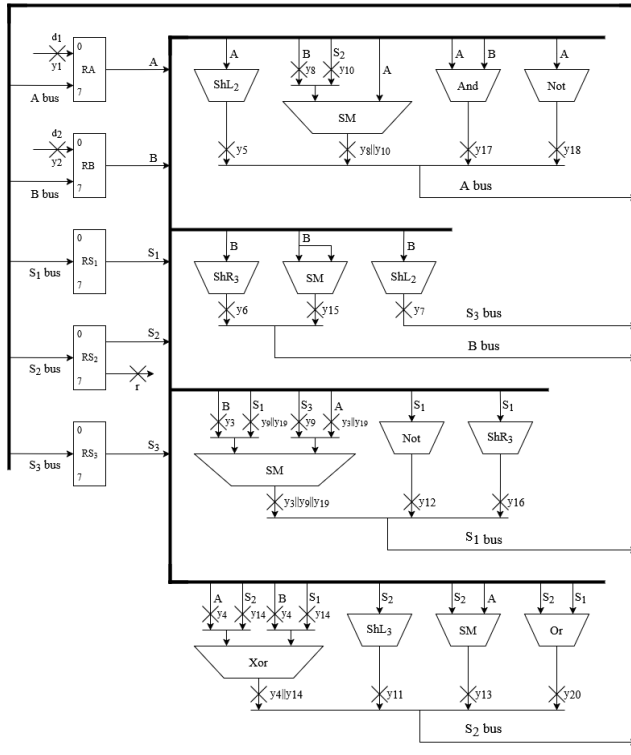


Рисунок 2 – Схематичне зображення операційної частини спецобчислювача

Наступним кроком було спроектовано керуючий автомат. Для цього на основі алгоритму з рисунку 1 було утворено граф-схему керуючого автомату та зроблено граф переходів. Далі було виконано кодування станів автомату, побудова таблиці переходів і на її основі сформовано системи рівнянь для побудови автомату.

Останнім кроком було виконано проектування компараторів.

У **третьому розділі** описано процес моделювання усіх структурних елементів спецобчислювача у програмному пакеті Aldec Active-HDL 13.

Завдяки особливості програмного пакета моделювання операційної частини вдалось спростити за рахунок того що кожен її елемент можливо було створити як окремий модуль який у подальшому додавався на робочу поверхню де потім ми могли ці модулі підключати між собою.

На початку було виконано моделювання кожного окремого модуля, необхідного для побудови операційної частини пристрою. Після чого всі ці окремі модулі було розміщено на схемі та підключено відповідно до того як зображено на рисунку 2. В результаті було отримано схему зображену на рисунку 3. Було проведено симуляцію роботи операційної частини після чого отриманий результат було перевірено.

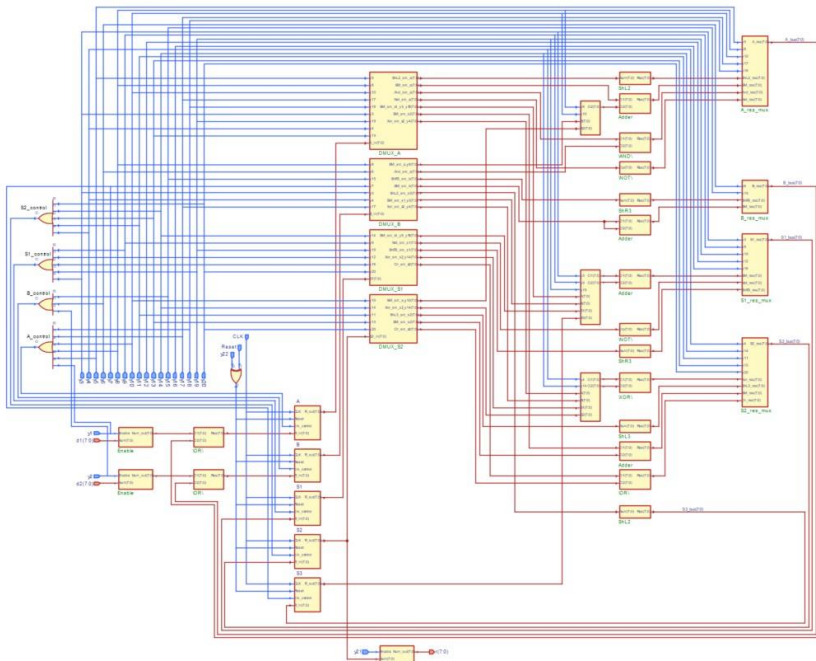


Рисунок 3 – Схема операційної частини спецобчислювача

Наступним було виконано моделювання керуючого автомату. Схожим до операційної частини образом керуючий автомат з модулів тригерів, які вже були зібрані для операційної частини, та генератора термів який було написано мовою опису апаратури

VHDL. Після збірки та підключення було проведено тестування правильності роботи керуючого автомату шляхом симуляції його роботи та порівняння отриманих результатів із алгоритмом за яким мав працювати цей автомат.

Далі було змодельовано компаратори які об'єднали в один модуль оскільки обидві умови для вибору рівняння мали виконуватись одночасно.

Останнім кроком було зібрано всі структурні елементи пристрою на одній схемі, підключено їх між собою та протестовано працездатність результуючого пристрою.

ВИСНОВКИ

Під час роботи над дипломним проектом було проведено аналіз архітектур ядер центральних процесорів різних поколінь та виробників. У ході цього аналізу було виявлено відмінності та особливості як між архітектурами різних поколінь в одного виробника, так і між архітектурами ядер конкурентних процесорів.

Виконано моделювання розроблених структурних елементів пристрою у середовищі програмного пакета. Після їх перевірки пристрій було зібрано у цільну систему.

Виконано тестування усіх структурних елементів пристрою засобами, наявними у програмному середовищі Aldec Active-HDL 13. Проведено тестування працездатності та коректності роботи спецобчислювача зібраного вже у цільний пристрій. Процес тестування цих структурних елементів було докладно описано. За результатами тестування, додаткових перевірок та звірки із даними з етапу розробки можемо дійти висновку що пристрій працює цілком коректно. Підсумовуючи усе вище зазначене можемо дійти висновку, що розробку спецобчислювача для його подальшого використання у дослідженнях відмінностей архітектур завершено. Паралельна структура комбінаційної частини дозволяє прискорити обробку інформації, що сприяє підвищенню швидкодії пристрою в цілому.