

УДК 004.3

Бутко В. О.¹, Зеленьова І.Я², Грушко С.С.²

¹студ. гр. КНТ-614м НУ «Запорізька політехніка»

² канд. техн. наук, доц. НУ «Запорізька політехніка»

ФОРМУВАННЯ VERILOG HDL ШАБЛОНІВ ПРОЄКТУВАННЯ INTEL FPGA ПРОЄКТІВ

Унікальною особливістю інтегральної схеми FPGA (англ. Field-Programmable Gate Arrays) є можливість, шляхом просто перезапису (програмування) її вбудованої пам'яті, реалізовувати власні цифрові схеми. Проте, перепоною може стати етап компіляції HDL (англ. Hardware Description Language) опису цифрового пристрою в програмному середовищі Quartus II. Причиною проблеми є неврахування, інструментами поведінкової симуляції HDL (наприклад, ModelSim-Altera), обмежень компілятора Quartus. Це призводить до необхідності внесення суттєвих модифікацій до HDL опису, що може зайняти в декілька разів більше часу, аніж створення HDL опису без врахування обмежень компілятора Quartus. Для скорочення часу створення HDL опису необхідно враховувати ці обмеження ще на початку

його створення. Для цього необхідно дотримуватися шаблонів проектування HDL опису.

Метою роботи є формування шаблонів проектування Verilog HDL, які враховують особливості компілятора Quartus II при створенні Intel/Altera FPGA проєктів. В результаті дослідження сформовано такі шаблони експериментальним шляхом.

Інтегровані засоби підготовки FPGA проєкт до програмування (Quartus компілятор) висувають основні вимоги до HDL опису: в списку чутливості не можна вказувати одночасно обидва фронти для одного сигналу; один сигнал не може перезаписуватися в декількох паралельних блоках (наприклад, initial або always).

Цільовою елементною базою є Intel/Altera FPGA Cyclone III (EP3C16F484C6), що розташована на друкованій платі Terasic DE0. Тому, FPGA проєкт компілюється в програмному середовищі Quartus II 9.0.

Запропоновано два підходи для задоволення відповідних вимог компілятора Quartus до Verilog HDL опису. Кожен підхід передбачає використання шаблону проектування на мові Verilog HDL, які було отримано експериментальним шляхом в результаті дослідження.

Перший підхід (лістинг 1) вирішує проблему реалізації механізму відстеження одночасно позитивного та негативного фронтів певного сигналу. Прикладом застосування даного підходу є пристрій керування з можливістю повторного виконання алгоритму в разі зміни хоча б одного з вхідних операндів.

Лістинг 1 – Шаблон відстеження обидвох фронтів сигналу D

```
always @( <edge> clk ) begin
  if ( tmp_D != D ) begin
    //операції, що виконуються при зміні сигналу D
  end
  tmp_D <= D;
end
```

Другий підхід вирішує проблему наявності одночасно декількох паралельних блоків, в яких перезаписується певний сигнал. Прикладом застосування даного підходу є реалізація механізму встановлення / скидання сигналу-прапора f1, коли встановлення повинне відбуватися при одній події (далі – подія встановлення evSet), а скидання при іншій (далі – подія скидання evRst).

В цьому шаблоні використовується сигнал-посередник mid. Це сигнал, що реагує на подію evSet, і в той же час зміна цього сигналу відслідковується іншим паралельним блоком (блок f1), що відповідає лише за встановлення та скидання прапора f1. Сигнал mid використовується для ініціації лише однієї дії над прапором f1 (в даному випадку, дії встановлення, бо сигнал mid реагує

на evSet). Інша дія (скидання) реалізується в самому блоці f1 шляхом реалізації механізму відслідковування події evRst цим блоком. В тілі цього блоку розміщується автомат, який виконує перехід при події evSet (на evSet реагує сигнал mid, зміна якого викликає перехід) або evRst. Зазвичай, в кожному із станів цього автомата виконується дія встановлення або скидання прапора f1.

Перевірено працездатність даних підходів шляхом програмування відповідних Verilog HDL шаблонів на цільовій FPGA. Сформульовано загальні рекомендації для створення Intel/Altera FPGA проєктів.

Запропоновані підходи та сформульовані рекомендації можуть бути використані як при роботі із застарілими (наприклад, Cyclone III), так і сучасними моделями Intel/Altera FPGA (наприклад, Cyclone 10 LP).

Порівняно з існуючими [1], запропоновані підходи краще масштабуються при збільшенні розрядності сигналів списку чутливості, відповідні Verilog HDL шаблони мають менше кількість рядків опису, їх легше читати та підтримувати.

В подальших дослідженнях планується порівняти існуючі підходи із запропонованими за кількісними критеріями розрахункових параметрів FPGA проєктів (наприклад, кількість використаних користувацьких блоків, затримки розповсюдження сигналів, енергоспоживання та інше).

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Hildebrandt, R. The Pseudo Dual-Edge D-Flipflop. Dresden, Germany. URL: «http://www.ralf-hildebrandt.de/publication/pdf_dff/pde_dff.pdf» (дата звернення: 28.02.2025).