

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Національний університет «Запорізька політехніка»

МЕТОДИЧНІ ВКАЗІВКИ

до лабораторного практикуму

з дисципліни

„СХЕМОТЕХНІКА АНАЛОГОВИХ І ЦИФРОВИХ ПРИСТРОЇВ ОБРОБКИ СИГНАЛІВ“

ЧАСТИНА ДРУГА

для студентів спеціальностей

175 „Інформаційно-вимірювальні технології“,
освітня програма: „Інформаційні системи моніторингу і контролю“;

176 „Мікро- та наносистемна техніка“,
освітня програма: „Мікро- та наноелектронні прилади і пристрої“
першого (бакалаврського) рівня вищої освіти
денної й заочної форм навчання

Методичні вказівки до лабораторного практикуму з дисципліни „Схемотехніка аналогових і цифрових пристроїв обробки сигналів“. Частина друга. Для студентів спеціальностей: 175 „Інформаційно-вимірювальні технології“, освітня програма: „Інформаційні системи моніторингу і контролю“; 176 „Мікро- та наносистемна техніка“, освітня програма: „Мікро- та наноелектронні прилади і пристрої“ першого (бакалаврського) рівня вищої освіти денної й заочної форм навчання / Укл.: Ніна НАГОРНА. – Запоріжжя: НУ «Запорізька політехніка», 2025. – 73 с.

Укладач: Ніна НАГОРНА, ст. викладач,

Рецензент: Валентин ПОГОСОВ, проф., д-р фіз.-мат. наук

Відповідальний за випуск: Андрій КОРОТУН, канд. фіз.-мат. наук, професор

Затверджено
на засіданні кафедри
інформаційної безпеки та
наноелектроніки

Протокол № 5
від “ 22 ” січня 2025 р.

Рекомендовано до видання
НМК ФІБЕК
Протокол № 7
від “ 24 ” лютого 2025 р.

ЗМІСТ

Частина друга	
6 Лабораторна робота № 6 “Однорозрядні компаратори”	79
6.1 Теоретичні відомості	79
6.2 Обладнання	87
6.3 Порядок проведення досліджень	87
6.4 Вимоги до звіту	87
6.5 Контрольні запитання	88
7 Лабораторна робота №7 “Біполярний ключ”	89
7.1 Теоретичні відомості	89
7.2 Порядок проведення досліджень	98
7.3 Вимоги до звіту	99
7.4 Контрольні запитання	100
8 Лабораторна робота №8 “Транзисторно-транзисторна логіка”	101
8.1 Теоретичні відомості	101
8.2 Порядок проведення досліджень	106
8.3 Вимоги до звіту	108
8.4 Контрольні запитання	108
9 Лабораторна робота №9 “Емітерно – зв’язана логіка”	109
9.1 Теоретичні відомості	109
9.2 Порядок проведення досліджень	115
9.3 Вимоги до звіту	116
9.4 Контрольні запитання	116
10 Лабораторна робота № 10 „Мультиплексори, демюльтиплексори, дешифратори“	117
10.1 Теоретичні відомості	117
10.2 Порядок проведення досліджень	123
10.3 Вимоги до звіту	127
10.4 Контрольні запитання	127
11 Лабораторна робота № 11 „Інтегральні тригери“	129
11.1 Теоретичні відомості	129
11.2 Порядок проведення досліджень	135
11.3 Вимоги до звіту	137
11.4 Контрольні запитання	138
12 Лабораторна робота № 12 „Зсувовий регістр“	139
12.1 Теоретичні відомості	139
12.2 Порядок проведення досліджень	145
12.3 Вимоги до звіту	147
12.4 Контрольні запитання	147
Рекомендована література	148

6 ЛАБОРАТОРНА РОБОТА № 6 „ОДНОРОЗРЯДНІ КОМПАРАТОРИ“

Мета роботи - ознайомлення з теоретичними підходами, що застосовуються при синтезі логічних структур; засвоєння принципів синтезу логічної структури цифрового однорозрядного компаратора; дослідження роботи цифрового однорозрядного компаратора.

6.1 Теоретичні відомості

6.1.1 Математичний апарат цифрової схемотехніки

Теоретичною основою проєктування цифрових систем є алгебра логіки, розробка основ якої зв'язана з ім'ям англійського математика Джорджа Буля (1815 – 1864 рр.). Тому алгебра логіки називається також булевою алгеброю. В булевій алгебрі різноманітні логічні вирази можуть приймати лише два значення - 0 або 1. Під час подачі цифрових сигналів у додатній логіці логічному нулеві відповідає низький рівень напруги U^0 , а логічній одиниці - високий рівень U^1 .

Логічні функції утворюються з логічних змінних, об'єднаних знаками логічних операцій. Як і логічні змінні, логічні функції можуть приймати лише значення логічного нуля та логічної одиниці.

Якщо кількість логічних змінних дорівнює k , то вони можуть утворити 2^k можливих логічних наборів з нулів і одиниць. Наприклад, у випадку двох логічних змінних ($k = 2$) утворюється 4 набори: 00, 01, 10, 11. Для кожного набору змінних логічна функція може приймати тільки два значення: 0 або 1.

Усі можливі логічні функції k змінних можна утворити за допомогою трьох основних операцій під назвами:

логічне заперечення (інверсія, операція НЕ), що позначається символом "-" над відповідною змінною;

логічне додавання (диз'юнкція, операція АБО), що позначається символами "+", "∨";

логічне множення (кон'юнкція, операція І), що позначається символами ".", "∧". Знак "." на практиці найчастіше опускають.

Для розглянутих логічних операцій справедливий ряд аксіом і законів.

Аксіоми алгебри логіки:

$$\begin{array}{lll} 1 + A = 1; & 0 \cdot A = 0; & A + \overline{A} = 1; \\ 0 + A = A; & 1 \cdot A = A; & A \cdot \overline{A} = 0; \\ A + A = A; & A \cdot A = A; & \overline{\overline{A}} = A. \end{array}$$

Закони алгебри логіки:

комутативний:

$$A + B = B + A; \quad A \cdot B = B \cdot A;$$

асоціативний:

$$(A + B) + C = A + (B + C); \quad (A \cdot B) \cdot C = A \cdot (B \cdot C);$$

дистрибутивний:

$$\begin{aligned} A \cdot (B + C) &= A \cdot B + A \cdot C; \\ A + B \cdot C &= (A + B) \cdot (A + C); \end{aligned}$$

дуальності (теорема де Моргана):

$$\overline{A + B} = \overline{A} \cdot \overline{B}; \quad \overline{A \cdot B} = \overline{A} + \overline{B};$$

поглинання:

$$A + A \cdot B = A; \quad A \cdot (A + B) = A.$$

При використанні аксіом і законів алгебри логіки можна одержати нові логічні вирази, а також доказати справедливість одних законів на підставі інших. Застосування даних аксіом і законів дозволяє здійснювати спрощення логічних функцій, тобто знаходити для них вирази, що мають найбільш просту форму.

Логічні функції можуть мати різноманітні форми представлення: словесне, табличне, алгебраїчне, графічне. Наприклад, функцію $F = f(A, B)$, задану у вигляді такого словесного опису: $F = 0$, коли $A = B$ і $F = 1$, коли $A \neq B$, можна представити у вигляді таблиці істинності (табл. 6.1), або в алгебраїчній формі:

$$F = \overline{A}B + A\overline{B}.$$

Таблиця істинності містить всі 2^k можливих наборів значень логічних змінних і значення функції, що відповідають кожному з наборів.

Таблиця 6.1 - Таблиця істинності функції "Виключне АБО"

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

Щоб здійснити перехід від табличного уявлення функції до алгебраїчного, кожному набору змінних ставиться у відповідність мінтерм.

Мінтерм - це кон'юнкція всіх змінних, що входять у функцію, або в прямому вигляді, якщо значення даної змінної в наборі дорівнює 1, або в інверсному вигляді, якщо значення змінної дорівнює 0.

Для k змінних можна скласти $q = 2^k$ мінтермів. Всі мінтерми двох змінних приведені в табл. 6.2. У цій же таблиці приведені значення функції "Виключне АБО". Алгебраїчне представлення функції F є сумою мінтермів, що відповідають наборам змінних, для котрих $F = 1$:

$$F = \overline{A}B + A\overline{B}.$$

Таке представлення функції називається **досконалою диз'юнктивною нормальною формою (ДДНФ)**.

Таблиця 6.2 - Мінтерми, макстерми та значення функції "Виключне АБО"

<i>A</i>	<i>B</i>	Мінтерми	Макстерми	<i>F</i>
0	0	$\overline{A}\overline{B}$	$A+B$	0
0	1	$\overline{A}B$	$A+\overline{B}$	1
1	0	$A\overline{B}$	$\overline{A}+B$	1
1	1	AB	$\overline{A}+\overline{B}$	0

Інша алгебраїчна форма представлення функції утворюється при використанні макстермів.

Макстерм - це диз'юнкція всіх змінних, що входять у функцію, або в прямому вигляді, якщо значення даної змінної в наборі дорівнює 0, або в інверсному вигляді, якщо значення змінної дорівнює 1 (табл. 6.2).

Число макстермів, як і мінтермів, для функції k змінних дорівнює $q = 2^k$. Алгебраїчне уявлення функції F є добутком макстермів, що відповідають наборам змінних, для котрих $F = 0$:

$$F = (A + B) \cdot (\bar{A} + \bar{B}).$$

Таке уявлення функції називається її **досконалою кон'юнктивною нормальною формою (ДКНФ)**.

Використовуючи закони булевої алгебри, неважко довести еквівалентність отриманих ДДНФ і ДКНФ функції F .

Таким способом здійснюється перехід від таблиці істинності до алгебраїчного представлення логічної функції. Будь-яку логічну функцію можна представити у вигляді ДДНФ або ДКНФ, тобто відповідною комбінацією найпростіших логічних функцій І, АБО, НЕ.

Проте, ДДНФ або ДКНФ функцій частіше не є найбільш простими їхніми виразами. Використовуючи логічні аксіоми і закони, можна в багатьох випадках одержати більш прості представлення функцій, що називаються мінімізованими.

Зворотний перехід від алгебраїчного до табличного уявлення функції виконується шляхом послідовного підставлення в їх алгебраїчні вирази всіх q можливих наборів змінних, визначення відповідних значень F і заповнення таблиці істинності.

6.1.2 Логічні бази та логічні елементи

Функціонально повним логічним базисом називається набір логічних операцій, за допомогою якого можна представити будь-яку логічну функцію.

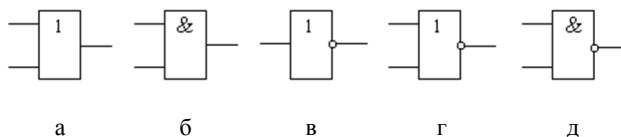
Прикладом такого набору є сукупність операцій диз'юнкції, кон'юнкції та інверсії.

Логічний базис називається мінімальним, якщо виключення хоча б однієї з його операцій перетворює цей набір у функціонально неповний.

Логічний базис I, АБО, НЕ не є мінімальним, тому що за допомогою законів дуальності можна виключити з логічних виразів функцію I чи АБО. В цьому разі будуть одержані мінімальні базиси I, НЕ чи АБО, НЕ. Існують мінімальні логічні базиси, що містять тільки одну функцію: I-НЕ (штрих Шеффера), АБО-НЕ (стрілка Пірса) тощо.

Схеми, які реалізують одну з елементарних операцій, називаються логічними елементами. Логічний елемент, який реалізує операцію диз'юнкції, називається диз'юнктором; кон'юнкції – кон'юнктором; інверсії - інвертором; "АБО-НЕ" - елементом Пірса; "I-НЕ" - елементом Шеффера.

Позначення найпростіших логічних елементів та їх таблиці істинності наведені на рис. 6.1 та в табл. 6.3.



- а - двовходовий диз'юнктор;
 б - двовходовий кон'юнктор;
 в - інвертор;
 г - двовходовий елемент Пірса;
 д - двовходовий елемент Шеффера

Рисунок 6.1 - Схемні позначення логічних елементів

Таблиця 6.3 - Таблиці істинності логічних елементів

Диз'юнктор			Кон'юнктор			Інвертор		Елемент Пірса (АБО-НЕ)			Елемент Шеффера (I-НЕ)		
x_1	x_2	F	x_1	x_2	F	x	F	x_1	x_2	F	x_1	x_2	F
0	0	0	0	0	0	0	1	0	0	1	0	0	1
0	1	1	0	1	0	1	0	0	1	0	0	1	1
1	0	1	1	0	0			1	0	0	1	0	1
1	1	1	1	1	1			1	1	0	1	1	0

Реальні логічні елементи мають ряд особливостей, які відрізняють їх від ідеальних:

- кількість входів логічних елементів є обмеженою, що може привести до необхідності додаткового перетворення синтезованих логічних функцій;
- навантажувальна здатність логічних елементів скінченна;
- затримки сигналів при проходженні через логічні елементи можуть спричиняти перегони сигналів і приводити до збоїв.

Для ілюстрації збоїв розглянемо двохходовий елемент Шеффера, який характеризується запізненням τ у поширенні сигналу x_1 порівняно з сигналом x_2 . Якщо в деякий момент часу t_0 відбудеться зміна входних сигналів, то на виході елемента Шеффера виникне збій (рис. 6.2).

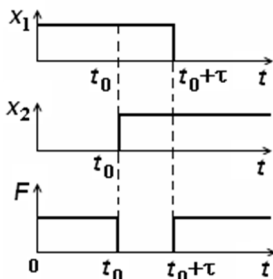


Рисунок 6.2 - Пояснення механізму виникнення збоїв

6.1.3 Синтез логічної структури цифрового однорозрядного компаратора

Цифрові компаратори виконують порівняння двох чисел A і B , заданих у двійковому коді. У залежності від кількості розрядів порівнюваних чисел можуть бути одно-, двох- і більш розрядні компаратори. Цифрові однорозрядні компаратори виконують порівняння двійкових однорозрядних чисел.

У загальному випадку компаратор має три виходи: $F1$, $F2$ і $F3$. При будь-якій комбінації сигналів на входах на однім із виходів буде спостерігатися логічний рівень, відмінний від логічних рівнів, що

спостерігаються на інших виходах. Такий логічний рівень називається *активним*, а вихід, на якому він спостерігається, - *активним виходом*.

Який конкретно логічний рівень буде активним - "0" або "1" - визначається логічною схемою. У випадку, коли активний рівень "0", маємо на одному з виходів "0", а на всіх інших "1". Який із виходів буде активним, залежить від того, яке з трьох можливих співвідношень $A < B$, $A = B$ або $A > B$ має місце.

Нехай потрібно синтезувати цифровий однорозрядний компаратор, що порівнює два однорозрядних числа A і B . Компаратор має два входи A і B і три виходи $F1$, $F2$ та $F3$.

Алгоритм його роботи:

$$\begin{aligned} F1 &= 0, & \text{якщо } A < B, & \text{ інакше } 1; \\ F2 &= 0, & \text{якщо } A = B, & \text{ інакше } 1; \\ F3 &= 0, & \text{якщо } A > B, & \text{ інакше } 1. \end{aligned}$$

На підставі заданого алгоритму складається таблиця істинності компаратора (табл. 6.4).

Таблиця 6.4 - Таблиця істинності цифрового однорозрядного компаратора

A	B	$F1$	$F2$	$F3$
0	0	1	0	1
0	1	0	1	1
1	0	1	1	0
1	1	1	0	1

Опис роботи компаратора в аналітичному вигляді представляє собою систему з трьох логічних рівнянь.

У даному випадку простіше одержати рівняння у вигляді ДКНФ, бо нулів у стовпцях функцій таблиці істинності менше, ніж одиниць.

Система логічних рівнянь, що відповідає даному компараторові, має вигляд:

$$\begin{aligned} F1 &= A + \bar{B}, \\ F2 &= (A + B) \cdot (\bar{A} + \bar{B}), \\ F3 &= \bar{A} + B. \end{aligned}$$

ДКНФ функцій $F1$, $F2$, $F3$ є мінімізованими, тобто їх неможливо спростити стандартними методами.

Проте, майстерність проектування в тому і складається, щоб знаходити нестандартні рішення. У даному конкретному випадку таких нестандартних рішень може бути знайдено два.

По-перше, кожна з трьох реалізованих функцій $F1$, $F2$ або $F3$ достатньо просто може бути виражена через дві інші. Такою функцією доцільно вибрати функцію $F2$, тому що саме вона має найбільш складний логічний вираз.

Як було зазначено вище, $F2=0$ тоді і тільки тоді, коли $F1=1$ та $F3=1$, інакше $F2=1$. Це висловлення є не що інше, як словесний опис функції І-НЕ, причому $F1$ і $F3$ відіграють роль аргументів (входів елемента І-НЕ), а $F2$ - роль функції (виходу І-НЕ). Відповідний логічний вираз має вигляд:

$$F2 = \overline{F1 \cdot F3}.$$

Друге з нестандартних рішень: при потребі реалізації декількох логічних функцій виділяються в їхніх логічних виразах однакові фрагменти, щоб потім реалізувати їх однією підсхемою.

З метою реалізації другого рішення проводяться такі перетворення:

$$F1 = A + \bar{B} = \overline{\bar{A}\bar{B}} = \overline{\bar{A}\bar{B}(B + \bar{B})} = \overline{\bar{A}\bar{B} + \bar{A}\bar{B}\bar{B}} = \overline{\bar{A}\bar{B} + \bar{A}\bar{B}\bar{B}} = \overline{\bar{A}\bar{B} + \bar{A}\bar{B}} = \overline{\bar{A}\bar{B}},$$

$$F3 = \bar{A} + B = \overline{A\bar{B}} = \overline{A\bar{B}(A + \bar{A})} = \overline{A\bar{B} + A\bar{A}\bar{B}} = \overline{A\bar{B} + A\bar{A}\bar{B}} = \overline{A\bar{B} + A\bar{B}} = \overline{A\bar{B}}.$$

У обох отриманих виразах утворився фрагмент $\overline{A\bar{B}}$. Логічна структура, яка відповідає одержаним виразам для $F1$, $F2$, $F3$, будеться в базисі І-НЕ (рис. 6.3).

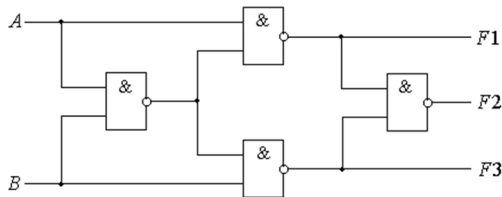


Рисунок 6.3 - Логічна структура одnorозрядного компаратора

6.2 Обладнання

У даній лабораторній роботі використовується мікросхема К155ЛА3, що включає чотири однакових логічних елементи 2І-НЕ транзисторно-транзисторної логіки (ТТЛ).

Маркування мікросхеми приведено на рис. 6.4. Напруга живлення 5 В подається на виводи 14 (+) та 7 (-).

При подаванні логічного нуля на якийсь вхід схеми треба підключити цей вхід до спільного вузла схеми.

Подавання логічної одиниці на вхід рівносильне повному від'єднанню цього входу від схеми.

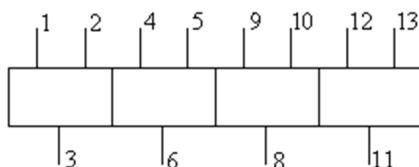


Рисунок 6.4 - Маркування мікросхеми К155ЛА3

6.3 Порядок проведення досліджень

6.3.1 Розробіть електричну схему для дослідження принципу дії цифрового однорозрядного компаратора.

6.3.2 Зберіть схему цифрового однорозрядного компаратора з використанням мікросхеми К155ЛА3 (рис. 6.4). Встановіть напругу живлення 5 В, підготуйте вольтметр для виміру рівнів сигналів на виходах схеми.

6.3.3 Подайте на входи A і B схеми сигнали у послідовності: (0,0); (0,1); (1,0); (1,1). В кожному з чотирьох режимів заміряйте вольтметром напруги на виходах схеми $F1$, $F2$, $F3$.

6.3.4 На підставі замірів побудуйте таблицю істинності компаратора.

6.4 Вимоги до звіту

Звіт повинен містити: найменування і мету роботи; систему логічних рівнянь, що описує алгоритм роботи компаратора; логічну структуру однорозрядного компаратора; електричну схему

експерименту; обмірювані значення вихідних напруг схеми; таблицю спостережень; стислі висновки за результатами роботи.

6.5 Контрольні запитання

- 1 Якими об'єктами оперує булева алгебра?
- 2 Яке табличне представлення мають основні оператори булевої алгебри: заперечення, диз'юнкція, кон'юнкція?
- 3 Які аксіоми використовуються в булевій алгебрі?
- 4 Як формулюються закони булевої алгебри?
- 5 Які форми представлення мають логічні функції?
- 6 Чим реальні логічні елементи відрізняються від ідеальних?
- 7 За якими правилами формуються мінтерми та макстерми?
- 8 За завданням викладача здійсніть перехід від табличного представлення логічної функції до алгебраїчного (у вигляді ДДНФ або ДКНФ).
- 9 Які алгебраїчні представлення функцій називаються мінімізованими?
- 10 Що таке логічний базис? Який логічний базис називається мінімальним?
- 11 Які умовні позначення і таблиці істинності мають основні логічні елементи НЕ, І, АБО, І-НЕ, АБО-НЕ, виключне АБО, виключне АБО-НЕ?
- 12 Що таке мінімальний і розширений елементні базиси? У яких випадках варто використовувати розширений базис?
- 13 Що таке цифровий компаратор? Чим однорозрядний компаратор відрізняється від дворозрядного?
- 14 Які особливості має логічна структура однорозрядного компаратора, що досліджується в роботі?
- 15 Як можна спостерігати результат порівняння двох чисел у компараторі?
- 16 Яка за величиною і на які виводи мікросхеми подається напруга живлення при дослідженнях?
- 17 Доведіть твердження $AB + \overline{BC} + AC = AB + \overline{BC}$.
- 18 Спростуючи окремо кожен з функцій $f_1 = ABC + \overline{AC} + A\overline{C} + \overline{BC}$ та $f_2 = \overline{(AB + BC + AC)}(\overline{AB} + \overline{BC})$, доведіть їх тотожність.

7 ЛАБОРАТОРНА РОБОТА № 7 „БІПОЛЯРНИЙ КЛЮЧ“

Мета роботи - вивчення роботи простого біполярного ключа на інтегральному транзисторі; розгляд режимів роботи біполярного транзистора; визначення параметрів біполярного ключа.

7.1 Теоретичні відомості

7.1.1. Ключова схема на біполярному транзисторі

У цифрових мікросхемах електронні ключі використовуються для формування напруг логічного нуля і логічної одиниці. Вони зустрічаються як самостійні елементи або ж входять як складові частини складніших приладів.

Транзисторні ключі мають підсилювальні властивості, що дозволяє одержати на виході більший за амплітудою сигнал, ніж на вході, а також підключати до виходу ключа достатньо велике навантаження.

Електронні ключі реалізуються на біполярних або польових транзисторах. Розглянемо роботу ключа на біполярному транзисторі (БТ). Найбільше поширення набув ключ з включенням БТ за схемою із спільним емітером (рис. 7.1), в якому активне навантаження R_K включене в ланцюг колектора транзистора. Колекторний (вихідний) ланцюг з джерелом живлення E_K і резистором R_K є керованим (що переривається). В управляючому (базовому) ланцюзі знаходиться джерело управляючої напруги U_{ex} і резистор R_b , що обмежує величину базового струму транзистора.

У схемі використані комутуючі властивості БТ, оскільки з його допомогою здійснюється перемикання напруги на виході схеми з високого рівня на низький і навпаки. При цьому БТ працює в ключовому режимі і може знаходитися в двох стійких станах: закритому ($U_{вих} = "1"$) і відкритому ($U_{вих} = "0"$). В закритому стані транзистора опір вихідного ланцюга схеми $R_{вих}$ великий, а у відкритому - малий.

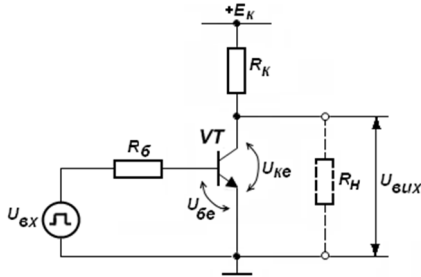


Рисунок 7.1 - Простий транзисторний ключ

7.1.2 Режими роботи біполярного транзистора

Фізичні процеси в БТ не залежать від схеми вмикання транзистора, а залежать тільки від режиму його роботи. Залежно від полярності напруг, прикладених до емітерного і колекторного переходів БТ, можливі чотири режими його роботи:

- нормальний активний (емітерний перехід відкритий, колекторний - закритий);
- інверсний активний (емітерний перехід закритий, колекторний - відкритий);
- насичення (обидва переходи відкриті);
- відсікання (обидва переходи закриті).

Нормальний активний режим. Через відкритий емітерний перехід транзистора типу *n-p-n* відбувається інжекція основних носіїв: електронів з емітера в базу і дірок з бази в емітер. Оскільки емітер легують значно сильніше бази, струми, обумовлені рухом основних носіїв, задовольняють нерівності: $I_{ne} \gg I_{pe}$.

Далі інжектвані в базу електрони переміщуються від емітерного переходу до колекторного. Частина електронів при цьому рекомбінує з основними носіями в базі - дірками, створюючи струм рекомбінації $I_{рек}$.

Електрони, що дійшли до колекторного переходу, екстрагують в колектор під дією прискорюючого поля оберненозміщеного колекторного переходу, створюючи струм $I_{нк}$. Одночасно створюється невеликий струм $I_{кб0}$, обумовлений екстракцією неосновних носіїв через оберненозміщений колекторний перехід: дірок з колектора в базу і електронів з бази в

колектор. При цьому $I_{кб0} = I_{рк0} + I_{нб0} \approx I_{рк0}$. Струм $I_{кб0}$ називають також некерованим струмом колектора.

На рис. 7.2, а вказані напрями струмів в $n-p-n$ транзисторі з урахуванням того, що напрями струмів протилежні напрямку руху електронів і співпадають з напрямом руху дірок, причому $E > U_{вх}$ (в схемі $E = E_{к}$). Струми на виводах транзистора

$$I_e = I_{не} + I_{пе} \approx I_{не},$$

$$I_{к} = I_{нк} + I_{кб0} \approx \alpha I_e + I_{кб0},$$

$$I_{б} = I_{рек} + I_{пе} - I_{кб0} \approx I_{рек} - I_{кб0} = I_{не} - I_{нк} - I_{кб0} \approx I_e - \alpha I_e - I_{кб0} = (1 - \alpha)I_e - I_{кб0},$$

де $\alpha = I_{нк} / I_e$ - коефіцієнт передачі струму в транзисторі, що вказує, яка частина емітерного струму відгалужується в колекторний ланцюг (значення α наближається до одиниці).

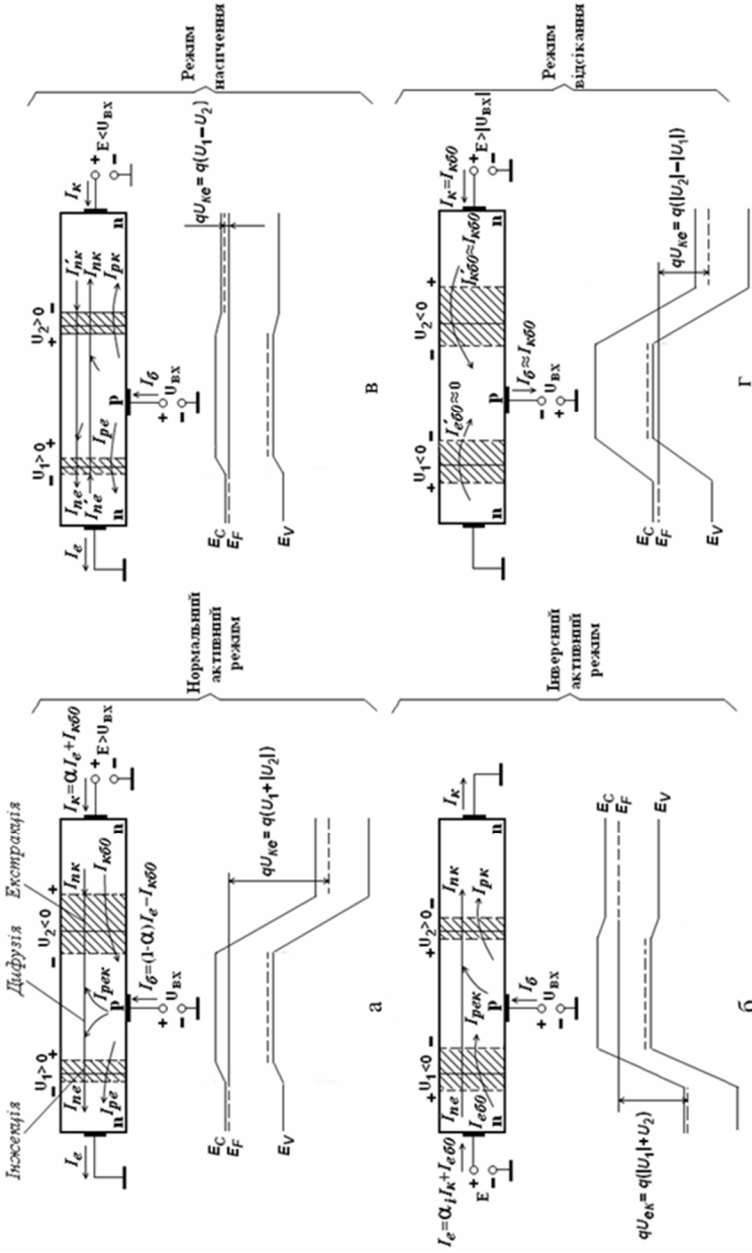
Напруга між колектором і емітером

$$U_{ке} = U_1 + |U_2|,$$

де U_1, U_2 - падіння напруги на емітерному і колекторному переходах відповідно.

Інверсний активний режим відрізняється від нормального активного режиму тільки тим, що емітер і колектор виконують протилежні функції: колектор інjektує основні носії в базу, а емітер екстрагує неосновні носії в базу. Розподіл струмів в інверсному режимі аналогічний розподілу струмів в нормальному активному режимі. На рис. 7.2, б $I_{еб0}$ - зворотний струм емітерного переходу, α_I - коефіцієнт передачі в інверсному режимі. Для реальних БТ $\alpha_I < \alpha_N$ (іноді індекс N опускається, тоді $\alpha_N = \alpha$).

Гірші підсилювальні властивості БТ в інверсному режимі пояснюються слабким легуванням області колектора і малою площею емітерного переходу.



а - нормальний активний режим; б - інверсний активний режим;

в - режим насичення; г - режим відсікання

Рисунок 7.2 - Розподіл струмів та енергетичні зонні діаграми в різних режимах роботи БТ

Режим насичення. Обидва переходи БТ відкриті. У кожному з переходів протікають струми інжекції і екстракції (рис. 7.2, в). Наприклад, через емітерний перехід протікає струм інжекції електронів I_{ne} і дірок I_{pe} , а також струм екстракції електронів I'_{ne} , що дійшли від колекторного переходу. Аналогічні складові є і в колекторному переході. Напрямок струмів на виводах емітера і колектора залежить від того, яка з компонент переважає. У базі БТ накопичується значна кількість нерівноважних носіїв заряду.

Режим відсікання. Обидва переходи є оберненозміщеними, відбувається екстракція неосновних носіїв через них. Тому концентрація неосновних носіїв в базі менше за рівноважну. У режимі відсікання (рис. 7.2, г) в БТ протікають зворотні струми переходів $I'_{e\beta 0}$ і $I'_{k\beta 0}$, які є меншими за величиною, ніж введені раніше $I_{e\beta 0}$ та $I_{k\beta 0}$. Можна показати, що $I'_{e\beta 0} \ll I_{e\beta 0} < I_{k\beta 0}$ і $I'_{k\beta 0} \approx I_{k\beta 0}$. Звідси витікає, що $I_e \approx 0$, $I_\beta = +I_{k\beta 0}$, $I_k = I_{k\beta 0}$. Тому в режимі відсікання зазвичай вважають $I_e \approx 0$, $I_\beta = +I_{k\beta 0}$, $I_k = I_{k\beta 0}$. Необхідно відзначити, що в режимі відсікання, як і в режимі насичення, БТ не має підсилювальних властивостей. Якщо по аналогії з попередніми режимами прийняти, що струм бази є втікаючим, то $I_\beta = -I_{k\beta 0}$.

7.1.3 Режими роботи біполярного ключа

У закритому стані ключа, строго кажучи, повинна виконуватися умова $U_{ex} < 0$, як на рис. 7.2, г. При цьому обидва переходи БТ зміщені у зворотному напрямі; БТ знаходиться в режимі відсікання (транзистор закритий). Проте, практично кремнієвий $p-n$ -перехід залишається замкнутим і при $0 < U_{ex} < 0,6$ В (вважається, що напруга відкритого кремнієвого переходу $U^* \approx 0,7$ В при кімнатній температурі). При цьому струми I_k , I_e , I_β дуже малі і не перевищують долей мікроампера, причому $I_e \ll I_k$ і $I_\beta \approx I_k$ за рахунок наявності високолегованого емітерного шару в транзисторі.

Навантажувальна характеристика (НХ), побудована на сім'ї статичних ВАХ БТ (рис. 7.3), дозволяє зв'язати струми і напруги на виводах транзистора за наявності зовнішнього навантаження (у схемі

резистора R_k). При побудові НХ враховується, що напруга живлення ключа E_k рівна сумі падінь напруг в колекторному ланцюзі:

$$E_k = I_k R_k + U_{ке}.$$

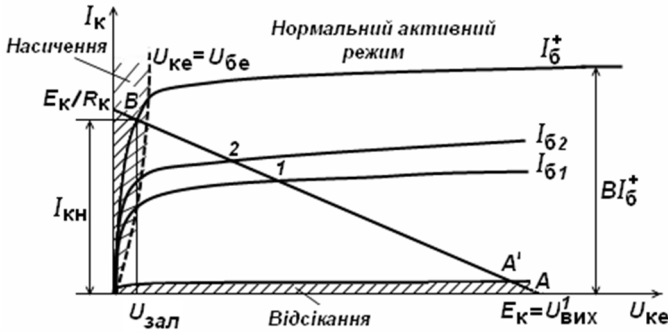


Рисунок 7.3 - Розташування робочих точок ключа на статичних вихідних характеристиках БТ

Тоді струм в колекторному ланцюзі

$$I_k = \frac{E_k - U_{ке}}{R_k}. \quad (7.1)$$

Для побудови НХ достатньо знайти точки перетину її з осями координат при підстановці у вираз (7.1) позмінно $I_k = 0$ та $U_{ке} = 0$.

Робоча точка ключа в закритому стані займає на НХ положення A' . Напруга на колекторі БТ

$$U_{ке} = E_k - I_{кб0} R_k \approx E_k.$$

При цьому умовно можна вважати, що т. A' співпадає з т. A . Отже, на виході схеми встановлюється висока напруга, відповідна рівню лог. "1", при низькій напрузі на вході схеми.

У відкритому стані ключа напруга на вході схеми $U_{вх} > U^*$. Обидва переходи БТ прямозміщені, і транзистор знаходиться в режимі насичення. Робоча точка ключа займає на НХ положення т. B . Це друге, характерне для ключового режиму, положення робочої точки.

У колекторному ланцюзі схеми протікає великий струм насичення колектора

$$I_{кн} = (E_{к} - U_{зал}) / R_{к} \approx E_{к} / R_{к}, \quad (7.2)$$

де $U_{зал}$ - напруга між колектором та емітером у відкритому стані БТ, причому $U_{зал} \ll E_{к}$.

З виразу (7.2) видно, що значення струму $I_{кн}$ не залежить від амплітуди сигналу на вході ключа, оскільки в режимі насичення БТ стає некерваним.

У реальних схемах залишкова напруга

$$U_{зал} = U_{ке} + I_{кн} r_{кк};$$

де $r_{кк}$ - горизонтальний опір колекторного шару БТ.

В структурах інтегральних транзисторів зі схованим колекторним шаром опір $r_{кк}$ малий.

Щоб ключ працював стійко, величина $U_{зал}$ не повинна перевищувати часток вольт. Тому в ключових схемах використовують спеціальні імпульсні транзистори, що мають малу напругу $U_{зал}$ і малий час вмикання і вимикання для прискорення перехідних процесів в схемі.

З аналізу двох режимів роботи ключа виходить, що ключова схема є інвертором, що реалізує логічну функцію НЕ. Це підтверджується її передавальною характеристикою (рис. 7.4).

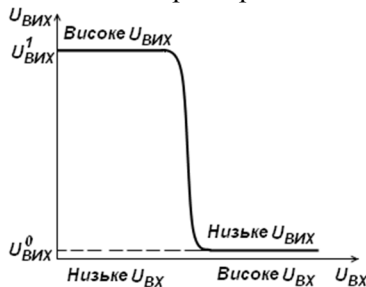


Рисунок 7.4 - Передавальна характеристика ключа

Точки 1 і 2 на НХ (рис. 7.3) відповідають динамічному режиму роботи ключа. Перехідні процеси в ключі показані на рис. 7.5.

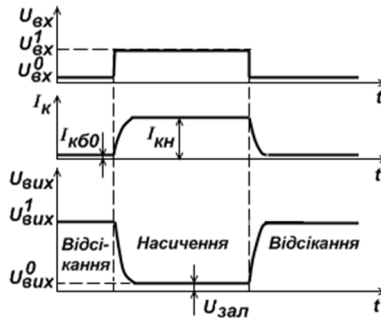


Рисунок 7.5 - Спрощена динаміка процесів перемикання ключа

7.1.4 Критерій насичення і навантажувальна здатність ключа

Критерій насичення. З рис. 7.1 неважко одержати вираз для відмикаючого струму бази БТ:

$$I_{\sigma}^{+} = (E_{\sigma}^{+} - U_{\sigma e}^{*}) / R_{\sigma},$$

де E_{σ}^{+} - напруга на вході ключа у відкритому його стані; $U_{\sigma e}^{*}$ - падіння напруги на відкритому емітерному переході.

Оскільки падіння напруги на відкритому емітерному переході слабо залежить від струму, а величини E_{σ}^{+} і R_{σ} вважаються заданими, то струм I_{σ}^{+} , а також струм $I_{кн}$ з виразу (7.2) можна вважати заданими величинами, а напруга $U_{вих} = U_{ке}$ є функцією струмів. Тому ключ на БТ також називають струмовим ключем.

Коли струми є незалежними величинами, зручно користуватися наступною умовою надійного відмикання ключа, званою струмовим критерієм насичення:

$$BI_{\sigma}^{+} > I_{кн}, \quad (7.3)$$

де B – коефіцієнт підсилення базового струму БТ в нормальному активному режимі.

Нерівність (7.3) повинна бути сильною, щоб неминучі при роботі ключа зміни величин, що входять до неї, не приводили до виходу транзистора з режиму насичення і, відповідно, до різкого збільшення $U_{зал}$.

Силу нерівності характеризують **ступенем насичення**

$$S = BI_{\bar{\sigma}}^+ / I_{кн}. \quad (7.4)$$

Зазвичай $S = 2...3$, значення $S = 1$ відповідає границі з активним режимом.

Навантажувальна здатність ключа - це кількість паралельно ввімкнених ключів, якими здатний управляти даний ключ. На рис. 7.6 показаний ключ, до якого підключені паралельно n навантажувальних ключів.

Коли ключ знаходиться в закритому стані, на виході його протікає струм I , який ділиться порівну між базами транзисторів ключів-навантажень. Тоді струм бази $VT1$ (рис. 7.6)

$$I_{\bar{\sigma}1}^+ = \frac{1}{n} \frac{E_{\kappa} - U^*}{R_{\kappa}},$$

де U^* - падіння напруги на відкритому емітерному переході $VT1$.

Струм бази $I_{\bar{\sigma}}^+$ повинен задовольняти критерію насичення (7.3), де колекторний струм насичення, як і раніше, визначається виразом (7.2). Тоді з (7.3) можна одержати обмеження на навантажувальну здатність

$$n < \frac{E_{\kappa} - U^*}{E_{\kappa}} \cdot B.$$

Оскільки ВАХ навантажувальних транзисторів неідентичні, що приводить до розкиду їх базових струмів, нерівність підсилюють, вводячи в неї ступінь насичення

$$n < \frac{B}{S} \cdot \frac{E_{\kappa} - U^*}{E_{\kappa}}.$$

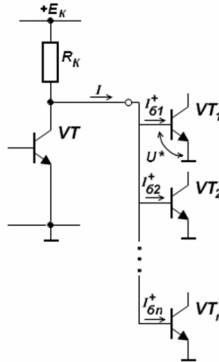


Рисунок 7.6 - Ключ з паралельним навантаженням

7.2 Порядок проведення досліджень

7.2.1 Зберіть схему для зняття вихідних характеристик транзистора (рис. 7.7), використовуючи один з транзисторів транзисторної збірки 198НТ1А (рис. 7.8).

Зніміть вихідні характеристики транзистора при наступних фіксованих струмах бази: $I_b = 10, 20, 35$ мкА.

7.2.2 Зберіть схему для зняття статичної вхідної і статичної передавальної характеристик ключа (рис. 7.9), використавши вже вибраний зі збірки транзистор.

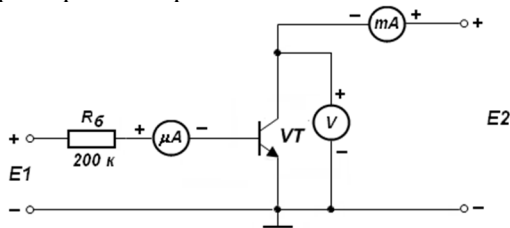


Рисунок 7.7 - Схема для зняття вихідних характеристик БТ

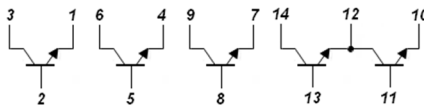


Рисунок 7.8 - Маркування мікросхеми 198НТ1А

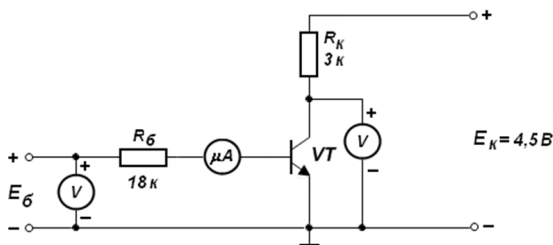


Рисунок 7.9 – Схема дослідження роботи біполярного ключа

Зніміть передавальну $U_{вих}(U_{вх})$ і вхідну $I_{вх}(U_{вх})$ характеристики ключа, для чого необхідно встановити напругу джерела $E_k = 4,5$ В; потім змінюючи напругу джерела E_b в діапазоні 0..2,5 В, зафіксуйте показання приладів.

7.2.3. Побудуйте вихідні характеристики транзистора за результатами п. 7.2.1. По характеристиці з найбільшим струмом бази визначте статичний коефіцієнт підсилення БТ за струмом

$$B = \frac{I_k}{I_b} \quad \text{при} \quad U_{ке} = 2 \text{ В.}$$

На вихідних характеристиках транзистора побудуйте характеристику навантаження, використавши вираз (7.1).

Вкажіть робочі точки, відповідні відкритому і закритому станам ключа.

Визначте струм $I_{кн}$ та напругу $U_{зал}$.

7.2.4. Побудуйте вхідну і передавальну характеристики ключа за результатами п. 7.2.2. З передавальної характеристики визначте рівні лог. "0" та лог. "1", а з вхідної - вхідний диференціальний опір ключа у відкритому стані $R_{вхдиф} = \Delta U_{вх} / \Delta I_{вх}$.

Визначте ступінь насичення ключа S і навантажувальну здатність n , вважаючи, що $I_b^+ = I_{б3} = 35$ мкА.

7.3 Вимоги до звіту

Звіт повинен містити: найменування і мету роботи; схему транзисторного ключа; схему для зняття вихідних характеристик БТ;

таблиці знятих залежностей $I_k(U_{ке})$; графіки сім'ї вихідних характеристик БТ і навантажувальної характеристики ключа; розраховані статичний коефіцієнт підсилення БТ за струмом; струм $I_{кн}$, напругу $U_{зал}$ з відповідними формулами; схему дослідження роботи біполярного ключа; таблиці знятих залежностей $U_{вих}(U_{вх})$ і $I_{вх}(U_{вх})$; графіки передавальної та вхідної характеристик ключа; розраховані статичні параметри ключа з відповідними формулами; стислі висновки за результатами роботи.

7.4 Контрольні запитання

- 1 Якими повинні бути напруги на переходах, щоб n^+p-n транзистор працював в режимі: а) нормальному активному; б) інверсному активному; в) насичення; г) відсікання?
- 2 Який вид мають енергетичні діаграми $n-p-n$ транзистора, що працює в режимі: а) відсікання; б) насичення?
- 3 Який вид мають графіки розподілу струмів транзистора від геометричної координати з дотриманням відносних масштабів, якщо він працює в режимі: а) насичення; б) відсікання?
- 4 Що мають спільного та чим відрізняються транзисторні ключі на $p-n-p$ і $n-p-n$ транзисторах?
- 5 Як працює ключ у якості логічного елемента? Яка таблиця істинності такого елемента?
- 6 Як впливає підключення навантаження до виходу біполярного ключа на його статичні характеристики?
- 7 Які головні статичні параметри характеризують біполярний ключ?
- 8 Як зміниться стан ключа, що знаходиться в режимі насичення зі ступенем насичення $S = 1,5$, якщо опір R_k зменшити в 2 рази ?
- 9 Що характеризує навантажувальну здатність ключа? Чому вона обмежена зверху?
- 10 Чому при роботі ключів ступінь насичення $S > 1$?
- 11 Як впливає збільшення S на швидкодію ключа?
- 12 Чим відрізняються поняття дифузії, екстракції, інжекції?
- 13 Як зміститься робоча точка B (рис. 7.3), якщо ступінь насичення S збільшиться?

8 ЛАБОРАТОРНА РОБОТА № 8 „ТРАНЗИСТОРНО-ТРАНЗИСТОРНА ЛОГІКА“

Мета роботи - вивчення принципів роботи базового логічного елемента транзисторно-транзисторної логіки (ТТЛ) і визначення його статичних параметрів.

8.1 Теоретичні відомості

8.1.1 Принцип роботи логічного елемента ТТЛ

Логічні елементи ТТЛ і ТТЛ на транзисторах Шоттки (ТТЛШ) складають основу широко поширених серій цифрових мікросхем (130, 131, 133, 134, 155, 530, 531, 555, 556, 589, 599, 734, 1531, 1533).

Простий логічний елемент (ЛЕ) ТТЛ (рис. 8.1) реалізує логічну функцію І-НЕ.

Схема складається з каскаду на багатоемітерному транзисторі (БЕТ) $VT1$, що виконує спільно з резистором $R1$ логічну операцію І, а також вихідного каскаду на транзисторі $VT2$ і резисторі $R2$, що виконує операцію НЕ.

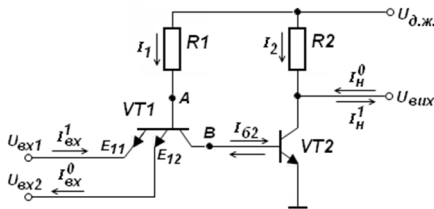


Рисунок 8.1 - Схема простого ЛЕ ТТЛ

Коллекторний перехід БЕТ відкритий при будь-яких режимах роботи ЛЕ за рахунок прямого його зсуву, оскільки полярність джерела живлення пряма для $p-n$ переходу база-колектор транзистора $VT1$ (потенціал т. A завжди більше потенціалу т. B).

При аналізі роботи ЛЕ розглядаються 2 режими. **У режимі 1** на всі входи ЛЕ поданий високий потенціал U_{ex}^1 , тобто поданий рівень логічної одиниці (далі в тексті для спрощення: подана 1). Опір резистора $R1$ підібраний таким, щоб за рахунок протікання по ньому струму I_1 потенціал т. A був менше U_{ex}^1 (всі емітерні переходи

транзистора $VT1$ опиняються при цьому замкнутими). БЕТ працює в інверсному режимі. Через його колекторний перехід в базу $VT2$ надходить струм $I_{\beta 2} \approx I_1$, який відкриває $VT2$ і вводить його в насичення. В результаті на виході схеми встановлюється низький потенціал $U_{вих}^0$, рівний залишковій напрузі на насиченому $VT2$:

$$U_{вих}^0 = U_{зал_2} = U_{ке_2} + r_{кк} I_{кнас_2},$$

де $r_{кк}$ - об'ємний опір колекторного шару $VT2$;

$I_{кнас_2}$ - колекторний струм насиченого $VT2$.

Струм $I_{кнас_2}$ рівний сумі струму I_2 , що протікає через резистор $R2$, і струму I_n^0 , що втікає у вихід схеми при підключенні у якості навантаження подібних ЛЕ.

По вхідних ланцюгах втікають в схему мікроамперні струми оберненозмощених емітерних переходів $I_{ех}^1$.

У режимі 2 хоча б на один вхід ЛЕ подається низький потенціал $U_{ех}^0$. Наприклад, при подачі на входи $U_{ех1} = U_{ех}^1$ і $U_{ех2} = U_{ех}^0$ емітерний перехід E_{11} закритий, а перехід E_{12} відкритий. Через прямозмощений перехід E_{12} протікає великий міліамперний струм $I_{ех}^0$, витікаючий з входу 2 схеми. Цей струм протікає також по базі $VT1$ і через резистор $R1$, створюючи на ньому велике падіння напруги. Потенціал т. A при цьому знижується в порівнянні з режимом 1 і стає рівним

$$U_A = U_{ех}^0 + U_{e12}^*,$$

де U_{e12}^* - падіння напруги на відкритому переході E_{12} . Для відкритих кремнієвих переходів $U^* = 0,6 \dots 0,8$ В.

Потенціал бази $VT2$ також знижується і стає рівним

$$U_B = U_A - U_{кб1}^* = U_{ех}^0 + U_{e12}^* - U_{кб1}^* < U^*.$$

БЕТ знаходиться в режимі насичення. Тому потенціал т. B можна визначити іншим способом:

$$U_B = U_{ex}^0 + U_{зал1},$$

де $U_{зал1}$ - залишкова напруга на насиченому БЕТ ($U_{зал1} \approx 0...0,2$ В).

В результаті зниження потенціалу U_B емітерний перехід $VT2$ закривається, а сам $VT2$ переходить в режим відсікання. При цьому мікроамперний струм витікає з бази $VT2$. На виході схеми формується високий потенціал, причому за відсутності навантаження $U_{вих}^1 \approx U_{д.ж.}$. При підключенні навантаження до виходу схеми струм навантаження витікатиме зі схеми, і $U_{вих}^1 \approx U_{д.ж.} - I_n^1 R_2$.

Схема рис. 8.1 не економічна. Коли на виході схеми сигнал 0, через $R2$ тече великий струм I_2 , споживаючи від джерела живлення велику потужність, яка лише нагріває схему. Для зниження струму I_2 можна збільшити $R2$, але при цьому $U_{вих}^1$ зменшуватиметься, що знижує навантажувальну здатність схеми.

Модифікований варіант ЛЕ ТТЛ (рис. 8.2) містить фазорозщеплюючий каскад на $VT2$, $R2$, $R3$, не виконуючий ніякої логічної операції, а також двотактовий крайовий підсилювальний каскад на $VT3$, $VT4$, $VD3$, $R4$, реалізуючий операцію НЕ.

Транзистор $VT2$ у якості розщеплювача фази дозволяє відкривати $VT3$, $VT4$ в протифазі: при відкритому $VT2$ відкритий і $VT4$, а $VT3$ закритий; і навпаки, при закритому $VT2$ закритий $VT4$, а $VT3$ відкритий.

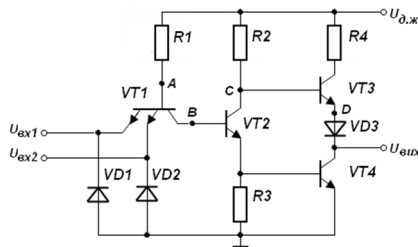


Рисунок 8.2 - Схема модифікованого ЛЕ ТТЛ

На практиці $R4 = 50 \dots 500 \text{ Ом}$; $R2/R4 = 10$; $R2/R3 = 1 \dots 2$. Тому коли $VT2$ насичений, через нього тече струм у декілька разів менший, ніж в схемі рис. 8.1. Вказаний струм створює на $R3$ падіння напруги, достатнє, щоб $VT4$ теж був насичений, і на виході формується низький потенціал. При цьому транзистор $VT3$ замкнений, оскільки потенціал т. D вище (або рівний) потенціалу т. C , що можливе через наявність в схемі діода зсуву $VD3$. Відсутність власного струму споживання у вихідному ланцюзі (за рахунок замкнутого $VT3$) крайового каскаду робить його економічним при 0 на виході.

При нулі хоча б на одному з входів схеми $VT2$ закритий, близька до нуля різниця потенціалів на $R3$, тому замкнений $VT4$. Потенціал т. C зростає до величини $U_{\text{д.ж.}}$, якщо не враховувати падіння напруги на $R2$ від протікання по ньому струму бази $VT3$. Тому $VT3$ відкритий. На виході схеми формується 1. Вихідний ланцюг знову не споживає потужність через закритий $VT4$.

Діоди $VD1$, $VD2$ підвищують завадостійкість схеми. Вони замкнуті для вхідних сигналів позитивної полярності і відкриваються тільки при негативній полярності напруг на входах, що спостерігається при перехідних процесах, коли через паразитні ємності та індуктивності в ланцюгах, підключених до входів ЛЕ, виникають затухаючі коливання.

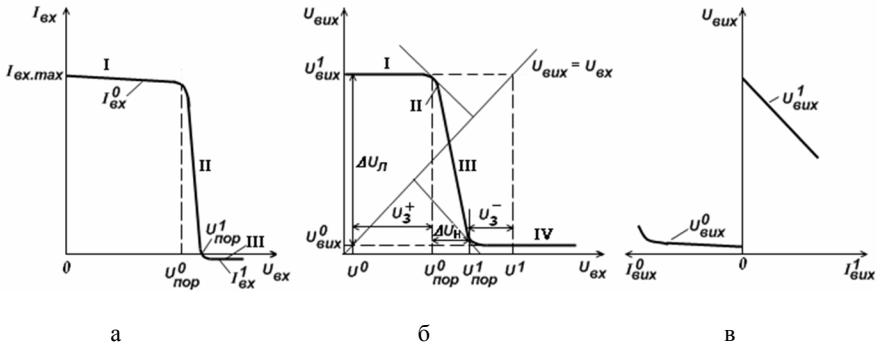
8.1.2 Статичні характеристики і параметри ЛЕ ТТЛ

Вхідна характеристика базового ЛЕ (рис. 8.3, а) складається з трьох ділянок. Ділянка I відповідає стану схеми, в якому струм I_{ex}^0 протікає через відкритий емітерний перехід транзистора $VT1$, а $VT2$ закритий. Ділянка II відповідає відмиканню $VT2$, при цьому струм I_{ex} перемикається в ланцюг бази $VT2$. Ділянка III відповідає закритим емітерним переходам $VT1$.

По графіку залежності $I_{\text{ex}} = f(U_{\text{ex}})$ можна визначити максимальне значення вхідного струму I_{exmax} , порогові напруги логічного нуля $U_{\text{пор}}^0$ і логічної одиниці $U_{\text{пор}}^1$.

Передавальна характеристика елемента ТТЛ (рис. 8.3, б) має чотири ділянки, яким відповідають наступні стани: I, II - $VT3$

відкритий, $VT4$ закритий; III - $VT3$, $VT4$ відкриті, IV - $VT3$ закритий, $VT4$ відкритий. Ділянка III відповідає процесу перемикання схеми.



- а - вхідна характеристика;
 б - передавальна характеристика;
 в - вихідні характеристики

Рисунок 8.3 - Характеристики логічних елементів ТПЛ

По характеристиці $U_{вих} = f(U_{вх})$ визначаються наступні параметри: $U_{пор}^0$, $U_{пор}^1$ - порогові рівні нуля і одиниці; $U_{вих}^0$, $U_{вих}^1$ - напруги логічних нуля і одиниці; $\Delta U_{л} = U_{вих}^1 - U_{вих}^0$ - логічний перепад; ширина зони невизначеності $\Delta U_{н} = U_{пор}^1 - U_{пор}^0$; значення завадостійкості в стані логічного нуля (позитивної завадостійкості) $U_3^+ = U_{пор}^0 - U^0$; значення завадостійкості в стані логічної одиниці (негативної завадостійкості) $U_3^- = U^1 - U_{пор}^1$.

Передавальні характеристики реальних мікросхем мають деякий розкид, обумовлений різницею зовнішніх умов, розкидом параметрів компонентів та іншими чинниками. У зв'язку з цим значення U^0, U^1, U_n^+, U_n^- поміщаються у середині діапазонів:

$$\begin{aligned}
 U_{\min}^0 &\leq U^0 \leq U_{\max}^0; & U_{\min}^1 &\leq U^1 \leq U_{\max}^1; \\
 U_{\text{пор.}\min}^0 &\leq U_{\text{пор}}^0 \leq U_{\text{пор.}\max}^0; & U_{\text{пор.}\min}^1 &\leq U_{\text{пор}}^1 \leq U_{\text{пор.}\max}^1.
 \end{aligned}$$

Статична завадостійкість реальних мікросхем визначається для якнайгіршого поєднання чинників:

$$U_3^+ = U_{пор.min}^0 - U_{max}^0 ; \quad U_3^- = U_{min}^1 - U_{пор.max}^1 .$$

Вихідні характеристики розрізняють по верхньому і нижньому рівнях напруги (рис. 8.3, в). Вихідні струми $I_{вих}^0$ та $I_{вих}^1$ відповідають струмам I_n^0 і I_n^1 на рис. 8.1. Вказані струми не повинні перевищувати значення $K_{роз} \cdot I_{ex.max}$. Коефіцієнт розгалуження $K_{роз}$ визначає навантажувальну здатність елемента і рівний максимальній кількості аналогічних елементів-навантажень, які здатний перемикає даний ЛЕ. У даній роботі можна прийняти $K_{роз} = 5$.

По вихідних характеристиках визначаються $R_{вих}^0$, $R_{вих}^1$ - вихідні опори відкритого і закритого елементів:

$$R_{вих}^0 = \frac{U_{вих}^0(5) - U_{вих}^0(0)}{I_{вих}(5)} ; \quad R_{вих}^1 = \frac{U_{вих}^1(0) - U_{вих}^1(5)}{I_{вих}(5)} ,$$

де $U_{вих}^0(0)$ та $U_{вих}^0(5)$ - значення вихідної напруги низького рівня при $I_{вих}^0 = 0$ та $I_{вих}(5) = 5 \cdot I_{ex.max}$; $U_{вих}^1(0)$, $U_{вих}^1(5)$ - та же напруга високого рівня.

8.2 Порядок проведення досліджень

8.2.1 Виберіть за вказівкою викладача мікросхему ТТЛ, яка може виконувати роль інвертора. У якості такої схеми може виступати будь-яка мікросхема, що реалізовує функції І-НЕ, АБО-НЕ. Випишіть з довідника паспортні дані, що характеризують ІМС, занесіть їх в таблицю.

За вказівкою викладача досліджується основний або модифікований варіант ЛЕ. Залежно від заданого варіанта вибирається певний вивід ІМС як вихід ЛЕ.

8.2.2 Зберіть схему, показану за рис. 8.4. Якщо входи схеми ТТЛ залишаються не приєднаними, то це рівносильно подачі на них

логічної 1. При знятті характеристик необхідно спочатку встановити напругу живлення $U_{\text{д.ж.}} = 5 \text{ В}$.

Зніміть вхідну і передавальну характеристики ЛЕ, змінюючи $U_{\text{вх}}$ в межах $0 \dots U_{\text{д.ж.}}$ та фіксуючи показання приладів.

При знятті ділянки I вхідної характеристики (малі значення $U_{\text{вх}}$) вхідний струм витікатиме зі схеми, тому полюс + у мікроамперметра слід під'єднати до виводу ІМС. При знятті ж ділянки III напрям вхідного струму змінюється на протилежний, тому слід здійснити переполусовку у мікроамперметрі.

По побудованому графіку залежності $I_{\text{вх}} = f(U_{\text{вх}})$ визначте струм $I_{\text{вх.макс}}$.

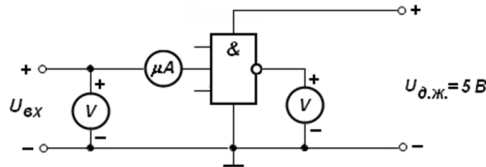
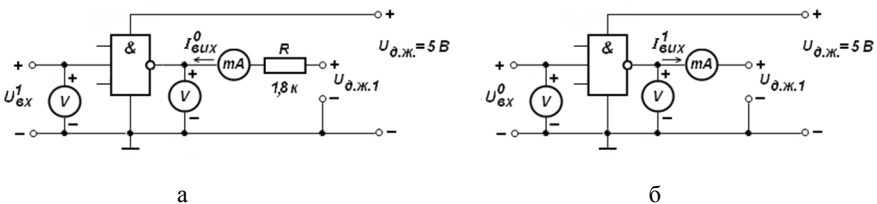


Рисунок 8.4 – Схема для зняття вхідної і передавальної характеристик ЛЕ

8.2.3 Зберіть схеми рис. 8.5 і зніміть вихідні характеристики ЛЕ. При знятті характеристики $U_{\text{вих}}^0 = f(I_{\text{вих}}^0)$ за схемою рис. 8.5, а напруга вхідного джерела повинна задовольняти нерівності $U_{\text{вх}} = U_{\text{вх}}^1 > U_{\text{нор}}^1$ і бути постійною.



- а – по нижньому рівню вихідної напруги;
б – по верхньому рівню вихідної напруги

Рисунок 8.5 – Схеми для зняття вихідних характеристик

Зняття характеристики $U_{вих}^1 = f(I_{вих}^1)$ за схемою рис. 8.5,б здійснить при незмінному $U_{вх} = U_{вх}^0 < U_{пор}^0$.

8.2.4 З'єднайте послідовно два логічні елементи і зніміть передавальну характеристику одержаного повторювача. Зіставте отриману характеристику з характеристикою інвертора.

8.2.5 Відповідно до методики підрозділу 8.2 розрахуйте статичні параметри ЛЕ ТТЛ: $U_{пор}^0$, $U_{пор}^1$, $U_{вих}^0$, $U_{вих}^1$, $\Delta U_{л}$, $\Delta U_{н}$, U_3^+ , U_3^- , $R_{вих}^0$, $R_{вих}^1$.

8.3 Вимоги до звіту

Звіт повинен містити : найменування і мету роботи; таблицю основних параметрів досліджуваної ІМС ТТЛ; досліджувану електричну схему логічного елемента ТТЛ; схему для зняття вхідної та передавальної характеристик; таблиці знятих залежностей $I_{вх} = f(U_{вх})$, $U_{вих} = f(U_{вх})$; графіки вхідної та передавальної характеристик; схеми для зняття вихідних характеристик; таблиці знятих залежностей $U_{вих}^0 = f(I_{вих}^0)$, $U_{вих}^1 = f(I_{вих}^1)$; графіки вихідних характеристик ЛЕ ТТЛ; розраховані статичні параметри логічних елементів ТТЛ $U_{пор}^0$, $U_{пор}^1$, $U_{вих}^0$, $U_{вих}^1$, $\Delta U_{л}$, $\Delta U_{н}$, U_3^+ , U_3^- , $R_{вих}^0$, $R_{вих}^1$; стислі висновки за результатами роботи.

8.4 Контрольні запитання

- 1 Який принцип роботи основного і модифікованого варіантів ЛЕ ТТЛ?
- 2 Яка методика визначення статичних параметрів ЛЕ ТТЛ?
- 3 Що таке навантажувальна здатність схеми і як її можна збільшити?
- 4 Яке призначення діодів $VD1$, $VD2$ в схемі ЛЕ ТТЛ?
- 5 В якому режимі працює БЕТ $VT1$, якщо на всіх входах ЛЕ встановлена напруга $U_{вх} > U_{пор}^1$; $U_{вх} < U_{пор}^0$?
- 6 Яка таблиця істинності базового ЛЕ ТТЛ?
- 7 На входах схеми модифікованого варіанта ЛЕ ТТЛ (рис. 8.2) встановлені $U_{вх}^0 = 0,2$ В. Яким буде при цьому потенціал т. А?

9 ЛАБОРАТОРНА РОБОТА № 9 „ЕМІТЕРНО – ЗВ’ЯЗАНА ЛОГІКА“

Мета роботи - вивчення принципів роботи схеми ЕЗЛ, дослідження її статичних характеристик, визначення параметрів і розгляд умов сумісності.

9.1 Теоретичні відомості

9.1.1 Принцип роботи схеми ЕЗЛ

Цифрові мікросхеми ЕЗЛ мають надвисоку швидкодію, що досягла субнаносекундного діапазону. Зменшення часу перемикання схем досягається наступними схемотехнічними особливостями логічних елементів ЕЗЛ: транзистори в схемах є ненасиченими; логічний перепад $\Delta U_{л} = U^1 - U^0$ є малим; у схемах присутні емітерні повторювачі (ЕП).

Схема ЛЕ (рис. 9.1) складається з перемикача струму (ПС) на транзисторах $VT1$, $VT2$, резисторах $R_{к1}$, $R_{к2}$, R_e і двох ЕП на транзисторах $VT3$, $VT4$ з відповідними резисторами.

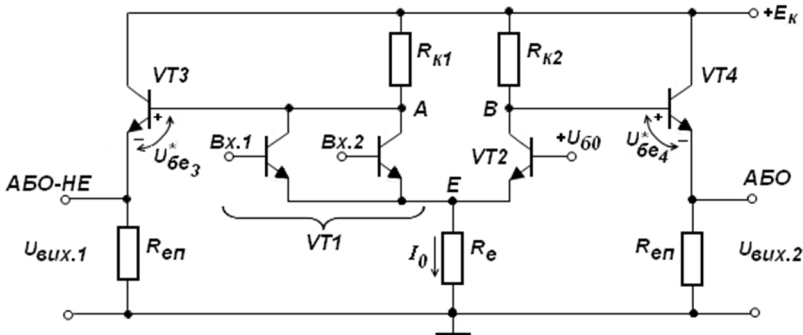


Рисунок 9.1 - Схема ЛЕ емітерно-зв'язаної логіки

Вхідна логіка здійснюється декількома паралельно підключеними транзисторами (у схемі на рис. 9.1 $VT1$), які складають із спільним резистором $R_{к1}$ ліве плече ПС. Відмикання будь-якого з

цих транзисторів, або всіх відразу, приводить до перемикання струму з правого плеча перемикача струму в ліве.

На базу $VT2$ подається постійна напруга $U_{\sigma 0}$, значення якої відповідає середньому значенню рівнів нуля і одиниці:

$$U_{\sigma 0} = (U^0 + U^1) / 2.$$

Якщо на всі входи схеми подана низька напруга U^0 , то транзистори з групи $VT1$ закриті, струм по лівому плечу не тече, напруга в т. A приблизно рівна E_k і потенціал на лівому виході буде високим.

Якщо на один або декілька входів поданий високий потенціал, то один або декілька транзисторів з групи $VT1$ будуть відкритими, за рахунок протікання струму по лівому плечу ПС на опорі $R_{к1}$ впаде напруга, і потенціал т. A стане низьким. На виході 1 при цьому з'явиться низька напруга. Отже, по лівому виходу схема виконує функцію "АБО-НЕ". Якщо $VT1$ відкритий, то $VT2$ замкнутий і навпаки. Тому по правому виходу схема реалізує функцію "АБО".

Присутність в схемі емітерних повторювачів дозволяє знизити вихідний опір схеми, підсилити вихідні сигнали за потужністю, підвищити швидкодію схеми і навантажувальну здатність при роботі на лінії зв'язку або інші логічні елементи. Крім того, ЕП зменшують потенціали виходів схеми на U^* в порівнянні з потенціалами т. A і B за рахунок того, що транзистори $VT3$, $VT4$ завжди працюють в активному режимі, і на їх відкритих емітерних переходах падає напруга U^* . Вказаний зсув рівнів сигналів ПС за напругою забезпечує сумісність ЛЕ ЕЗЛ за входом і виходом. Дотримання **принципу сумісності** дозволяє до виходів ЛЕ підключати входи таких же навантажувальних ЛЕ і забезпечувати їх сумісну працездатність.

9.1.2 Вхідна, передавальні характеристики і параметри схеми ЕЗЛ

Типові вхідна і передавальні характеристики схеми ЕЗЛ приведені на рис. 9.2.

На характеристиці $U_{вих} = f(U_{вх})$ можна виділити 4 області: I - область усталеного значення низької вихідної напруги для прямого і

На ділянці I транзистор $VT1$ закритий, його вхідний струм $I_{вх} = 0$, а напруга колектора $U_{к1} = U_A = E_k - I_{\bar{\sigma}VT3} R_{к1} \approx E_k$. Тоді $U_{вх1} = E_k - U_{\bar{\sigma}e3}^*$, де $U_{\bar{\sigma}e3}^*$ - падіння напруги на відкритому емітерному переході $VT3$. А транзистор $VT2$ на ділянці I відкритий, причому струм в його емітерному ланцюзі $I_0 = (U_{\bar{\sigma}0} - U_{\bar{\sigma}e2}) / R_e$; а напруга на його колекторі $U_{к2} = U_B = E_k - \alpha_2 I_0 R_{к2}$ (струм $I_{\bar{\sigma}}$ транзистора $VT4$ нехтується зважаючи на його малість). Тоді $U_{вх2} = E_k - \alpha_2 I_0 R_{к2} - U_{\bar{\sigma}e4}^*$, де α_2 - коефіцієнт підсилення за струмом транзистора $VT2$; $U_{\bar{\sigma}e4}^*$ - падіння напруги на відкритому емітерному переході $VT4$.

На ділянці II при $U_{вх} = U_{\bar{\sigma}0}$ транзистори $VT1$ і $VT2$ відкриті однаково, їх емітерні струми рівні $I_e = I_0 / 2$. Тоді вхідний струм $I_{вх} = I_{\bar{\sigma}1} = (1 - \alpha_1) I_0 / 2$. Нахил вхідної характеристики при $U_{вх} = U_{\bar{\sigma}0}$ визначається величиною диференціального вхідного опору $r_{вх.диф.II}$, який можна оцінити.

При малих змінах вхідного сигналу навколо точки спокою напруга на вході схеми рівна сумі двох складових: постійної і змінної

$$U_{вх} = U_{=} + \Delta U_{вх}.$$

Змінна складова вхідної напруги

$$\Delta U_{вх} = \Delta I_{вх} r_{\bar{\sigma}1} + \Delta I_{e1} r_{e1} = \Delta I_{вх} r_{\bar{\sigma}1} + \frac{\Delta I_{вх}}{1 - \alpha_1} r_{e1}, \quad (9.1)$$

де $r_{\bar{\sigma}1}$ - опір бази $VT1$; r_{e1} - диференціальний опір емітерного переходу $VT1$ на невинродженій ділянці ВАХ переходу, який визначається відповідно до виразу

$$r_{e1} = \frac{dU_{\bar{\sigma}e1}}{dI_{e1}} = \frac{d(\varphi_T \ln(I_{e1} / I_{e\bar{\sigma}0}))}{dI_{e1}} = \frac{\varphi_T}{I_{e1}} = \frac{2\varphi_T}{I_0}.$$

Вираз (9.1) справедливий, якщо потенціал т. E постійний, що має місце на ділянці II, оскільки $R_e \gg r_{e1}$ і $VT2$ відкритий.

Тоді з урахуванням того, що $r_{\beta 1} \approx 0$:

$$r_{ex, \text{диф. II}} = \frac{\Delta U_{ex}}{\Delta I_{ex}} = \frac{r_{e1}}{1 - \alpha_1} = r_{e1} (1 + \beta_1) = \frac{2\varphi_T}{I_0} (1 + \beta_1), \quad (9.2)$$

де α_1 і β_1 - диференціальні коефіцієнти підсилення за струмом транзистора $VT1$ в схемах зі спільною базою та спільним емітером.

Для типових значень $I_0 = 10^{-3} \text{ А}$, $(1 + \beta_1) = 50$, тоді $r_{ex, \text{диф. II}} \approx 2,6 \cdot 10^3 \text{ Ом}$.

На ділянці III транзистор $VT2$ закритий і напруга $U_{вих2} = U^1$. Транзистор же $VT1$ із зростанням U_{ex} продовжує відкриватися, одночасно росте потенціал т. E . Проте, це відчинення транзистора є повільним завдяки наявності сильного негативного зворотного зв'язку, створюваного опором R_e . Вхідний струм

$$I_{ex} = (1 - \alpha_1) I_0 = (1 - \alpha_1) \cdot (U_{ex} - U_{\beta e1}^*) / R_e = \frac{U_{ex} - U_{\beta e1}^*}{R_e (1 + \beta_1)} \quad (9.3)$$

лінійно наростає, а вихідна напруга

$$U_{вих1} = E_K - I_{k1} R_{k1} - U_{\beta e3}^* = E_K - \alpha_1 \frac{U_{ex} - U_{\beta e1}^*}{R_e} R_{k1} - U_{\beta e3}^*$$

лінійно падає.

Нехтуючи малою зміною $U_{\beta e1}^*$ при зміні U_{ex} можна з (9.3) визначити змінну складову вхідної напруги $\Delta U_{ex} = \Delta I_{ex} R_e (1 + \beta_1)$.

Тоді диференціальний вхідний опір на ділянці III

$$r_{\text{ex.диф.III}} = R_e (1 + \beta_1). \quad (9.4)$$

На ділянці IV напруга $U_{\text{вих1}}$ росте так само, як росте вхідна, скільки в режимі насичення VT1 на відкритих p - n переходах напруга змінюється мало.

Використовуючи принцип сумісності, можна визначити необхідну величину середньої вихідної напруги $U_{\text{вих.сеп}}$.

Середня величина $U_{\text{вих.сеп}} = 0,5(U_{\text{вх}}^1 + U_{\text{вх}}^0)$, очевидно, повинна дорівнювати напрузі $U_{\text{вх}} = U_{\text{б0}}$, при якій VT1 і VT2 відкриті однаково.

В цьому випадку відхилення вхідної напруги від свого середнього значення приводить до відчинення одного з транзисторів і до закриття іншого. Аналогічно повинна визначатися і вихідна напруга, яка є вхідною для навантаження ЛЕ. Отже, умовою сумісності є рівність $U_{\text{вих.сеп}} = U_{\text{б0}}$. Графічно ця умова виражається у тому, що пряма, що поєднує точку перетину вихідних характеристик з початком координат, нахилена до осей під кутом 45° (рис. 9.2) за умови рівності масштабів по осях.

Для визначення можливого значення розмаху логічного сигналу $\Delta U_{\text{Л}} = U^1 - U^0$ використовується нерівність $U_{\text{кб1}} \geq 0$, що визначає умову роботи транзистора VT1 в ненасиченому режимі. Хай на вхід VT1 подається напруга $U_{\text{вх}} = U_{\text{б1}} = U^1$. Тоді $U_{\text{вих1}} = U^0$, а потенціал колектора VT1 $U_{\text{к1}} = U^0 + U_{\text{бe3}}^*$. Тоді

$$U_{\text{кб1}} = U_{\text{к1}} - U_{\text{б1}} = U^0 + U_{\text{бe3}}^* - U^1 = U_{\text{бe3}}^* - \Delta U_{\text{Л}} \geq 0.$$

Звідси $\Delta U_{\text{Л}} \leq U_{\text{бe3}}^*$. Для кремнієвих переходів $U_{\text{бe3}}^* = 0,6...0,9$ В. В цілях збереження і без того невеликого значення $\Delta U_{\text{Л}}$ на практиці прагнуть до рівності $\Delta U_{\text{Л}} = U_{\text{бe3}}^*$.

$U_{вих2} = f(U_{вх})$. Для визначення порогових напруг $U_{пор}^0$, $U_{пор}^1$ проведіть дотичні до залежності $U_{вих2} = f(U_{вх})$, паралельні відрізку, що проходить під кутом 45° (рис. 9.2).

9.2.6 Визначте вхідні опори на ділянках II і III згідно (9.2) і (9.4).

9.3 Вимоги до звіту

Звіт повинен містити: найменування і мету роботи; схему експеримента; таблиці значень залежностей $I_{вх} = f(U_{вх})$, $U_{вих1} = f(U_{вх})$, $U_{вих2} = f(U_{вх})$; графіки вказаних залежностей; значення отриманих за характеристиками і розрахованих параметрів схеми ЕЗЛ з відповідними формулами; стислі висновки за результатами роботи.

9.4 Контрольні запитання

- 1 Який принцип роботи схеми ЕЗЛ?
- 2 Принцип сумісності та умова сумісності схем ЕЗЛ?
- 3 Чому величина логічного перепаду не може бути менше падіння напруги на відкритому емітерному переході $U_{\delta e}^*$?
- 4 Складіть таблицю істинності для схеми рис. 9.1.
- 5 Як визначити значення порогових напруг?
- 6 Яке призначення ЕП в схемі?
- 7 В якому режимі працюють транзистори емітерних повторювачів?
- 8 В якому положенні знаходяться елементи схеми ЕЗЛ на ділянках I - IV характеристик?
- 9 Як зміниться схема, представлена на рис. 9.1, при необхідності отримання функції ЗАБО?
- 10 В якій з областей I-IV (рис. 9.2) не працює ЛЕ ЕЗЛ і чому?
- 11 Як впливає величина логічного перепаду на швидкодію схеми?
- 12 Який параметр транзисторів ЕП необхідно збільшити для зменшення ширини зони невизначеності?
- 13 Чому наявність ЕП в схемі сприяє підвищенню її швидкодії?
- 14 Чому наявність ЕП в схемі сприяє підвищенню її навантажувальної здатності?

10 ЛАБОРАТОРНА РОБОТА № 10 „МУЛЬТИПЛЕКСОРИ, ДЕМУЛЬТИПЛЕКСОРИ, ДЕШИФРАТОРИ“

Мета роботи - ознайомлення з логічними структурами та дослідження принципів роботи мультиплексорів, демультимплексорів і дешифраторів.

10.1 Теоретичні відомості

10.1.1 Мультиплексори

Комутатором називається функціональний вузол, призначений для комутації каналів зв'язку. Комутатори поділяються на мультиплексори і демультимплексори.

Мультиплексором називається функціональний вузол, призначений для передачі інформації, яка надходить по одному з вхідних каналів на вихідний канал.

Мультиплексори мають дві групи входів: **інформаційні** і **керуючі**. Керуючі входи розподіляються на адресні і дозволяючі. Якщо мультиплексор має n адресних входів, кількість інформаційних входів m повинна відповідати нерівності: $m \leq 2^n$. Наприклад, за наявності у мультиплексора трьох адресних входів ($n = 3$) можна реалізувати вісім ($m = 2^3 = 8$) комбінацій адресних сигналів (000, 001, 010, 011, 100, 101, 110, 111), кожна з яких забезпечує вибір одного з $m = 8$ вхідних сигналів, тобто у мультиплексора може бути вісім інформаційних входів.

Дозволяючий вхід керує одночасно усіма інформаційними входами незалежно від стану адресних входів. Забороняючий сигнал на цьому вході блокує дію схеми у цілому. Залежно від логічної схеми забороняючим сигналом може бути сигнал як 0, так як і 1. Дозволяючий вхід може бути взагалі відсутнім, але наявність його розширює функціональні можливості мультиплексора, дозволяючи синхронізувати його роботу з роботою інших схем. Логічна структура мультиплексора “із 8 у 1” приведена на рис. 10.1.

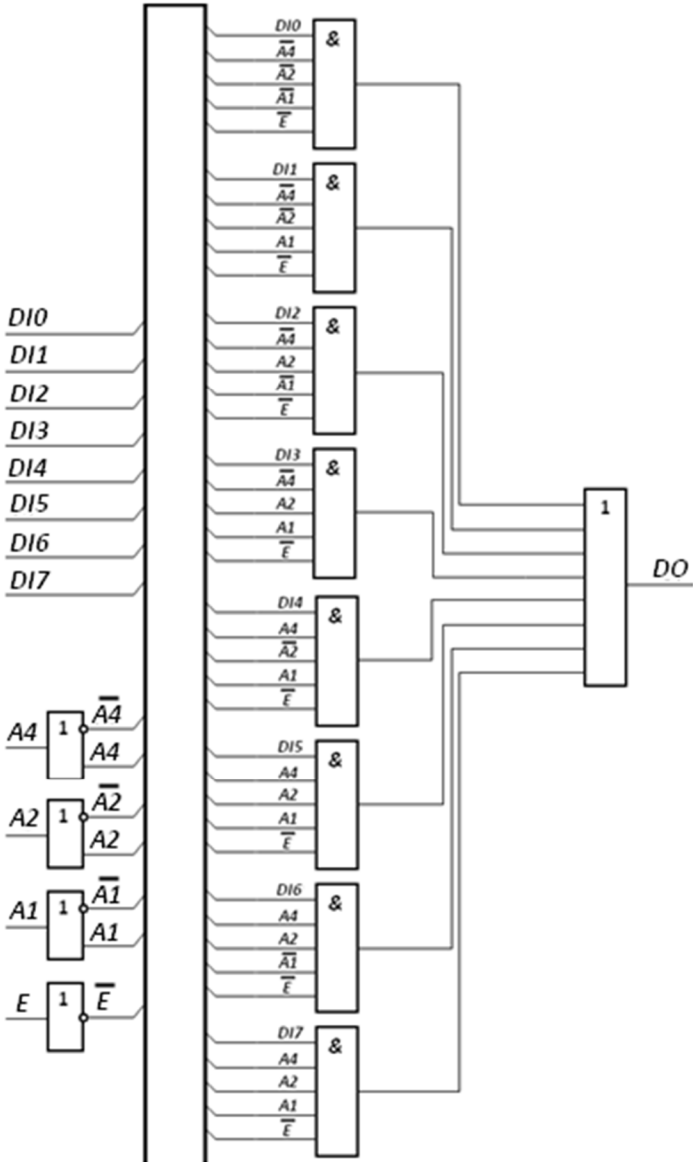


Рисунок 10.1 – Логічна структура мультиплексора "із 8 у 1"

Мультиплексор має вісім інформаційних входів $D_{10}...D_{17}$ (DI - *data input* - вхід даних), адресні входи A_4, A_2, A_1 (*address* - адреса), дозволяючий вхід E (*enable* - дозвіл), та один вихід DO (*data output* - вихід даних). Вхід A_4 належить старшому розряду адреси, вхід A_1 - молодшому.

Якщо $E=0$, в логічній структурі тільки один логічний елемент I із восьми має 1 на всіх входах, крім інформаційного, на якому може бути як 0, так і 1. Номер такого елемента задається адресним кодом. Тому інформаційний сигнал пройде на вихід зазначеного логічного елемента, а далі і на вихід DO схеми, бо на виходах інших логічних елементів будуть присутні 0. Якщо $E=1$, на виходах всіх восьми елементів I будуть присутні 0, на виході схеми DO теж буде постійний 0.

Інформаційний вхід мультиплексора, з якого інформація передається на вихід, називається **активним входом**. Отже, будь-який набір 0 і 1 на адресних входах активізує лише один відповідний інформаційний вхід.

Мультиплексори використовуються для перетворення паралельного двійкового коду у послідовний. Якщо на інформаційні входи подати двійковий код, а керуючі сигнали на адресних входах мультиплексора міняти у послідовності 000, 001, ..., 111, то на виході схеми будуть з'являтися один за одним розряди двійкового коду, починаючи з молодшого.

Мультиплексор також може бути використаний як універсальний логічний елемент. У цьому випадку мультиплексор реалізує будь-яку логічну функцію, яка має не більше, ніж $n+1$ змінних, де n - кількість адресних входів мультиплексора. Використання мультиплексора як універсального логічного елемента засновано на загальній властивості логічних функцій незалежно від кількості аргументів завжди рівнятися "1" або "0". Якщо на адресні входи мультиплексора подавати значення вхідних змінних відповідно наявним наборам таблиці істинності функції, а на відповідні інформаційні входи - значення функції, то таким чином синтезується пристрій, який реалізує потрібну логічну функцію.

Наприклад, для реалізації функції $2I$ (табл. 10.1) з двома змінними, необхідно скористатися мультиплексором "із 4 у 1", у якого до адресних входів A_2 і A_1 треба підключити сигнальні лінії X_1 і X_0

відповідно, а на інформаційні входи подати сигнали згідно табл. 10.1:
 $DI0 = DI1 = DI2 = 0, DI3 = 1$.

Таблиця 10.1 - Таблиця істинності функції 2I

$X1$	$X0$	F
0	0	0
0	1	0
1	0	0
1	1	1

Якщо кількість аргументів функції дорівнює $n+1$, то методика синтезу схеми буде іншою. Припустимо, що на основі мультиплексора “із 4 у 1” необхідно реалізувати функцію 3I, яка має три змінні.

Таблиця істинності функції 3I (табл. 10.2) розбивається на групи по два рядки у кожній групі. У обох рядках кожної із чотирьох груп $X2$ і $X1$ мають однакові значення, а $X0$ змінюється. Тому із значень $X2$ і $X1$ кожної групи можна утворити набори 00, 01, 10, 11, підключаючи сигнал $X2$ до входу $A2$ мультиплексора, а сигнал $X1$ - до входу $A1$. На відповідні наборам інформаційні входи треба подавати 1, якщо у двох рядках групи функція приймає значення 1, або 0, якщо функція в групі має значення 0. При наявності змінного значення функції в групі у загальному випадку можуть бути два варіанти: $F=X0$, або $F=\bar{X0}$. Отже, для реалізації функції 3I треба подати сигнали: $DI0=0, DI1=0, DI2=0, DI3=X0, A2=X2, A1=X1$.

Таблиця 10.2 - Таблиця істинності функції 3I

$X2$	$X1$	$X0$	F	Примітка
0	0	0	0	$D0=DI0=0$
0	0	1	0	
0	1	0	0	$D0=DI1=0$
0	1	1	0	
1	0	0	0	$D0=DI2=0$
1	0	1	0	
1	1	0	0	$D0=DI3=X0$
1	1	1	1	

10.1.2 Демультимплексори і дешифратори

Демультимплексором називається функціональний вузол, призначений для передачі інформації з єдиного інформаційного входу на один із виходів відповідно до заданого коду на адресних входах. Кількість виходів m відповідає нерівності $m \leq 2^n$, де n - число адресних входів.

Демультимплексор у функціональному відношенні протилежний мультимплексору. Демультимплексори у вигляді самостійних приладів не виготовляються, тому що їхні функції можуть виконувати дешифратори.

Дешифратор (декодер) - це функціональний вузол з кількома входами і виходами, у якого кожній комбінації інформаційних вхідних сигналів відповідає активне значення тільки одного означеного вихідного сигналу. Повний дешифратор з n інформаційними входами має $m=2^n$ виходів. На практиці вживаються неповні дешифратори, які декодують тільки окремі комбінації вхідних сигналів.

В залежності від логічної структури дешифратора активним може бути як рівень 0, так і рівень 1. Якщо на активному виході 0, то на інших виходах устанавлюються 1, і навпаки.

Логічна структура демультимплексора “із 1 у 8”, який інвертує інформаційний сигнал DI , показана на рис. 10.2, де $A4, A2, A1$ - адресні входи ($A1$ - молодший розряд адресного коду), DI - інформаційний вхід, E - дозволяючий вхід, $DO0...DO7$ - виходи. Якщо у демультимплексора “із 1 у 8” на інформаційному вході DI підтримувати постійно потенціал (для схеми на рис. 10.2 це 1), протилежний активному рівню, то демультимплексор буде функціонувати як дешифратор “із 3 у 8”.

Між обома типами пристроїв нема принципової різниці. Дешифратор можна розглядати як обернений за входами демультимплексор, у якого адресні входи перетворилися в інформаційні (їх іноді так і називають адресними), а колишній інформаційний вхід DI , на який подається незмінний сигнал (0 чи 1 залежно від схеми), підтримує на одному з виходів активний рівень сигналу. Отже, у демультимплексора сигнал на вході DI може змінюватися у часі, а у дешифратора - ні. Тому у дешифратора вхід DI може бути навіть відсутнім.

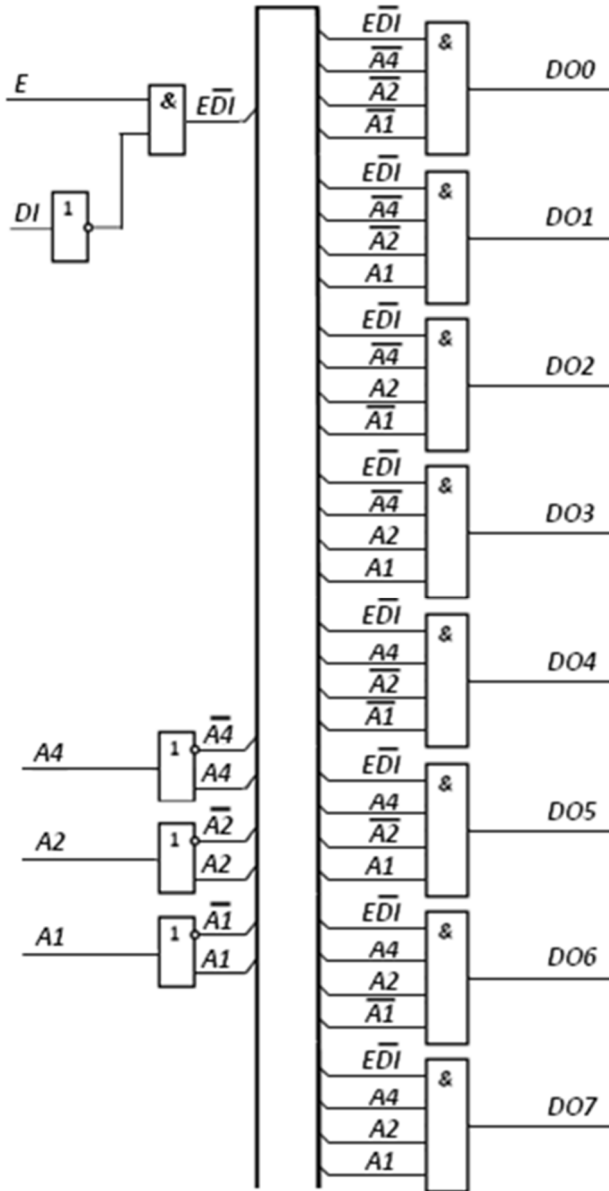


Рисунок 10.2 – Логічна структура демультиплексора "із 1 у 8"

На умовних графічних позначеннях у мультиплексора ставиться символ *MUX* (multiplexer), у демультіплексора - *DMX*, у дешифратора - *DC* (dekoding circuit).

10.2 Порядок проведення досліджень

10.2.1 Дослідження мультиплексора

При проведенні експерименту використовується восьмиканальний інвертуючий мультиплексор з селекторним каналом К155КП5 (рис. 10.3).

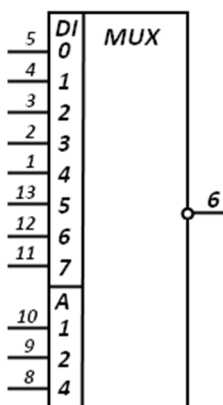


Рисунок 10.3 - Умовне графічне позначення ІМС К155КП5

При опробуванні схеми на вивід 14 подається напруга живлення +5В, а спільний вивід 7 з'єднується зі спільним вузлом.

З'єднання будь-якого входу мікросхеми зі спільним вузлом відповідає поданню на цей вхід 0, роз'єднання зі спільним вузлом - поданню 1.

До виходу 6 мікросхеми підключається вольтметр.

Послідовно змінюючи стан входів мультиплексора відповідно табл. 10.3, зніміть показання вольтметра. Результати експерименту занесіть у табл. 10.3. В табл. 10.3 символом *X* позначене байдуже значення сигналу. Запис 0/1 відповідає двом режимам роботи

мультиплектора: спочатку на інформаційний вхід подається 0, а потім 1 при незмінному коді адреси.

Таблиця 10.3 - Форма для заповнення таблиці істинності мультиплектора “із 8 у 1”

A4	A2	A1	DI0	DI1	DI2	DI3	DI4	DI5	DI6	DI7	DO
8	9	10	5	4	3	2	1	13	12	11	6
0	0	0	0/1	X	X	X	X	X	X	X	
0	0	1	X	0/1	X	X	X	X	X	X	
0	1	0	X	X	0/1	X	X	X	X	X	
0	1	1	X	X	X	0/1	X	X	X	X	
1	0	0	X	X	X	X	0/1	X	X	X	
1	0	1	X	X	X	X	X	0/1	X	X	
1	1	0	X	X	X	X	X	X	0/1	X	
1	1	1	X	X	X	X	X	X	X	0/1	

10.2.2. Дослідження демультимплектора і дешифратора

При проведенні експерименту використовується ІМС К155ИД4 (рис. 10.4), на вивід 16 подається напруга живлення +5В, спільний вивід 8 з'єднується зі спільним вузлом. Спосіб подачі сигналів на входи такий же, як і для ІМС К155КП5. При дослідженні треба за допомогою вольтметра виміряти потенціали на виходах і заповнити необхідні таблиці істинності.

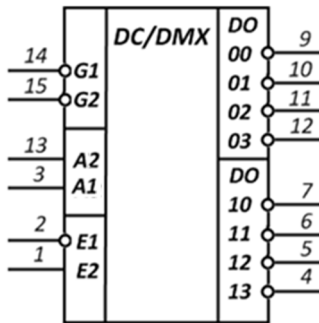


Рисунок 10.4 - Умовне графічне позначення ІМС К155ИД4

Мікросхема К155ИД4 може використовуватися у чотирьох режимах.

Режим 1: два демультимплексори. Входи $A2$, $A1$ є спільними адресними входами для обох демультимплексорів. Вхід $\overline{G1}$ є інформаційним для верхнього, а вхід $\overline{E1}$ є інформаційним для нижнього демультимплексорів. Входи $\overline{G2}$ і $E2$ є дозволяючими для верхнього і нижнього демультимплексорів відповідно. На вході $\overline{G2}$ активний рівень 0 (є дозвіл для передачі на вихід інформаційного сигналу), а на вході $E2$ - 1. Дозволяючі входи іноді називають входами стробування. Процес стробування - це виділення сигналу у визначений момент часу. Отже, інформаційний сигнал на активному виході з'явиться тільки при наявності на вході стробування активного рівня.

Режим 2: два дешифратори з нульовим активним рівнем. Рівні дозволяючих сигналів: $E2=1$, $\overline{G2}=0$. На входах $\overline{G1}$ і $\overline{E1}$ повинні бути логічні нулі. Номер активного виходу (0, 1, 2 чи 3) відповідає еквіваленту вхідного коду $A2$, $A1$ на спільних інформаційних входах.

Режим 3: демультимплексор “із 1 у 8”. Необхідно з'єднати входи $\overline{G1}$ (вивід 14) і $\overline{E1}$ (вивід 2) і подавати на них інформаційний сигнал (0 чи 1). Входи $\overline{G2}$ (вивід 15) і $E2$ (вивід 1) теж з'єднуються і на них подається старший розряд (назвемо його $A2$) коду адреси $A4$, $A2$, $A1$.

Режим 4: дешифратор “із 3 у 8”. На з'єднанні входи $\overline{G1}$ (вивід 14) і $\overline{E1}$ (вивід 2) подається сигнал дозволу (0 - є дозвіл), він відповідає сигналу активного рівня на виходах для ІМС К155ИД4. На з'єднанні входи $\overline{G2}$ (вивід 15) і $E2$ (вивід 1) подається старший розряд ($A2$) коду $A2$, $A1$, $A0$. При подачі коду 000 активним буде вихід $DO00$.

По завданню викладача досліджуються два із чотирьох режимів роботи ІМС К155ИД4. При дослідженні режимів 1 і 2 слід використати форми із таблиць 10.4 і 10.5 відповідно. При дослідженні режимів 3 і 4 слід використати форми із таблиць 10.6 і 10.7 відповідно. Відповідно до заданого режиму розробіть логічну структуру досліджуваного демультимплексора або дешифратора.

Таблиця 10.7 - Форма для заповнення таблиці істинності дешифратора “із 3 у 8”

Входи			Виходи $\overline{D0}$							
A4	A2	A1	00	01	02	03	10	11	12	13
1	13	3	9	10	11	12	7	6	5	4
0	0	0								
0	0	1								
0	1	0								
0	1	1								
1	0	0								
1	0	1								
1	1	0								
1	1	1								

10.3 Вимоги до звіту

Звіт повинен містити:

- найменування та мету роботи;
- логічну структуру і таблицю істинності досліджуваного мультиплексора;
- логічну структуру досліджуваного демультимплексора або дешифратора;
- таблиці істинності досліджуваних демультимплексорів або дешифраторів;
- значення в абсолютних одиницях логічних рівнів 0 та 1 мікросхем K155КП5, K155ИД4;
- стислі висновки за результатами роботи.

10.4 Контрольні запитання

- 1 Який принцип дії має мультиплексор?
- 2 Чому мультиплексор називають комутатором?
- 3 Скільки інформаційних входів буде мати мультиплексором, якщо у нього вісім адресних входів?

- 4 Навіщо у логічній структурі мультиплексора "із 8 у 1" використовується вхід E ?
- 5 Запишіть логічну функцію досліджуваного мультиплексора у досконалій диз'юнктивній нормальній формі (ДДНФ).
- 6 Реалізуйте за допомогою мультиплексора логічну функцію (за вибором викладача), кількість аргументів якої дорівнює числу адресних входів мультиплексора.
- 7 Реалізуйте за допомогою мультиплексора логічну функцію (за вибором викладача), кількість аргументів якої перевищує число адресних входів мультиплексора на одиницю.
- 8 Який принцип дії має демультимплексор?
- 9 Запишіть логічні функції досліджуваного демультимплексора.
- 10 Яким чином, використовуючи логічну структуру ІМС К155ИД4, можна створити демультимплексор "із 1 у 8"?
- 11 Який принцип дії має дешифратор?
- 12 Які існують різновиди дешифраторів?
- 13 На скількох виходах дешифратора "із 3 у 8" з нульовим активним рівнем одночасно можуть бути присутніми одиниці?
- 14 Чим відрізняються таблиці істинності дешифраторів з нульовим і одиничним активними рівнями?
- 15 Що таке процес стробування?
- 16 У яких режимах може працювати ІМС К155ИД4?
- 17 Який потенціал треба встановити на вході схеми транзисторно-транзисторної логіки, щоб він відповідав логічному 0?
- 18 Який потенціал треба встановити на вході схеми транзисторно-транзисторної логіки, щоб він відповідав логічній 1?
- 19 Чи можуть досліджувані логічні структури бути реалізованими на КМОН-логіці?
- 20 Як зміниться принцип дії схеми мультиплексора, якщо на умовному графічному позначенні ІМС К155КП5 замість інверсного виходу передбачити прямий?
- 21 Чи може існувати схема неповного дешифратора?
- 22 Що приймається до уваги, коли використовують поняття: дешифратор "із 3 у 8"?

11 ЛАБОРАТОРНА РОБОТА № 11 „ІНТЕГРАЛЬНІ ТРИГЕРИ“

Мета роботи - ознайомлення з принципом дії статичних тригерів та розглядання режимів роботи тригерів *RS*- і *D*-типів.

11.1 Теоретичні відомості

11.1.1 Типи тригерів

Тригером називається електрична схема з двома стійкими станами, в кожний з яких вона може встановлюватися під дією відповідної комбінації керуючих сигналів.

Залежно від типу використаних елементів пам'яті тригери поділяються на *статичні*, *статико-динамічні* та *динамічні*.

В статичних і статико-динамічних тригерах використовуються статичні елементи пам'яті - бістабільні комірки, які утворюються з двох логічних елементів типу “АБО-НЕ” чи “І-НЕ”, охоплених перехресними зворотними зв'язками. В динамічних тригерах використовуються динамічні елементи пам'яті, які утворюються з компонента (конденсатора, транзистора або діода), що накопичує заряд, а також транзисторних ключів, що керують процесами заряду або розряду компонента.

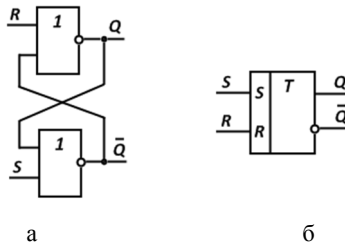
За способом функціонування тригери поділяються на **асинхронні** і **синхронні**. В асинхронних тригерах зміна стану відбувається безпосередньо після подачі сигналів на керуючі входи. Стан синхронних тригерів, на відміну від асинхронних, змінюється відповідно до значень сигналів на керуючих входах після надходження на спеціальний вхід синхронізації синхроімпульсу.

Синхронні тригери можуть спрацювати **за рівнем** або **за фронтом** синхроімпульсу. Тригери, синхронізовані рівнем (**тригери зі статичним керуванням**), можуть перемикатися після подачі відповідних керуючих сигналів кілька разів за час дії одного синхроімпульсу. Тригери, синхронізовані фронтом (**тригери з динамічним керуванням**), змінюють свій стан лише після подачі на вхід синхронізації відповідного фронту синхроімпульсу і зберігають свій стан при довільних змінах керуючих сигналів.

Залежно від комбінації керуючих сигналів і викликаних ними змін стану, тригери поділяються на кілька функціональних типів. В цифровій схемотехніці найчастіше використовуються інтегральні RS -, JK -, D -, T -тригери та деякі їх різновиди. Літерами R , S , J , K , D , T тощо прийнято позначати керуючі входи відповідних тригерів.

11.1.2 Логічні структури і принципи функціонування тригерів

Асинхронні RS -тригери мають два керуючих входи R і S , за допомогою яких здійснюється їх встановлення у відповідний стан. У тригерах використовуються бістабільні комірки (БК) диз'юнктивного типу (рис. 11.1).



а - логічна структура;
б- умовне графічне позначення

Рисунок 11.1 - Асинхронний RS -тригер на елементах АБО-НЕ

Закон функціонування асинхронного RS -тригера з прямими входами описують за допомогою таблиці переходів (табл. 11.1). Символом n позначено номер такту роботи тригера.

Таблиця 11.1 - Таблиця переходів тригера з прямими входами

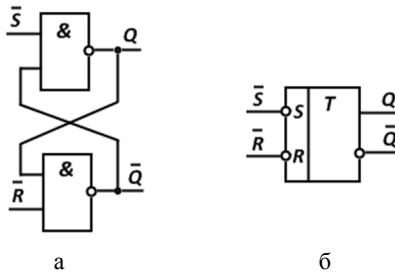
R^n	S^n	Q^{n+1}	Режим
0	0	Q^n	Зберігання інформації
0	1	1	Установлення 1
1	0	0	Установлення 0
1	1	-	Заборонено

Як видно з табл. 11.1, під час надходження керуючих сигналів $R^n = 0$, $S^n = 1$ RS -тригер перемикається в стан $Q^{n+1} = 1$, а при $R^n = 1$, $S^n = 0$ - у стан $Q^{n+1} = 0$.

Наявність на керуючих входах сигналів $R^n = 0, S^n = 0$ відповідає режиму зберігання інформації $Q^{n+1} = Q^n$, причому Q^{n+1} може набувати значення 0 або 1.

Комбінація $R^n = 1, S^n = 1$ є забороненою, оскільки порушує інверсність виходів (встановлюється $Q^{n+1} = 0; \bar{Q}^{n+1} = 0$) і породжує при наступному надходженні сигналів $R = 0, S = 0$ невизначеність стану (встановлюється $Q = 0, \bar{Q} = 1$ або $Q = 1, \bar{Q} = 0$ з рівною ймовірністю).

Асинхронні $\bar{R}\bar{S}$ -тригери з інверсними входами утворюються з базових комірок кон'юнктивного типу (рис. 11.2).



- а - логічна структура;
б - умовне графічне позначення

Рисунок 11.2 - Асинхронний $\bar{R}\bar{S}$ -тригер на елементах "І-НЕ"

Закон функціонування $\bar{R}\bar{S}$ -тригера з інверсними входами зображений у таблиці переходів (табл. 11.2).

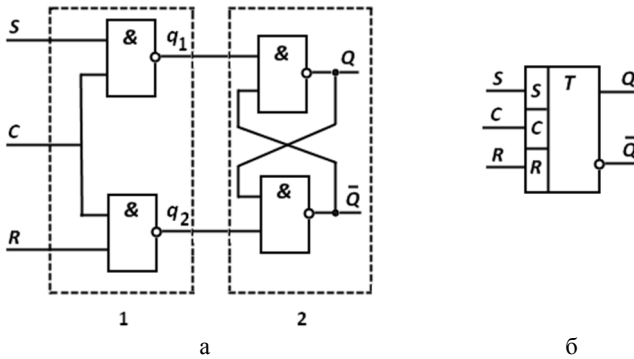
Таблиця 11.2 - Таблиця переходів $\bar{R}\bar{S}$ -тригера з інверсними входами

\bar{R}^n	\bar{S}^n	Q^{n+1}	Режим
0	0	-	Заборонено
0	1	0	Установлення 0
1	0	1	Установлення 1
1	1	Q^n	Зберігання інформації

Швидкодія асинхронного $\bar{R}\bar{S}$ -тригера визначається затримкою встановлення його стану t_3 , яка дорівнює сумі затримок передачі сигналу через ланцюг елементів з затримкою t_e в кожному:

$$t_3 = 2 t_e.$$

Синхронні RS -тригери зі статичним керуванням (синхронізовані рівнем синхроімпульсу) відрізняються від асинхронних наявністю C - входу, на який надходять синхронізуючі (тактові) сигнали (рис. 11.3).



- а - логічна структура;
б - умовне графічне позначення

Рисунок 11.3 - Синхронний RS -тригер зі статичним керуванням

Як показано на рис. 11.3, синхронний RS -тригер побудовано з елементів І-НЕ. Схема 1 є комбінаційною і призначена для управління роботою схеми 2, яка є асинхронним $\bar{R}\bar{S}$ -тригером.

Закон функціонування RS -тригера зі статичним керуванням зображений у таблиці переходів (табл. 11.3). Сигнал, який може бути як логічною одиницею, так і логічним нулем, означений у таблиці символом X .

Якщо синхронізуючий сигнал $C = 0$, на входах схеми 2 встановлюються логічні 1, при цьому асинхронний $\bar{R}\bar{S}$ -тригер зберігає інформацію (рядок 1 табл. 11.3). Якщо $C = 1$, вхідні логічні елементи схеми 1 відкриті для передачі інформаційних сигналів R і S на входи

асинхронного $\bar{R}\bar{S}$ -тригера. Отже, синхронний тригер при наявності дозвільного сигналу C буде працювати, як асинхронний тригер.

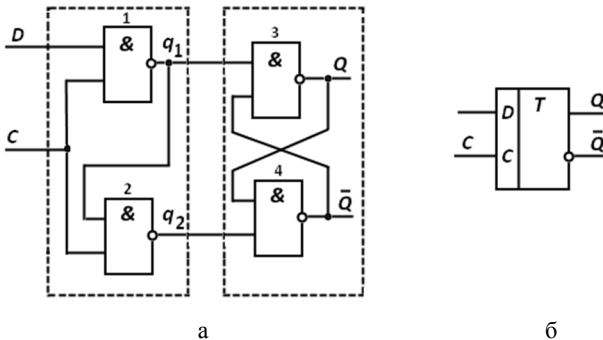
Таблиця 11.3 - Таблиця переходів RS -тригера зі статичним керуванням

C^n	R^n	S^n	Q^{n+1}
0	X	X	Q^n
1	0	0	Q^n
1	0	1	1
1	1	0	0
1	1	1	-

Затримка встановлення стану RS -тригера зі статичним керуванням дорівнює сумі затримок передачі сигналу через ланцюг з трьох логічних елементів з затримкою t_e в кожному:

$$t_3 = 3t_e.$$

D -тригер (тригер затримки) має тільки один інформаційний вхід (D -вхід), а також синхровхід C . Основне призначення D -тригера – це затримка сигналу, який подається на вхід D . Логічна структура D -тригера зі статичним керуванням і закон його функціонування приведені на рис. 11.4 і в табл. 11.4 відповідно.



- а - логічна структура;
б - умовне графічне позначення

Рисунок 11.4 - D -тригер зі статичним керуванням

Таблиця 11.4 - Таблиця переходів D -тригера зі статичним керуванням

C^n	D^n	Q^{n+1}
0	0	Q^n
0	1	Q^n
1	0	0
1	1	1

Після чергового синхроімпульсу D -тригер встановлюється у стан $Q^{n+1} = D^n$, де n - номер такту синхронізації. Усі D -тригери синхронні. Керування за синхровходом може бути статичним і динамічним.

Схема на елементах 1, 2 керує роботою схеми на елементах 3, 4. При $C = 1$ сигнал з D -входу записується в тригер.

Схема D -тригера з динамічним керуванням приведена на рис. 11.5.

Типова структура D -тригера на рис. 11.5, синхронізованого додатним фронтом синхроімпульсу, має три бістабільні комірки ($\bar{R}\bar{S}$ -тригери): основну (на елементах 5 і 6) і дві комутуючі (на елементах 1 і 2, 3 і 4), до яких подаються вхідні сигнали D і C . Тригер сприймає інформацію з D -входу для змінювання стану тільки тоді, коли на C -вході здійснюється перехід з рівня 0 на рівень 1.

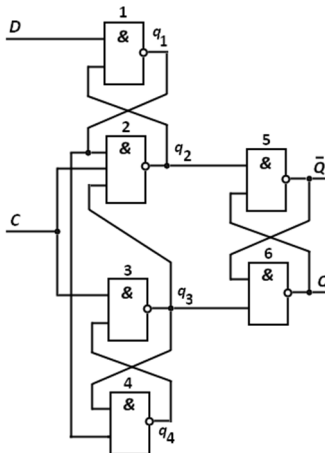


Рисунок 11.5 - D -тригер з динамічним керуванням

11.2 Порядок проведення досліджень

Для утворення тригерів в лабораторній роботі використовується мікросхема К155ЛА3, яка складається з чотирьох однакових логічних елементів 2І-НЕ ТТЛ (рис. 11.6). Напруга живлення - плюс 5 В (на вивід 14 подається “+”, на вивід 7 подається ”-”). На рис. 11.6 приведені номери виводів ЛЕ.

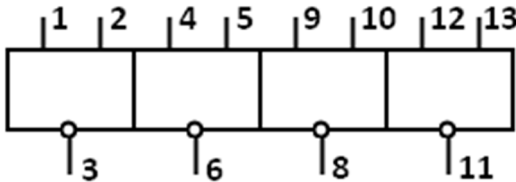


Рисунок 11.6 - Маркування мікросхеми К155ЛА3

Для використаної у роботі логіки схем ТТЛ подання нуля на вхід здійснюється з'єднанням входу зі спільним мінусовим дротом. Подання логічної 1 виконується від'єднанням даного входу схеми від спільного мінусового дроту.

В лабораторній роботі студентом виконується пункт 1 та пункт 2. Викладач задає номер пункту і номер варіанта досліджень.

При дослідженні роботи кожного виду тригера виконайте дії у послідовності:

а) зберіть і опробуйте схему тригера; до виходів тригера підключить вольтметри;

б) подайте на входи схеми задані викладачем вхідні сигнали відповідно до номера варіанта; за показаннями вольтметрів визначте стани виходів тригерів;

в) використовуючи одержані результати, побудуйте часову діаграму роботи тригера.

Пункт 1: дослідіть роботу асинхронного $\bar{R}\bar{S}$ -тригера (рис. 11.2), асинхронного RS -тригера (рис. 11.7), синхронного RS -тригера зі статичним керуванням (рис. 11.3).

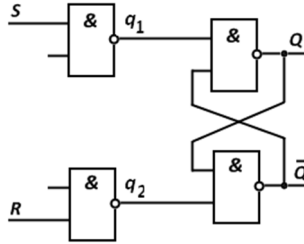
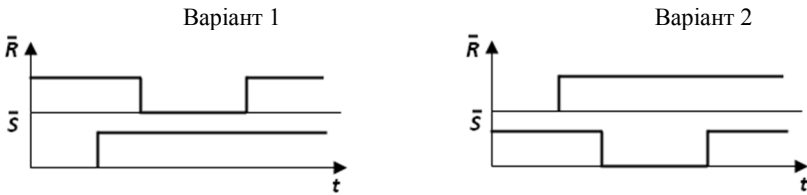


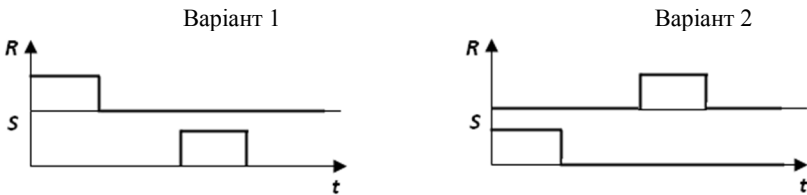
Рисунок 11.7 - Асинхронний RS-тригер на елементах I-НЕ

Комбінації вхідних сигналів приведені на рис. 11.8.

Асинхронний $\bar{R}\bar{S}$ -тригер



Асинхронний RS-тригер



Синхронний RS-тригер

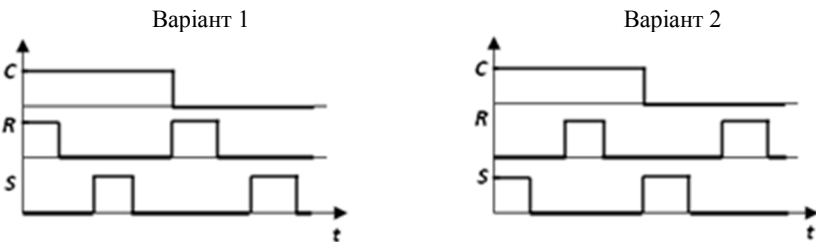


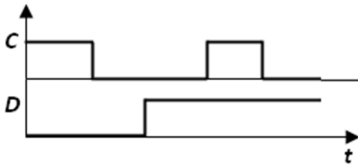
Рисунок 11.8 - Комбінації вхідних сигналів для дослідження роботи RS-тригерів

У часовій діаграмі асинхронного $\bar{R}\bar{S}$ -тригера мають бути присутніми сигнали \bar{S} , \bar{R} , Q , \bar{Q} ; асинхронного RS -тригера - сигнали S , R , q_1 , q_2 , Q , \bar{Q} ; синхронного RS -тригера - сигнали C , S , R , q_1 , q_2 , Q , \bar{Q} .

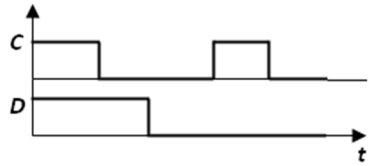
Пункт 2: дослідіть роботу D -тригера зі статичним керуванням (рис. 11.4) і D -тригера з динамічним керуванням (схема зібрана на панелі). Комбінації вхідних сигналів приведені на рис. 11.9.

Синхронний D -тригер зі статичним керуванням

Варіант 1

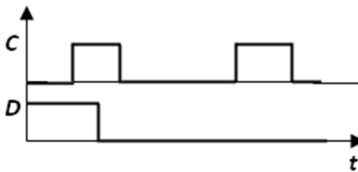


Варіант 2



Синхронний D -тригер з динамічним керуванням

Варіант 1



Варіант 2

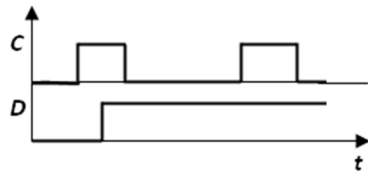


Рисунок 11.9- Комбінації вхідних сигналів для дослідження роботи D -тригерів

У часовій діаграмі синхронного D -тригера зі статичним керуванням мають бути присутніми сигнали C , D , q_1 , q_2 , Q , \bar{Q} ; D -тригера з динамічним керуванням - сигнали C , D , q_1 , q_2 , q_3 , q_4 , Q , \bar{Q} .

11.3 Вимоги до звіту

Звіт повинен містити:

- найменування та мету роботи;

- структурні схеми досліджуваних тригерів;
- таблиці переходів досліджуваних тригерів;
- часові діаграми роботи тригерів;
- висновки.

11.4 Контрольні запитання

- 1 Дайте визначення тригера.
- 2 Які існують типи тригерів?
- 3 Як поділяються тригери в залежності від типу використаних елементів пам'яті?
- 4 Який принцип роботи асинхронного RS -тригера?
- 5 Який принцип роботи синхронного RS -тригера?
- 6 Який принцип роботи асинхронного $\bar{R}\bar{S}$ -тригера?
- 7 Який принцип роботи синхронного D -тригера зі статичним керуванням?
- 8 Який принцип роботи синхронного D -тригера з динамічним керуванням?
- 9 Як визначається затримка встановлення стану RS -тригера зі статичним керуванням?
- 10 Як визначається швидкодія асинхронного $\bar{R}\bar{S}$ -тригера?
- 11 Відобразіть таблиці переходів тригера, тип якого вказує викладач.
- 12 Які особливості побудови RS -тригерів на логічних елементах І-НЕ, АБО-НЕ?
- 13 Відобразіть схему та часові діаграми тригера, тип якого вказує викладач.
- 14 Якщо Вам необхідно розробити схему з елементом пам'яті, що має високу надійність правильного спрацьовування, то який тригер з досліджуваних Ви виберете?
- 15 Якщо Вам необхідно розробити схему з елементом пам'яті, що має високу швидкодію, то який тригер з досліджуваних Ви виберете?
- 16 До чого приведе перемикання сигналів на R -, S -входах синхронного RS -тригера зі статичним керуванням під час проходження синхроімпульсу?
- 17 До чого приведе перемикання сигналу на D -вході D -тригера з динамічним керуванням під час проходження синхроімпульсу?

12 ЛАБОРАТОРНА РОБОТА № 12 „ЗСУВОВИЙ РЕГІСТР“

Мета роботи - вивчення принципу дії та схемотехнічної реалізації зсувового регістра і ознайомлення з режимами роботи зсувового регістра.

12.1 Теоретичні відомості

12.1.1 Основні положення

Регістри називаються функціональні вузли, призначені для прийому двійкових чисел, їх зберігання, виконання деяких логічних перетворень і видачі двійкових чисел.

Регістри складаються з однакових елементів пам'яті і керуючої комбінаційної схеми. В кожному елементі пам'яті може зберігатися лише один розряд двійкового коду. Тому цей елемент разом з відповідною частиною комбінаційної схеми називається розрядом регістра.

Увід у регістр багаторозрядного числа може здійснюватися як **паралельно** - з одночасним заповненням всіх розрядів, так і **послідовно** - порозрядно. Також паралельним або послідовним може бути і вивід інформації з регістра.

Залежно від способів вводу і виводу двійкових кодів розрізняють паралельні, послідовні і комбіновані регістри.

У **паралельних** регістрах увід або вивід усіх розрядів коду здійснюються одночасно. Такі регістри називаються регістрами пам'яті і реалізуються на базі синхронізованих рівнем або фронтом синхроімпульсу D - і RS -тригерів.

Структурна схема n -розрядного регістра пам'яті зображена на рис. 12.1. Увід у регістр двійкового коду $x_{n-1} \dots x_1 x_0$ здійснюється під час надходження синхроімпульсу C_1 , а вивід - під час надходження імпульсу зчитування на вхід C_2 .

У послідовних регістрах увід і вивід інформації здійснюються порозрядно. Такі регістри називаються зсувовими і реалізуються на базі D - або RS -тригерів з синхронізацією фронтом синхроімпульсу.

Структурна схема n -розрядного зсувового регістра на базі RS -тригерів зображена на рис. 12.2.

Сигнали на виходах регістра показані у момент повного введення n -розрядного коду у регістр.

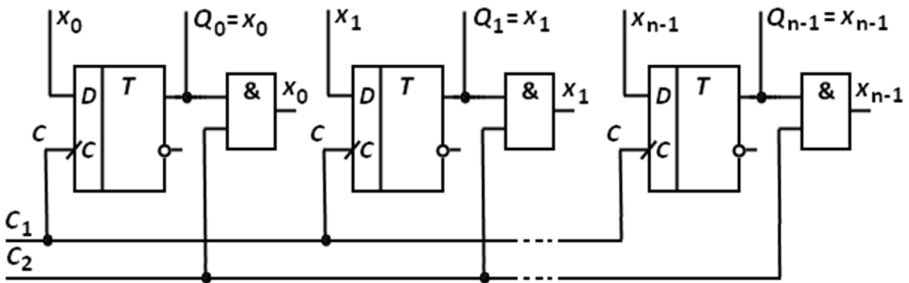


Рисунок 12.1 - Структурна схема n -розрядного регістра пам'яті на базі D -тригерів

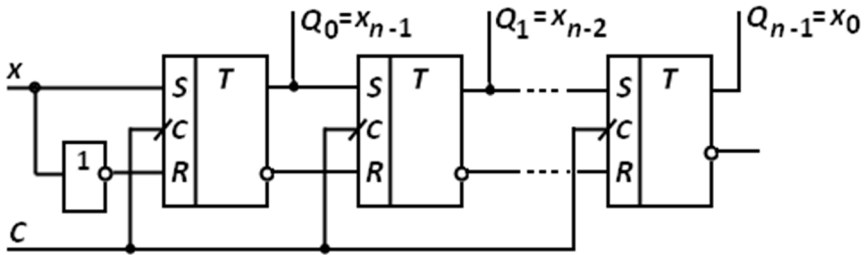


Рисунок 12.2 - Структурна схема n -розрядного зсувового регістра на базі RS -тригерів.

У момент надходження фронту (наприклад, додатного на рисунку 12.2) першого синхроімпульсу наймолодший розряд x_0 двійкового коду X записується у перший розряд регістра. Під впливом такого ж фронту другого синхроімпульсу вміст першого розряду регістра переписується у другий розряд, а на його місце записується другий розряд x_1 числа. Таким чином здійснюється ряд послідовних зсувів інформації, що надходить на вхід, аж до повного її введення в регістр. Після надходження n -го синхроімпульсу весь регістр виявляється заповненим розрядами коду X , а на виході найстаршого розряду Q_{n-1} регістра з'являється наймолодший інформаційний розряд x_0 . Протягом наступних n синхроімпульсів можна здійснити послідовний порозрядний вивід з регістра записаного коду.

Серед зсувових регістрів особливу групу утворюють реверсивні регістри з керованим напрямком зсуву. В таких регістрах за допомогою додаткових логічних елементів зовнішнім керуючим сигналом інвертується послідовність з'єднання розрядів.

Структурна схема n -розрядного реверсивного регістра зображена на рис. 12.3. Напрямок зсуву задається значенням керуючого сигналу M : якщо $M = 1$, відбувається зсув праворуч, а якщо $M = 0$, - ліворуч.

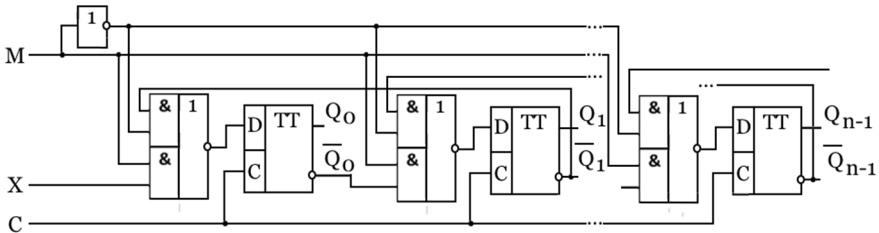


Рисунок 12.3 – Структурна схема n -розрядного реверсивного регістра на базі двоступеневих D -тригерів

Іноді необхідно виконувати послідовне порозрядне виведення записаної інформації з регістра без її стирання. Для цього використовуються кільцеві регістри з керованим зворотним зв'язком.

Структурна схема n -розрядного кільцевого регістра зображена на рис. 12.4. При $M = 1$ зворотний зв'язок розімкнутий і регістр функціонує як звичайний зсувовий. Після n -того імпульсу на керуючому вході необхідно встановити $M = 0$. При цьому інформаційний вхід X від'єднується, а зворотний зв'язок замикається.

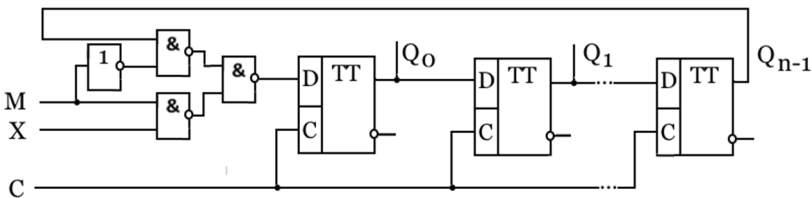


Рисунок 12.4 – Структурна схема n -розрядного кільцевого регістра на базі двоступеневих D -тригерів

При $M = 0$ довільний логічний стан n -розрядного кільцевого регістра періодично повторюється через кожні n синхроімпульсів.

12.1.2 Зсувний регістр K155IP1

Зсувний регістр K155IP1, логічна структура та умовне графічне позначення якого приведені на рис. 12.5, а, б, є чотирирозрядним регістром з послідовним або паралельним вводом і виводом інформації.

Мікросхема може застосовуватися як буферна пам'ять, елемент затримки на декілька тактів, перетворювач послідовних кодів в паралельні і навпаки, дільник частоти тощо.

Регістр K155IP1 може виконувати наступні операції:

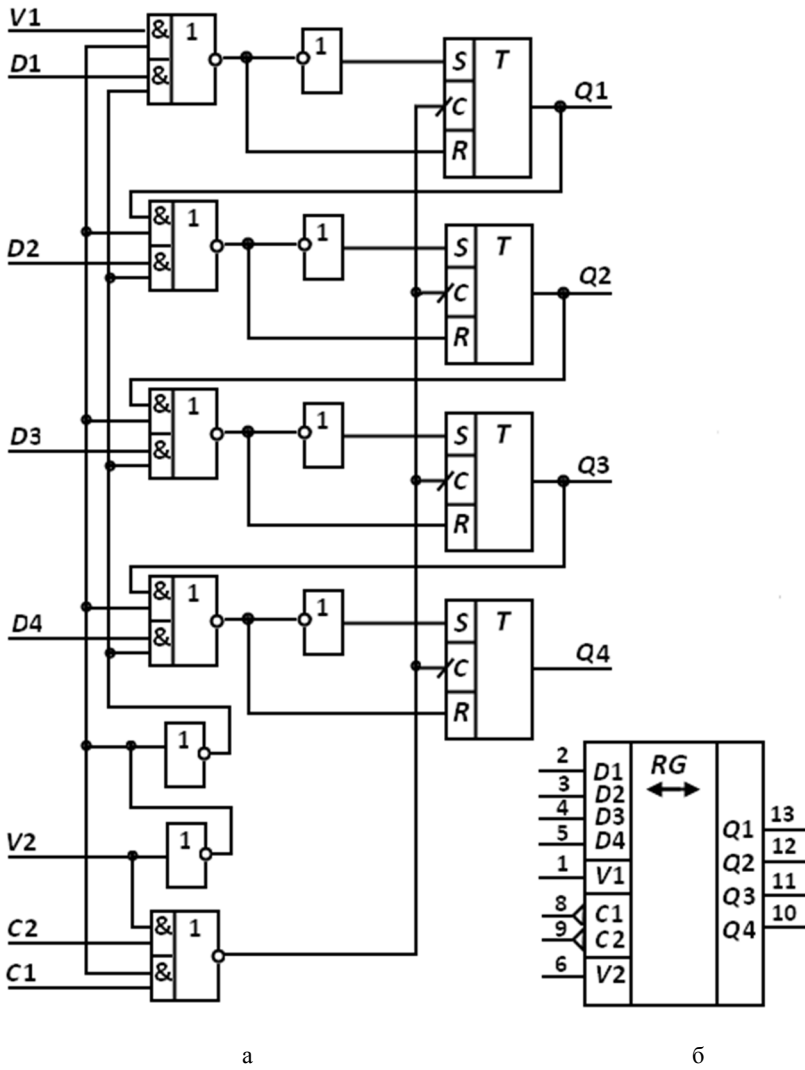
- введення інформації паралельним кодом;
- введення інформації послідовним кодом із зсувом праворуч;
- введення інформації послідовним кодом із зсувом ліворуч;
- зберігання інформації;
- вивід інформації паралельним кодом;
- вивід інформації послідовним кодом.

Регістр має два тактових входи $C1$ і $C2$, керуючий вхід $V2$, п'ять інформаційних входів: чотири входи $D1...D4$ для запису інформації у паралельному коді і один вхід $V1$ для введення інформації у послідовному коді.

Наявність двох тактуючих входів допускає синхронізацію від різних генераторів при роботі у режимах "зсув праворуч" і "паралельний увід". Якщо в обох режимах синхронізація виконується від спільного джерела, тактові імпульси можливо подавати на входи $C1$ і $C2$ одночасно.

На інформаційних входах сигнали повинні змінюватися до появи спаду тактового імпульсу. Робочий режим задається рівнем сигналу на вході $V2$.

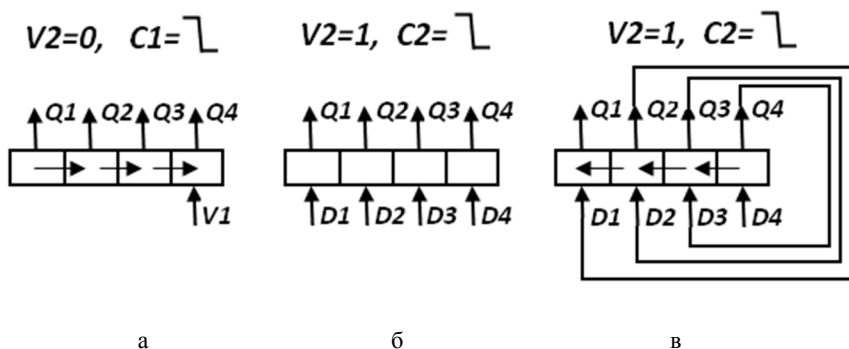
Введення інформації послідовним кодом, а також зсув її в сторону старшого розряду $Q4$ регістра (зсув ліворуч) виконується при $V2=0$ (рис. 12.6, а). Вхідна інформація подається на вхід $V1$, а тактові імпульси - на вхід $C1$. Зсув ліворуч на один розряд робиться при кожному перепаді 1,0 тактових імпульсів $C1$. Інформація в послідовному коді перетворюється у паралельний і після 4 тактових імпульсів $C1$ може бути зчитана з виходів $Q1...Q4$.



а - логічна структура;
 б - умовне графічне позначення

Рисунок 12.5 - Логічна структура та умовне графічне позначення мікросхеми К155ІР1

Введення інформації паралельним кодом (рис. 12.6, б) здійснюється при $V2=1$. Запис інформації у тригери регістра з входів $D1...D4$ робиться при перепаді 1,0 тактового імпульсу $C2$. Входи $V1$ та $C1$ при цьому блокувані, їх стан не грає ролі.



- а - послідовним кодом із зсувом праворуч;
 б - паралельним кодом;
 в - послідовним кодом із зсувом ліворуч.

Рисунок 12.6 - Способи вводу інформації у регістр K155IP1

Перетворення послідовного коду у паралельний із зсувом у сторону молодшого розряду (зсув ліворуч, рис. 12.6, в) виконується при подачі сигнала $V2=1$. Тактові імпульси подаються на вхід $C2$. У цьому разі потік інформації має зворотний напрямок: від четвертого тригера до третього, від третього до другого тощо, для чого необхідно зробити зовнішнє з'єднання виходів $Q4, Q3, Q2$ з входами $D3, D2, D1$ відповідно. Інформація у послідовному коді уводиться в регістр через вхід $D4$. Зсув ліворуч на один розряд відбувається при кожному перепаді 1,0 тактових імпульсів на вході $C2$.

Стани входів регістра K155IP1 при роботі у різних режимах приведені у табл. 12.1.

Зсувовий регістр K155IP1 має напругу живлення $U_{\text{д.ж.}} = 5 \text{ В} \pm 5\%$.

Таблиця 12.1 - Стани входів регістра

Стани входів					Режим
$I2$	$C1$	$C2$	$I1$	$D1...D4$	
0	⌋	X	Код	X	Запис послідовним кодом, зсув праворуч
1	X	⌋	X	Код	Запис паралельним кодом
1	X	⌋	X	Код на $D4$	Запис послідовним кодом, зсув ліворуч

При дослідженні роботи регістра на відповідний тактовий вхід подаються одиночні імпульси позитивної полярності. У цьому разі спостерігається ефект деренчання контактів. Так називають ефект, при якому у момент зіткнення контактів переключення в їх ланцюгу з'являються імпульси тривалістю близько мілісекунди. Вони приводять до помилкових переключень регістра. Для ліквідування ефекта деренчання контактів у схему вводять додатково RS -тригера.

Реєстрація появи позитивної напруги як на вході RS -тригера, так і на виходах регістра здійснюється за станом світлодіодів.

12.2 Порядок проведення досліджень

Послідовність проведення досліджень приводиться нижче.

12.2.1 Здійсніть увід інформації послідовним кодом із зсувом праворуч. При цьому вхід $I2$ з'єднайте із спільним мінусовим дротом. Сигнали на входи $C1$ і $I1$ необхідно подавати згідно рис. 12.7, а.

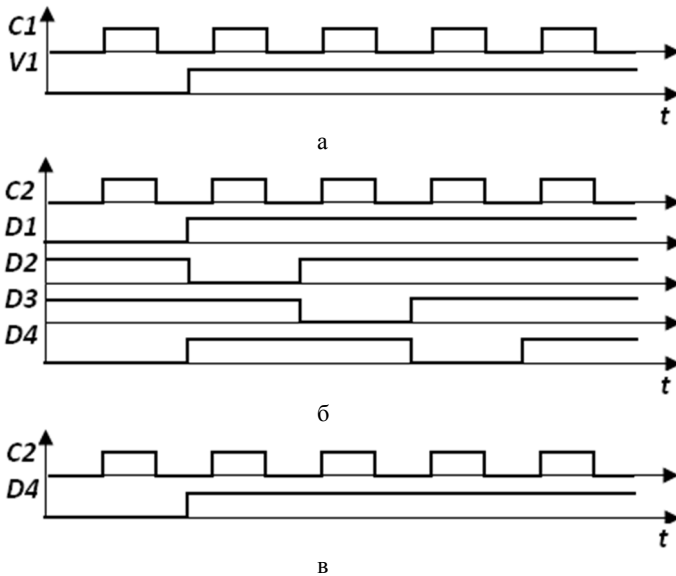
12.2.2 Здійсніть увід інформації паралельним кодом. При цьому установіть на вході $I2$ високий рівень сигналу. Послідовність подачі сигналів на входи $C2$, $D1...D4$ показана на рис. 12.7, б.

12.2.3 Здійснити увід інформації послідовним кодом із зсувом ліворуч. При цьому установити на вході $I2$ високий рівень сигналу. Послідовність подачі сигналів на входи $C2$, $D4$ виконайте на зразок рис. 12.7, в.

12.2.4. Напишіть таблицю істинності і накресліть часову діаграму роботи регістра при послідовному ввіді інформації із зсувом праворуч. На діаграмі зобразіть сигнали $C1$, $V1$, $Q1$, $Q2$, $Q3$, $Q4$.

12.2.5. Напишіть таблицю істинності і накресліть часову діаграму роботи регістра при паралельному ввіді інформації. На діаграмі зобразіть сигнали $C2$, $D1$, $D2$, $D3$, $D4$, $Q1$, $Q2$, $Q3$, $Q4$.

12.2.6. Напишіть таблицю істинності і накресліть часову діаграму роботи регістра при послідовному ввіді інформації із зсувом ліворуч. На діаграмі зобразіть сигнали $C2$, $D4$, $Q1$, $Q2$, $Q3$, $Q4$.



а – вхідні сигнали при дослідженні режиму: увід інформації послідовним кодом із зсувом праворуч;

б – вхідні сигнали при дослідженні режиму: увід інформації паралельним кодом;

в – вхідні сигнали при дослідженні режиму: увід інформації послідовним кодом із зсувом ліворуч

Рисунок 12.7 - Послідовність подачі сигналів на входи регістра

12.3 Вимоги до звіту

Звіт повинен містити:

- найменування та мету роботи;
- логічну структуру мікросхеми K155IP1;
- вимоги пунктів 12.2.4 – 12.2.6;
- стислі висновки.

12.4 Контрольні запитання

- 1 Які типи регістрів Ви знаєте?
- 2 Призначення регістра пам'яті.
- 3 Призначення зсувового регістра.
- 4 Які входи має регістр K155IP1 і яке у них призначення?
- 5 Як здійснити увід інформації послідовним кодом із зсувом ліворуч? Дослідіть проходження інформації на виходи у цьому режимі (за логічною схемою).
- 6 Як здійснити увід інформації паралельним кодом? Дослідіть проходження інформації на виходи у цьому режимі (за логічною схемою).
- 7 Як здійснити увід інформації послідовним кодом із зсувом праворуч? Дослідіть проходження інформації на виходи у цьому режимі (за логічною схемою).
- 8 Що таке “ефект деренчання контактів”?
- 9 Де використовується мікросхема K155IP1?
- 10 Що означає символ X у таблиці 12.1?
- 11 Які додаткові з'єднання у схемі необхідно зробити при дослідженні режиму: увід інформації послідовним кодом із зсувом ліворуч?
- 12 З якою метою у схемі регістра K155IP1 використовується два синхровходи?
- 13 Чи буде правильно спрацьовувати зсувовий регістр K155IP1, якщо подати на його вхід живлення напругу 5,6 В?
- 14 Чи буде правильно спрацьовувати зсувовий регістр K155IP1, якщо переплутати вивід живлення і спільний вивід?

РЕКОМЕНДОВАНА ЛІТЕРАТУРА

1. **Коваленко, О.Є.** Комп'ютерна схемотехніка. Частина 2. Навчальний посібник [Текст] / О.Є. Коваленко, С.М. Волошин, Б.С. Гусев, Є.В. Нікітенко, В.В. Матієвський. – К.: НУБіП України, 2023.- 331 с.
2. **Сенько, В.І.** Електроніка і мікропроцесорна техніка [Текст] / В.І. Сенько, В.П. Лисенко, О.М. Юрченко, В.Є. Лукін, А.А. Руденський. – К.: «Агроосвіта», 2015. – 676 с.
3. **Макаренко, В.В.** Цифрова та імпульсна схемотехніка. Моделювання та аналіз: Навч. посіб. [Текст] / В.В. Макаренко, В.М. Спивак. – Київ: НТУУ "КПІ", 2015. – 314 с.
4. **Петух, А.М.** Цифрова схемотехніка: Навчальний посібник [Текст] / А.М. Петух, Д.Т. Обідник, М.Д. Обідник. – Вінниця: ВНТУ, 2015. – 120 с.
5. **Рябенський, В.М.** Цифрова схемотехніка [Текст] / В.М. Рябенський, В.Я. Жуйков, В.Д. Гулий. – Львів: Новий Світ-2000, 2020. – 736 с.
6. **Колонтаєвський, Ю.П.** Промислова електроніка та мікросхемотехніка: теорія і практикум [Текст] / Ю.П. Колонтаєвський, А.Г. Сосков. – К.: Каравела, 2003.–368 с.
7. **Бабіч, М.П.** Комп'ютерна схемотехніка [Текст] / М.П. Бабіч, І.А. Жуков. – К.: МК-Прес, 2004.–412 с.