

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ЗАПОРІЗЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

МІКРОПРОЦЕСОРИ

МЕТОДИЧНІ ВКАЗІВКИ

до лабораторних робіт з дисципліни
"Цифрові пристрої та мікропроцесори "
для студентів фаху 7.090701
"радіотехніка" всіх форм навчання
Частина 2

2009

МІКРОПРОЦЕСОРИ. Методичні вказівки до лабораторних робіт з дисципліни "Цифрові пристрої та мікропроцесори " для студентів фаху 7.090701 "радіотехніка" всіх форм навчання. Частина 2
/ Укл.: В.І. Мисленков. – Запоріжжя: ЗНТУ, 2009. – 22 с.

Укладачі: В.І. Мисленков, ст. викладач

Рецензент: Ю.Л. Майстер, ст.. викладач

Відповідальний за випуск: В.П. Колесніков, зав. лабораторією

Затверджено
на засіданні кафедри РТТ
Протокол № 12 від 24.06.2009

ЗМІСТ

1 Структура процесора KP580BM80A	4
2 Опис ННП «Електроника-580»	7
2.1 Органи керування і контролю	8
2.2 Рекомендації по експлуатації	10
3 Лабораторна робота №1	
Вивчення процесорного комплекту KP580	12
3.1 Мета роботи	12
3.2 Теоретична підготовка	12
3.3 Експериментальна робота	12
3.4 Оформлення звіту	13
4 Лабораторна робота №2	
Вивчення команд процесору KP580BM80A	13
4.1 Мета роботи	13
4.2 Теоретична підготовка	14
4.3 Експериментальна робота	15
4.4 Оформлення звіту	15
5 Лабораторна робота №3	
Програмування на мові Асемблеру процесора KP580BM80A	16
5.1 Мета роботи	16
5.2 Теоретична підготовка	16
5.3 Експериментальна робота	17
5.4 Оформлення звіту	17
Рекомендована література	17
Додаток А Команди процесора KP580BM80A	18

1 СТРУКТУРА ПРОЦЕСОРА КР580ВМ80А

Структурна схема процесора КР580ВМ80А, показана на рис.1.1 відбиває всі його характеристики необхідні для розробки програмного забезпечення. Імена елементів, використовувані на мові асемблеру, помічені лапками.

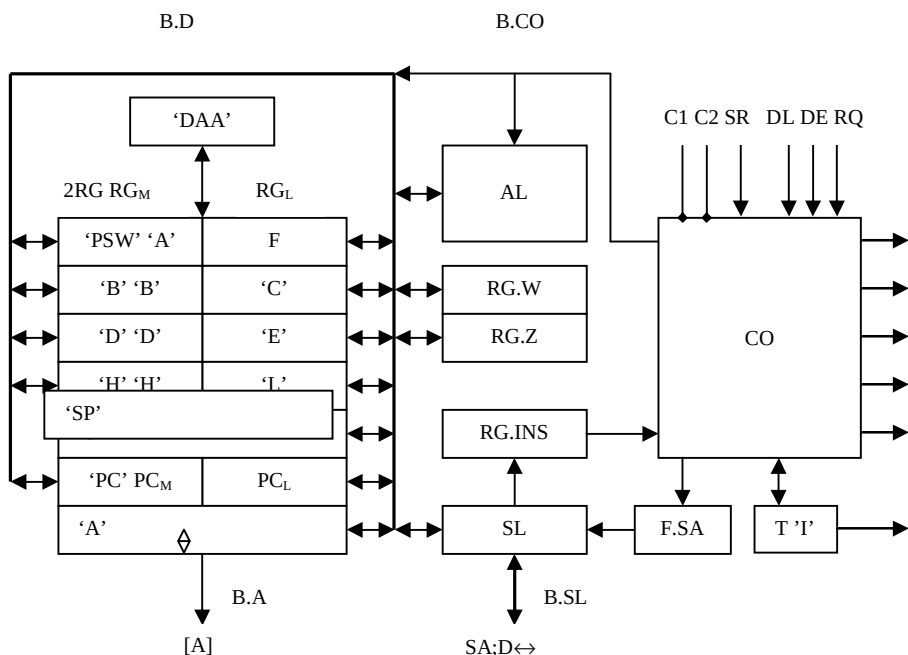


Рисунок 1.1- Структура процесора

Зовнішні сигнали керування та контролю стану процесора:

- C1, C2 – синхросигнали зовнішнього тактового генератора (0.5 – 3.0 МГц, 12 В) період, яких визначає тривалість такту процесора;
- SR - команда встановлення процесора в початковий стан (не менше 3 тактів);
- DL - вимога затримки при передачі або прийомі даних;

- DE - команда блокування процесора з відключенням керування шиною;
- RQ - запит на переривання (виконання не програмної команди);
- TF.SA - синхросигнал передачі слова стану в першому такті;
- RC.D - синхросигнал прийому даних в другому такті;
- TF.D - синхросигнал передачі даних в другому і третьому тактах;
- WI - ознака режиму чекання при передачі або прийомі даних;
- DE - ознака режиму блокування з відключенням шин;
- E.INR - дозвіл обслуговування запиту на переривання.

В блоці керування СО виконуються всі не програмні функції. З нього до тригеру 'I' надходять команди встановлення і скидання, а в зворотному напрямку інформація про заборону або дозвіл обслуговування запиту на переривання. Код чергової команди з регістру RG.INS є для блоку СО інструкцією; визначаючою варіант керування можливостями процесора. Блок керування викликає з формувача слова стану F.SA відповідну команді, що виконується керуючу комбінацію, а також, через шину керування B.CO, задає код операції арифметико-логічному пристрою (АЛП) AL та встановлює конфігурацію внутрішньої шини даних B.D.

Зовнішня інформаційна 8-розрядна двонаправлена шина B.SL, формується селектором SL, котрий здійснює вибірккову комутацію цієї шини з регістром RG.INS при проїмі команди в першому циклі формувачем F.SA при передачі слова стану в першому такті кожного циклу або з 16-розрядною двонаправленою внутрішньою шиною даних B.D. По шині B.SL передається до контролеру даних слово стану SA та здійснюється прийом передача даних D. Контролер даних формує системну шину даних B.D з підвищеною навантажувальною здатністю. Внутрішня шина B.D під керуванням блоку СО забезпечує зв'язок між регістрами, АЛП та селектором. Програмно-незалежні регістри W і Z забезпечують проміжне зберігання інформації при виконанні операцій обміну даними.

Блок регістрів складається з семи двобайтових регістрів (2RG), п'ять з яких можуть бути використані і для побайтової обробки інформації вони розділені лінією на одnobайтові регістри RG_M (старший) і RG_L (молодший). Регістр A з трьома станами формує значення коду адреси [A] на системній 16-розрядній адресній шині B.A. В регістрі PC зберігається значення адреси наступної команди, перехід до якої здійснюється пересилкою вмісту регістру PC в регістр A. Основне

призначення регістру SP – зберігання змінної адреси вершини стекової області пам'яті (STM). Стекова організація пам'яті забезпечує автоматичну непряму адресацію для двобайтових операндів. Старший байт операнда передається до зовнішньої пам'яті по значенню адреси $[(SP)-1]$, потім молодший байт значенню адреси $[(SP)-2]$ і це значення адреси зберігається в покажчику вершини стека SP. Завантаження операнда зі стеку провадиться в зворотному порядку: молодший байт по адресі $[SP]$, старший байт по адресі $[(SP)+1]$, а в регістрі SP зберігається нова адреса вершини стека - $[(SP)+2]$.

Кожний двобайтовий регістр загального призначення ('B', 'D' або 'H') може використовуватися також як пара незалежних однобайтових регістрів. При цьому старші регістри пари мають ті ж умовні імена на мові асемблера а молодші регістри іменуються 'C', 'E', і 'L' відповідно. Характерною особливістю двобайтового регістра є його використання для непрямой адресації по замовчуванню.

Двобайтовий регістр 'PSW' являється основним (використовуванним по замовчуванню) накопичувачем однобайтових операндів і результатів операцій модифікації або взаємодії операндів. Його порозрядна характеристика приведена на рис.1. 2.

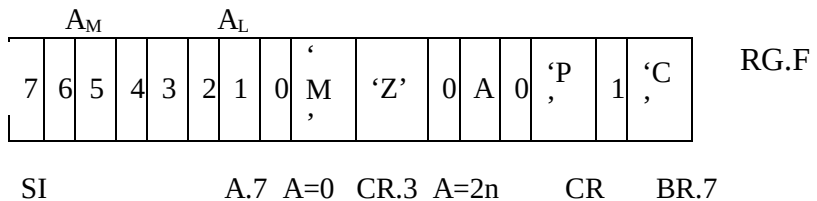


Рисунок 1.2- Структура регістра 'PSW'

Однобайтовий регістр A – головний накопичувач операндів (акумулятор). Старший розряд акумулятора A.7 може використовуватися для відмітки знака (SI) 7-розрядного операнда: "1" – від'ємне число, "0" – додатне. При виконанні команди 'DAA' регістр 'A' розглядається як два 4-розрядних регістри (A_M і A_L).

В регістрі ознак F відмічаються символом “1” ознаки результатів модифікації та взаємодії операндів:

- F.C – перенос зі старшого розряду при додаванні (CR) або позика в розряд A.7 при відніманні (BR.7), додатковий розряд при 9-розрядному зсуві;

- F.P – ознака парного результату в акумуляторі ($A=2n$);

- F.A – перенос з заряду A.3 (CR.3);

- F.Z – ознака нульового результату в акумуляторі ($A=0$);

- F.M – копія старшого розряду акумулятора (A.7).

Три розряди регістра F (F.1, F.3 і F.5) мають постійне значення.

Блок ‘DAA’ при виконанні однойменної команди робить в регістрі ‘PSW’ корекцію результату додавання двох двійково-десяткових операндів з метою нормалізації представлення цього результату в двійково-десятковому коді. Якщо після додавання, яке виконується по правилам дій з бінарними числами, $(A_L) > 9$ або $F.A = 1$, то для нормалізації значення в молодшій тетраді акумулятора здійснюється корекція: $(A) + 6$. Корекція в старшій тетраді A_M здійснюється за аналогічним принципом: якщо $(F_C A_7 A_6 A_5 A_4)_B > 9$, то $(A_M) + 6$.

2 ОПИС ННП “ЭЛЕКТРОНИКА - 580”

Навчально- налагоджувальний пристрій (далі ННП) призначений для налагодження програм на мові асемблеру процесора KP580BM80A, а також для вивчення простих процесорних систем. Структура УОУ див. рис.1.3 відповідає класичному принципу побудови процесорних схем з відкритою архітектурою.

Процесорний комплект (Р) на основі процесора KP580BM80A формує системні шини B.A, B.D, B.CO, до яких приєднані ПЗП (ROM), ОЗП (RAM), клавіатура та світлодіодний цифровий дисплей. Пристрій вводу – виводу (ІО) являє собою інтерфейс магнітофона, приєднується до розніму “МФ”, для запису та завантаження програм.

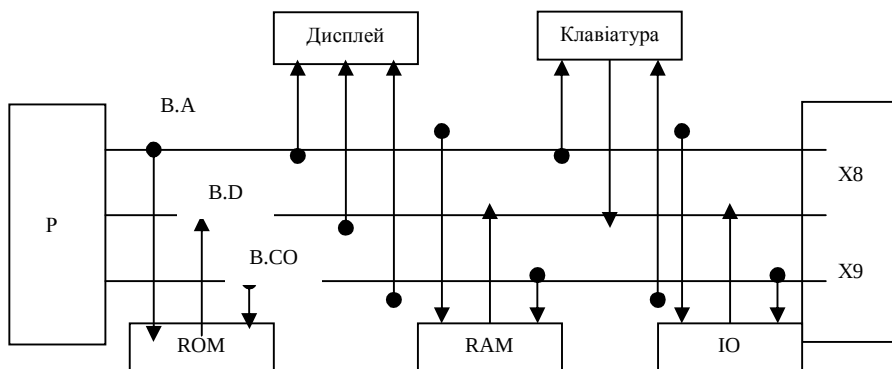


Рисунок 2.1- Структура НПП «Електроніка 580»

Розніми “X8” і “X9” призначені для підключення до системних шин додаткових зовнішніх пристроїв.

2.1 Органи керування і контролю

“СЕТЬ ВКЛ.” – тумблер вмикання НВП з контрольним індикатором.

“ПРОГОН – ОТЛАДКА” – перемикач режимів роботи: “ПРОГОН” – неперервне виконання програми, “ОТЛАДКА” – поетапне виконання програми з контролем проміжних результатів.

“ВХОД МФ ВЫХОД” – індикатори вводу та виводу програми з використанням магнітофона. Мерехтіння індикатора підтверджує пересилку, а постійне свічення і звуковий сигнал – паузу в роботі. При роботі без магнітофона стан індикаторів до уваги не береться.

“С ФЛАГ Z” – індикатори ознак C і Z в регістрі F.

“АДРЕС РЕГИСТР ДАННЫЕ” – шістнадцятирічні цифрові індикатори:

“АДРЕС” – 4-розрядне значення коду адреси на шині В.А, а також вміст контрольованого двохбайтового регістра процесора або вершини стека;

“РЕГИСТР” – умовне позначення контрольованого регістра процесора або вершини стека;

“ДАННЫЕ” – 2-розрядне значення даних на шині B.D, вміст контрольованого одnobайтового регістра процесора або комірки адресного простору.

“SR” – клавіша встановлення початкового стану НВП зі стартовою адресою 8200h для вводу програми.

“SE.A” – клавіша вибору адреси: натисканням встановлюється режим вводу 4-розрядного шістнадцятирічного коду адреси клавішами з позначеннями від “0” до “F”. Показання індикаторів “АДРЕС” і “ДАННЫЕ” забезпечують можливість аналізу адресного простору НВП в об’ємі 64 Кбайт:

- 0000h – 03FFh – сегмент ПЗП;
- 0400h – 7FFFh – резервний сегмент;
- 8000h – 87FFh – сегмент ОЗП;
- 8000h – 83DFh – поле програм;
- 83E0h – 83FFh – службове поле;
- 8400h – 87FFh – поле програм;
- 8000h – FFFFh – резервний сегмент.

Ця клавіша також використовується для контролю вмісту двобайтових регістрів ‘B’, ‘D’, ‘H’, ‘SP’ або вершини стеку: після її натискання треба натиснути клавішу з позначенням “RG.B”, “RG.D”, “RG.H”, “SP”, “STM” відповідно, а потім натиснути клавішу “WR.M”. Умовне позначення відображається індикатором “РЕГИСТР”, а двох байтові данні – індикатором “АДРЕС”.

“WR.M / A - 1” – ввімкнення режиму запису даних в пам’ять першим натисненням і декрементация адреси (зменшення значення на 1) наступними натискуваннями. Ознакою режиму є мерехтіння десяткової коми від індикатора “ДАННЫЕ”. Шістнадцятирічні числа вводяться клавішами “0” – “F” і відображаються на індикаторі “ДАННЫЕ”.

“A + 1” – інкрементация адреси (збільшення значення на 1). Використовується для переходу до слідуючого байту програми (крок уперед).

“R” – скидання введеного значення адреси або даних і відновлення попереднього значення, а також виняток контрольної точки в програмі.

“SE.RG” – ввімкнення режиму вибору одnobайтового регістру клавішами з позначками “RG.A”, “RG.B”, “RG.C”, “RG.D”, “RG.E”, “RG.F”, “RG.H”, “RG.L”. Індикатор “РЕГИСТР” відображає

позначення контрольованого регістра, а індикатор “ДАННЫЕ” – його вміст. Натисненням клавіші “A + 1” здійснюється циклічний перехід до контролю наступного регістра. Вміст регістрів модифікується клавішами “0” – “F”.

“ST” – запуск виконання програми (після встановлення стартової адреси).

“CN” – перехід до наступної команди в режимі налагодження. При покроковому налагодженню програми індикатор “АДРЕС” відображує вміст регістру “PC”, індикатор “ДАННЫЕ” – код наступної команди.

“S.A.CH” – відмітка контрольної точки в програмі для аналізу проміжних результатів в режимі налагодження. Спочатку треба натиснути клавішу “SE.A” і ввести адресу запланованої зупинки виконання програми, потім натиснути клавішу “S.A.CH” (на індикаторі з’явиться позначення режиму відмітки) і ввести кількість проходів крізь цю точку до контрольної зупинки (від 00h до FFh). Нульова кількість проходів без зупинки означає безумовну зупинку в контрольній точці. Після відмітки контрольних точок (не більше 40) потрібно встановити стартову адресу програми та запустити її натисненням клавіші “ST”. При контрольній зупинці натискання клавіші “S.A.CH” викликає на індикаторах “РЕГИСТР” і “ДАННЫЕ” позначення режиму відмітки і нульове значення проходів. Можна встановити нове значення кількості проходів або виключити цю контрольну точку натисненням клавіші “R”.

2.2 Рекомендації по експлуатації

Некоректні дії викликають появу на індикаторі “АДРЕС” повідомлення “Err” (error - помилка). Для виправлення помилок слід користуватися клавішами “R”, “SE.A”, “A - 1”.

На панелі НВП зображена таблиця команд процесора КР580ВМ80А призначена для асемблювання (перетворення імен команд в об’єктний код). В цій таблиці є неточності тому для асемблювання і дизасемблювання слід користуватися таблицею асемблювання, що знаходиться в додатку. Шістнадцятирічний код команди формується із номеру рядка та номеру стовпчика, на перетині яких знаходиться команда.

Команда “RST 4” в НБП призначена для виклику із ПЗП програми-монітора, яка забезпечує вивід інформації на дисплей, керування з клавіатури та інші функції необхідні для вводу, редагування програм та аналізу результатів обчислень. Тому будь-яку програму слід закінчувати цією командою. Для покрокового виконання програми та її налагодження можна розділити командами “RST 4” вихідний текст програми на блоки і згодом з’єднати блоки в єдиний модуль заміною кожної команди “RST 4” на крок уперед.

Рекомендована стартова адреса програми 8400н, адреса вершини стеку 83Е0н. При цьому не обов’язково виконувати початкове завантажування регістру ‘SP’.

Відмітка кожної контрольної точки для налагодження програми займає в стекові 4 байти. Тому виключення або встановлення додаткових контрольних точок після запуску програми може призвести до порушення порядку розміщення операндів у стекові.

Для запису програми на магнітофон слід з’єднати роз’єм “МФ” з лінійним входом магнітофона, встановити максимальний рівень в режимі запису і натиснути клавішу тимчасової зупинки. Ознака готовності – звуковий сигнал. Натиснути клавішу “SE.A”, ввести стартову адресу програми, натиснути клавішу “WR.M”, натиснути клавішу “SE.A”, ввести наступну за кінцем програми адресу, натиснути клавішу “S.A.CH”, ввести адресу програми запису 0371н, встановити режим прогін і відтиснути клавішу зупинки на магнітофоні. Через 2 – 3 с. Натиснути клавішу “ST”. Під час запису (до 2 хв.) дисплей вимкнений. Ознака кінця запису – значення 0382 CD на дисплеєві.

Для зчитування програми з магнітофона треба з’єднати роз’єм “МФ” з лінійним виходом магнітофона, знайти потрібний запис і встановити максимальний рівень відтворення при тимчасовій зупинці. Потім натиснути клавішу “SE.A”, ввести адресу програми зчитування, 03AEн, відтиснути клавішу зупинки на магнітофоні і натиснути клавішу “ST”. Під час запису дисплей вимкнений, ознака закінчення – значення “03CF C5”. Перевірка (верифікація) зчитування: показ дисплея “03CF A - 00” після натиснення клавіш “SE.RG” і “A”.

3 ЛАБОРАТОРНА РОБОТА №1

ВИВЧЕННЯ ПРОЦЕСОРНОГО КОМПЛЕКТУ КР580

3.1 Мета роботи

Мета роботи: вивчення функціональних і технічних характеристик процесору КР580ВМ80А, формувача синхросигналів КР580ГФ24, контролеру даних КР580ВК28(38), а також дослідження процесорної системи на прикладі ННП “Електроніка - 580”.

3.2 Теоретична підготовка

Режими роботи, керуючі та вихідні сигнали процесора /1. с. 163 – 175; 4. с. 205 – 212; 7. с. 65, 66, 68/.

Структура регістру F, ознаки результатів операцій в процесорі /1 с.355, 356/.

Структура і призначення слова стану процесора /4. с. 211; 5. с. 39; 7. с. 67, 73, 74/.

Часові діаграми та цикли роботи процесора /1. с. 167 – 171; 4. с. 209 – 210; 5. с. 38 – 45; 7 с. 74 – 77/.

Формувач синхросигналів /5. с. 46 – 48; 7. с. 109, 110/.

Контролер даних /1 с. 175,176/.

3.3 Експериментальна робота

Ознайомитися з розташуванням органів керування та контролю НВП, а також з їх призначенням. Ввімкнути тумблер “Сеть” і натисканням клавіші “SR” встановити початковий стан.

За допомогою клавіші “SE.A” проконтролювати декілька значень однобайтових даних в резервному сегменті адресного простору, в ПЗП, в ОЗП. Для послідовного контролю адресованих комірок використовувати клавішу “A + 1”. Проконтролювати вміст двобайтових регістрів ‘B’, ‘D’, ‘H’, ‘SP’ і вершини стеку (STM) з використанням клавіші “WR.M”.

Проконтролювати в довільному порядку вміст однорозрядних регістрів ‘A’, ‘B’, ‘C’, ‘D’, ‘E’, ‘F’, ‘H’, ‘L’ з використанням клавіші

“SE.RG”. Проаналізувати значення ознак M, A, і P в регістрі F з врахуванням вмісту регістрів A, F і показів індикаторів “С ФЛАГ Z”. Повторити контроль регістрів в циклічному режимові з використанням клавіші “A + 1” і модифікувати їх вміст.

Встановити значення адреси 8400н, натиснути клавішу “WR.M” і записати в ОЗП декілька однобайтових, шістнадцятирічних операндів, перемикаючи адресу натисканнями клавіші “A + 1”. Виконати модифікацію записаних значень з використанням клавіш “R” і “A - 1”.

3.4 Оформлення звіту

Звіти до усіх лабораторних робіт слід оформляти в одному зошиті у відповідності до діючих стандартів. Графічному частина звітів виконується на ескізному рівні.

Звіт до лабораторної роботи має містити опис мети заняття, умовні графічні позначення (УГП) процесору КР580ВМ80А, формувача синхросигналів КР580ГФ24, контролеру даних КР580ВК28(38) в довідковому вигляді. Зобразити структурну схему процесору, часову діаграму роботи процесорного комплекту і структурну схему ВПП. Вивчити технічні і функціональні характеристики процесорного комплекту і ВПП.

4 ЛАБОРАТОРНА РОБОТА №2

ВИВЧЕННЯ КОМАНД ПРОЦЕСОРУ КР580ВМ80А

4.1 Мета роботи

Мета робіт: вивчення класифікації, структури і функціональних характеристик команд процесору КР580ВМ80А, правил складання програми на мові асемблеру.

4.2 Теоретична підготовка

Вивчити систему команд процесора /4. с. 219 – 238; 5. с. 28 – 38; 6. с. 20 – 28; 7. с. 67 – 73/ і особливості їх виконання. /3. с. 94 – 137; 4. с. 135 – 139/.

Скласти програму виконання логічних операцій з двобайтовими операндами у відповідності з варіантом N.

Таблиця 4.1- Варіанти завдань

N	F	N	F	N	F	N	F
01	$(\overline{X \wedge Y}) \wedge Z$	07	$\overline{X} \wedge (Y \vee Z)$	13	$(X \wedge Y) \vee \overline{Z}$	19	$X \wedge (\overline{Y \vee Z})$
02	$(\overline{X \wedge Y}) \oplus Z$	08	$\overline{X} \wedge (Y \oplus Z)$	14	$(X \wedge Y) \oplus \overline{Z}$	20	$X \wedge (\overline{Y \oplus Z})$
03	$(\overline{X \vee Y}) \wedge Z$	09	$\overline{X} \vee (Y \wedge Z)$	15	$(X \vee Y) \wedge \overline{Z}$	21	$X \vee (\overline{Y \wedge Z})$
04	$(\overline{X \vee Y}) \oplus Z$	10	$\overline{X} \vee (Y \oplus Z)$	16	$(X \vee Y) \oplus \overline{Z}$	22	$X \vee (\overline{Y \oplus Z})$
05	$(\overline{X \oplus Y}) \wedge Z$	11	$\overline{X} \oplus (Y \wedge Z)$	17	$(X \oplus Y) \wedge \overline{Z}$	23	$X \oplus (\overline{Y \wedge Z})$
06	$(\overline{X \oplus Y}) \vee Z$	12	$\overline{X} \oplus (Y \vee Z)$	18	$(X \oplus Y) \vee \overline{Z}$	24	$X \oplus (\overline{Y \vee Z})$

Стартова адреса програми 8400н. Забезпечити безпосереднє завантаження із програми операнда X, в якого шістнадцятирічні цифри кожного байту відповідають десятковим цифрам номеру N. Двобайтовий операнд Y попередньо поміщається за адресою 8300н, а Z – в двобайтовий регістр В. Результат F помістити в стек за адресою 83E0н.

Початковий текст програми оформити у вигляді таблиці. Приклад оформлення програми приведений в таблиці 4.2.

Таблиця 4.2- Програма інкрементації десяти операндів

Мітка	Адреса	Код	Команда	Коментар
	8400	21	LXI H 8300h	Завантаження адреси першого операнда в 2RG.'H'
	8401	00		
	8402	83		
	8403	3E	MVI A 10	Завантаження кількості циклів в RG.'A'
	8404	0A		
K	8405	34	INR M	Інкрементація чергового операнда
	8406	23	INX H	Інкрементація адреси операнда
	8407	3D	DCR A	Декрементація (A)
	8408	C2	JNZ K	Умовний перехід на мітку K
	8409	05		
	840A	84		
	840B	E7	RST 4	Кінець програми

4.3 Експериментальна робота

Ввести до ННП складену програму і запустити її виконання в режимі “Прогон” з довільними значеннями операндів Y і Z. Змінити значення операндів Y і Z, повторити виконання програми. Записати результати обчислень. Перевірити правильність виконання обчислень аналітичним методом. У випадку виявлення помилок виконати налагодження програми в покроковому або блочному режимі.

4.4 Оформлення звіту

Звіт по лабораторній роботі мусить містити опис мети заняття, умови завдання, таблицю з налагодженою програмою, результати обчислень і опис аналітичної перевірки програми.

Зробити висновки щодо ефективності розробленої програми: визначити займаний програмою обсяг пам'яті, загальну кількість

тактів процесора, мінімальний та максимальний час виконання програми.

5 ЛАБОРАТОРНА РОБОТА № 3

ПРОГРАМУВАННЯ НА МОВІ АСЕМБЛЕРУ ПРОЦЕСОРА КР580ВМ80А

5.1 Мета роботи

Мета роботи: вивчення основних прийомів програмування та налагоджування обчислювальних програм на мові асемблера процесора КР580ВМ80А.

5.2 Теоретична підготовка

Додавання, віднімання операндів і корекція десяткового додавання /2. с. 79 – 82; 3. с. 53 – 59, 164 – 167/.

Скласти програму виконання арифметичних операцій з чотирьохбайтовими операндами у відповідності з варіантом N (порядковим номером по журналу академгрупи) – див. табл. 5.1.

Таблиця 5.1- Варіанти завдань

N	F	N	F	N	F	N	F
1	$2(X - Y) + Z + N$	7	$X - 2(Y + Z + N)$	13	$2(X - Y + Z + N)$	19	$2X - Y + Z + N$
2	$2(X + Y) - Z + N$	8	$X + 2(Y - Z + N)$	14	$2(X + Y - Z + N)$	20	$2X + Y - Z + N$
3	$2(X + Y) + Z - N$	9	$X + 2(Y + Z - N)$	15	$2(X + Y + Z - N)$	21	$2X + Y + Z - N$
4	$2(X + Y) - Z - N$	10	$X + 2(Y - Z - N)$	16	$2(X + Y - Z - N)$	22	$2X + Y - Z - N$
5	$2(X - Y) + Z - N$	11	$X - 2(Y + Z - N)$	17	$2(X - Y + Z - N)$	23	$2X - Y + Z - N$
6	$2(X - Y) - Z + N$	12	$X - 2(Y - Z + N)$	18	$2(X - Y - Z + N)$	24	$2X - Y - Z + N$

Адреси розміщення операндів: X – 8300h, Y – 8304h, Z – 8308h, F – 830Ch. Проаналізувати різні методи вирішення задачі і вибрати алгоритм, який забезпечить мінімальний обсяг програми. В початковому тексті програми встановити мітки контрольних точок для аналізу проміжних результатів в процесі налагоджування.

5.3 Експериментальна робота

Ввести складену програму в ННП і відмітити заплановані контрольні точки. Запустити виконання програми в режимі “ОТЛАДКА” з довільними значеннями операндів X, Y, і Z. Перевірити правильність обчислень за допомогою мікрокалькулятора. Для детального аналізу помилок виконати налагоджування програми в покроковому режимові.

5.4 Оформлення звіту

Звіт до лабораторної роботи повинен містити опис мети роботи, умови завдання, таблицю з налагодженою програмою, проміжні та кінцеві результати обчислень, опис перевірки обчислень.

Визначити зайнятий програмою обсяг пам’яті, загальну кількість тактів процесора, мінімальний та максимальний час виконання програми. Сформулювати висновки з наближеною порівняльною оцінкою ефективності різних методів вирішення задачі.

РЕКОМЕНДОВАНА ЛІТЕРАТУРА

1. Мікропроцесори в 3-х кн. Кн. 1. Архітектура і проектування мікро-ЕОМ. Організація обчислювальних процесів: Підр. для втузів / П. В. Нестеров. В. Ф. Шаньгин. В. Л. Горбунов та інш.: під. Ред. Л. П. Преснухіна. – М.: Вищ. шк. 1986. – 495 с. іл.
2. Балашов Є. І. Пузанков Д. В. Мікропроцесори і мікропроцесорні системи: Навч. Посіб. Для втузів / Під. Ред. В. Б. Смолова. – М.: Радіо і зв'язок. 1981 – 328 с. іл.
3. Гілмор Ч. Вступ до мікропроцесорної техніки. Пер. з англ. – М.: Мир. 1984 – 334 с. іл.
4. Соучек Б. Мікропроцесори і мікро-ЕОМ: пер. з англ. – М.: Рад. Радіо 1979. – 520 с. іл.
5. Самофалов К. Г. І інші Мікропроцесори / К. Г. Самофалов. О. В. Вікторов. А. К. Кузяк. – К.: Техніка. 1986. – 272 с. іл.
6. Погорілий С. Д. Слободянюк Т. Ф. Програмне забезпечення мікропроцесорних систем: Довідник. – Техніка. 1985 – 240 с. іл.
7. Хвощ С. Т. і інші. Мікропроцесори і мікро-ЕОМ в системах автоматичного керування: Довідник / С. Т. Хвощ. Н. Н. Варлінський. Є. А. Попов: Під заг. ред. С. Т. Хвоща. – Л.: Машинобудування. 1987. – 640 с. іл.
8. Рафікузаман М. Мікропроцесори та машинне проектування мікропроцесорних систем. В 2-х кн. Кн. 1. Пер. з англ. – М.: Мир. 1988. – 288 с. іл.
9. Бойко В.И. и др.. Схемотехника электронных систем. Микропроцессоры и микроконтроллеры. – СПб.: БХВ- Петербург, 2004. – 464 с.

Додаток А
Команди мікропроцесора КР580ВМ80А

Таблиця А1- Ассемблювання команд процесора

	0	1	2	3	4	5
0	NOP	LXI B	STAX B	INX B	INR B	DCR B
1	NOP	LXI D	STAX D	INR D	INR D	DCR D
2	NOP	LXI H	SHLD	INR H	INR H	DCR H
3	NOP	LXI SP	STA	INR M	INR M	DCR M
4	MOV B, B	MOV B, C	MOV B, D	MOV B, E	MOV B, H	MOV B, L
5	MOV D, B	MOV D, C	MOV D, D	MOV D, E	MOV D, H	MOV D, L
6	MOV H, B	MOV H, C	MOV H, D	MOV H, E	MOV H, H	MOV H, L
7	MOV M, B	MOV M, C	MOV M, D	MOV M, E	MOV M, H	MOV M, L
8	ADD B	ADD C	ADD D	ADD E	ADD H	ADD L
9	SUB B	SUB C	SUB D	SUB E	SUB H	SUB L
A	ANA B	ANA C	ANA D	ANA E	ANA H	ANA L
B	ORA B	ORA C	ORA D	ORA E	ORA H	ORA L
C	RNZ	POP B	JNZ	JMP	CNZ	PUSH B
D	RNC	POP D	JNC	OUT	CNC	PUSH D
E	RPO	POP H	JPO	XTHL	CPO	PUSH H
F	RP	POP PSW	JP	DI	CP	PUSH PSW
	0	1	2	3	4	5

Таблица A2- Команды арифметики

	6	7	8	9	A	B
0	MVI B	RLC	NOP	DAD B	LDAX B	DCX B
1	MVI D	RAL	NOP	DAD D	LDAX D	DCX D
2	MVI H	DAA	NOP	DAD H	LHLD	DCX H
3	MVI M	STC	NOP	DAD SP	LDA	DCX L
4	MOV B, M	MOV B, A	MOV C, B	MOV C, C	MOV C, D	MOV C, E
5	MOV D, M	MOV D, A	MOV E, B	MOV E, C	MOV E, D	MOV E, E
6	MOV H, M	MOV H, A	MOV L, B	MOV L, C	MOV L, D	MOV L, E
7	HLT	MOV M, A	MOV A, B	MOV A, C	MOV A, D	MOV A, E
8	ADD M	ADD A	ADC B	ADC C	ADC D	ADC E
9	SUB M	SUB A	SBB B	SBB C	SBB D	SBB E
A	ANA M	ANA A	XRA B	XRA C	XRA D	XRA E
B	ORA M	ORA A	CMP B	CMP C	CMP D	CMP E
C	ADI	RST 0	RZ	RET	JZ	JMP
D	SUI	RST 2	RC	RET	JC	IN
E	ANI	RST 4	RPE	PCHL	JPE	XCHG
F	ORI	RST 6	RM	SPHL	JM	EI
	6	7	8	9	A	B

Таблиця АЗ- Команди виклику підпрограм

	C	D	E	F	
0	INR C	DCR C	MVI C	RRC	0
1	INR E	DCR E	MVI E	RAR	1
2	INR L	DCR L	MVI L	CMA	2
3	INR A	DCR A	MVI A	CMC	3
4	MOV C, H	MOV C, L	MOV C, M	MOV C, A	4
5	MOV E, H	MOV E, L	MOV E, M	MOV E, A	5
6	MOV L, H	MOV L, L	MOV L, M	MOV L, A	6
7	MOV A,H	MOV A, L	MOV A, M	MOV A, A	7
8	ADC H	ADC L	ADC M	ADC A	8
9	SBB H	SBB L	SBB M	SBB A	9
A	XRA H	XRA L	XRA M	XRA A	A
B	CMP H	CMP L	CMP M	CMP A	B
C	CZ	CALL	ACI	RST 1	C
D	CC	CALL	SBI	RST 3	D
E	CPE	CALL	XRI	RST 5	E
F	CM	CALL	CPI	RST 7	F
	C	D	E	F	

Таблица A4-Байти стану для різних типів циклу процесора

Розряд шини даних	Выборка	Чтение памяти	Запись в память	Чтение стека	Запись в стек	Ввод	Вывод	Прерывание	Останов	Прерывание при останове
D0	0	0	0	0	0	0	0	1	0	1
D1	1	1	0	1	0	1	0	1	1	1
D2	0	0	0	1	1	0	0	0	0	0
D3	0	0	0	0	0	0	0	0	1	1
D4	0	0	0	0	0	0	1	0	0	0
D5	1	0	0	0	0	0	0	1	0	1
D6	0	0	0	0	0	1	0	0	0	0
D7	1	1	0	1	0	0	0	0	1	0