

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Національний університет «Запорізька політехніка»

Радіoeлектроніки і телекомунікацій

(повне найменування інституту, факультету)

Мікро- та нанoeлектроніки

(повне найменування кафедри)

Пояснювальна записка

до дипломної роботи

бакалавр

(ступінь вищої освіти)

на тему: Оптимізація цифрових схем, реалізованих на базових матричних кристалах

Виконав: студент(ка) IV курсу, групи РТ-317
Спеціальності 153 – “Мікро- та
наносистемна техніка”

(код і найменування спеціальності)

Освітня програма (спеціалізація)
“Мікро- та нанoeлектронні прилади та
пристрої”

Супрун М. В.

(прізвище та ініціали)

Керівник Нагорна Н. М.

(прізвище та ініціали)

Рецензент Сніжної В. Л.

(прізвище та ініціали)

Форма № 25

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Національний університет «Запорізька політехніка»
 (повне найменування закладу вищої освіти)

Інститут, факультет Радіoeлектроніки і телекомунікацій
 Кафедра Мікро- та наноелектроніки
 Ступінь вищої освіти бакалавр
 Спеціальність 153 – “Мікро- та наносистемна техніка”
 (код і найменування)
 Освітня програма (спеціалізація) “Мікро- та наноелектронні прилади та пристрої”
 (назва освітньої програми (спеціалізації))

ЗАТВЕРДЖУЮ
Завідувач кафедри мікро- та
наноелектроніки
Г. В. Сніжної
 «_____» _____ 2021 року

З А В Д А Н Н Я
НА БАКАЛАВРСЬКУ РОБОТУ СТУДЕНТА

Супруну Миколі Васильовичу
 (прізвище, ім'я, по батькові)

1. Тема проєкту (роботи) Оптимізація цифрових схем, реалізованих на базових матричних кристалах

керівник проєкту (роботи) Нагорна Ніна Миколаївна
 (прізвище, ім'я, по батькові, науковий ступінь, вчене звання)
 затверджені наказом закладу вищої освіти від «17» травня 2021 року № 190

2. Строк подання студентом проєкту (роботи) 25 травня 2021 р.

3. Вихідні дані до проєкту (роботи) При виконанні роботи використовувати САПР МАХ+plus II та САПР БМК «Ковчег». Схему пристрою інтерфейсної логіки реалізувати на D-тригерах.

4. Зміст розрахунково-пояснювальної записки (перелік питань, які потрібно розробити) _____
Розділ 1 Базові матричні кристали як основа проєктування складних пристроїв.
Розділ 2 Розробка пристрою інтерфейсної логіки з мінімізованою схемою.
Розділ 3 Розробка проєктів пристрою інтерфейсної логіки.

5. Перелік графічного матеріалу (з точним зазначенням обов'язкових креслень)
Презентація виконаної роботи

6. Консультанти розділів проєкту (роботи)

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	прийняв виконане завдання
1-2	Нагорна Н. М., старш. викл. каф. МІНЕ		
Нормо-контроль	Коротун А. В., к.ф.-м.н., доцент каф. МІНЕ		

7. Дата видачі завдання «26» квітня 2021 року.

КАЛЕНДАРНИЙ ПЛАН

№ з/п	Назва етапів дипломного проєкту (роботи)	Строк виконання етапів проєкту (роботи)	Примітка
1	Огляд літературних джерел та ознайомлення зі статтями за заданою тематикою.	26.04 – 05.05	Виконано
2	Ознайомлення зі схемотехнічними, конструктивними, технологічними принципами побудови БМК.	06.05 – 12.05	Виконано
3	Вивчення принципів роботи з САПР «Ковчег»	13.05 – 16.05	Виконано
4	Виконання етапів мінімізації цифрового автомата Мура. Розробка проєктів пристрою інтерфейсної логіки.	17.05 – 22.05	Виконано
5	Оформлення пояснювальної записки і презентації.	23.05 – 25.05	Виконано

Студент

_____ Супрун М.В.
(підпис) (прізвище та ініціали)

Керівник проєкту (роботи)

_____ Нагорна Н. М.
(підпис) (прізвище та ініціали)

РЕФЕРАТ

ПЗ: 38 с., 18 рис., 11 табл., 19 джерел.

Об'єктом дослідження є оптимізація цифрових схем, реалізованих на базових матричних кристалах.

Метою роботи є ознайомлення з принципами та методами оптимізації цифрових схем, освоєння методів проектування БМК, розробка пристрою інтерфейсної логіки з мінімізованою схемою.

Методи дослідження – теоретичні, програмні.

У першому розділі представлені відомості щодо класифікації ВІС за методами проектування, особливості базових матричних кристалів, структура САПР «Ковчег».

У другому розділі описана розробка проектів пристрою інтерфейсної логіки з немінімізованою та мінімізованою схемами. Зроблені висновки щодо підвищення швидкодії пристрою при мінімізації схеми, а також зменшення площі, що займається пристроєм на кристалі.

БАЗОВІ МАТРИЧНІ КРИСТАЛИ, НАДВЕЛИКА ІНТЕГРАЛЬНА СХЕМА,
ПЛІС, САПР, ТОПОЛОГІЯ, ЦИФРОВИЙ АВТОМАТ

ЗМІСТ

РЕФЕРАТ.	4
ВСТУП.	6
1 БАЗОВІ МАТРИЧНІ КРИСТАЛИ ЯК ОСНОВА ПРОЄКТУВАННЯ СКЛАДНИХ ПРИСТРОЇВ.	8
1.1 Класифікація ВІС за методами проєктування.	8
1.2 Маршрут проєктування НВІС.	11
1.3 Особливості базових матричних кристалів.	12
1.4 Структура САПР «Ковчег»	13
1.5 Основні відомості про цифрові автомати.	14
1.6 Мінімізація кількості станів цифрового автомата.	15
1.7 Об'єднання еквівалентних станів діаграми станів автомата.	15
2 РОЗРОБКА ПРИСТРОЮ ІНТЕРФЕЙСНОЇ ЛОГІКИ З МІНІМІЗОВАНОЮ СХЕМОЮ.	18
2.1 Постановка задачі.	18
2.2 Побудова діаграми станів моделі Мура і таблиці станів.	18
2.3 Призначення станам значень змінних.	20
2.4 Отримання системи мінімізованих логічних рівнянь.	22
3 РОЗРОБКА ПРОЄКТІВ ПРИСТРОЮ ІНТЕРФЕЙСНОЇ ЛОГІКИ.	26
3.1 Розробка проєктів пристрою інтерфейсної логіки на основі САПР MAX+plus II 10. 2 BASELINE.	26
3.2 Розробка проєкту пристрою інтерфейсної логіки на основі САПР БМК КОВЧЕГ.	28
ВИСНОВКИ.	36
ПЕРЕЛІК ПОСИЛАНЬ.	37

ВСТУП

Сучасні складні пристрої та електронні системи містять у своєму складі десятки або сотні надвеликих інтегральних схем (НВІС). В залежності від класу і призначення апаратури, що використовує НВІС, до характеристик цих пристроїв і систем пред'являються неоднозначні вимоги. Наприклад, деяка характеристика або їх сукупність є визначальними, а вимоги до решти характеристик при цьому знижуються.

На етапі проєктування сучасних систем існує можливість поліпшити їх техніко-економічні характеристики, як то, знизити споживану потужність, підвищити швидкодію і надійність, зменшити масогабаритні показники.

Підвищення ступеня інтеграції призвело до збільшення площі на кристалі, яку займають міжз'єднання НВІС. При цьому часові затримки сигналів у лініях зв'язку починають помітно впливати на площу кристалу, швидкодію, надійність НВІС. Тому особливо актуальною стає проблема використання високоефективних методів і алгоритмів проєктування НВІС. При проєктуванні НВІС необхідно враховувати, що на швидкодію і електричні параметри НВІС істотно впливають часові затримки сигналів в лініях зв'язку, які слід розраховувати при розробці топології міжз'єднань.

Для інтегральних мікросхем малого і середнього ступеня інтеграції вплив міжелементних зв'язків на кристалі несуттєвий, тому що площа, яку займають елементи таких схем значно перевищувала площу, яка займається лініями зв'язку. Крім того, затримки, що вносяться елементами, реалізованими на основі цих елементів, більші, ніж затримки в сполучних лініях зв'язку.

У міру зменшення конструкторсько-технологічних норм і переходу до НВІС міжз'єднання на кристалі стали займати все більшу площу, а часові затримки сигналів в лініях зв'язку почали помітно впливати на такі параметри НВІС, як швидкодія, площа кристалу, надійність тощо. Особливо сильно така ситуація проявляється в комплементарних метал-окис-напівпровідникових НВІС, причому

у таких схемах затримка поширення сигналів в логічних елементах зростає прямо пропорційно зростанню ємності навантаження, яка в основному визначається довжиною лінії зв'язку. Тому кристали, на яких розміщуються НВІС, потрібно розглядати вже не тільки як систему функціональних елементів, розміщену на них, але додатково треба успішно розробляти систему міжз'єднань на етапі розробки топології. У той же час розроблена топологія істотно залежить від того, наскільки успішно вирішені проблеми проектування на етапах розбиття системи на блоки та розміщення цих блоків або функціональних елементів на кристалі.

1 БАЗОВІ МАТРИЧНІ КРИСТАЛИ ЯК ОСНОВА ПРОЄКТУВАННЯ СКЛАДНИХ ПРИСТРОЇВ

1.1 Класифікація ВІС за методами проєктування

За методами проєктування ІМС класифікуються на стандартні і спеціалізовані.

Як показано на рис. 1.1, спеціалізовані ІС поділяються на замовні та півзамовні. До півзамовних ІС відносяться ІС на основі стандартних комірок, БМК, ПЛІС.

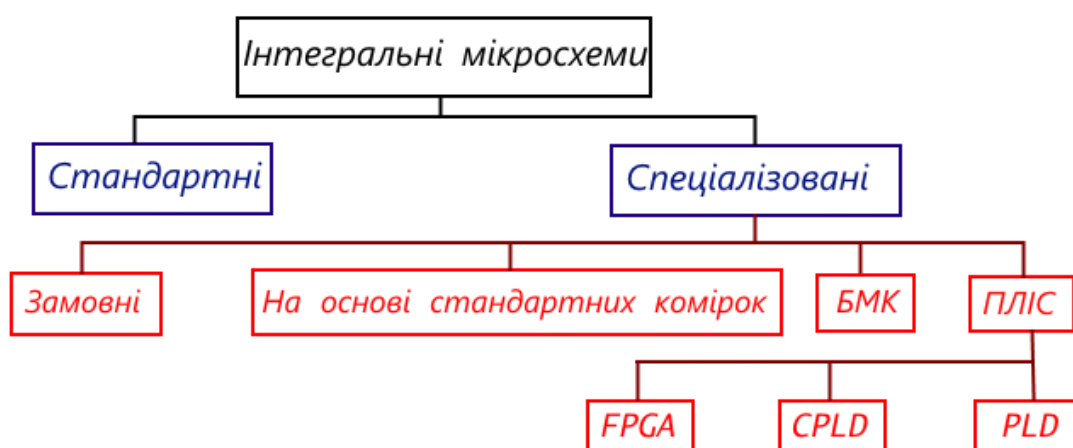


Рисунок 1.1 - Класифікація ВІС за методами проєктування

Стандартні ІС випускаються масовим тиражем. Їх проєктування включає всі рівні проєктування, включаючи фізичні рівні транзисторів. Проєктування стандартних ІМС вимагає великих часових витрат і є вартісним. Тому їх переважно випускають великими тиражами. При проєктуванні стандартних ІС оптимізіруються: площа кристала, швидкодія, споживання енергії. Оптимізація структури замовних ІС виконується на рівні компонентів. Тому їх параметри мають високі, майже граничні значення для використовуваного рівня технології.

До стандартних ІС можна віднести мікропроцесори, ІС пам'яті, процесори цифрової обробки сигналів.

Англійська аббревіатура спеціалізованих ІМС: ASIC - Application Specific Integrated Circuits.

Замовні ІМС проєктуються і виготовляються за технологією стандартних ІМС, але вони випускаються малими серіями, а їх функції спеціалізовані. Процес проєктування ASIC відрізняється великими строками, він є затратним. Топологічні шари замовних мікросхем проєктуються та виготовляються за індивідуальними фотошаблонами.

Спеціалізовані ІМС, що проєктуються на основі стандартних комірок (Standard Cell-based ASIC), мають у своєму складі елементи, які вибираються з бібліотек елементів. У складі будь-якої бібліотеки елементів знаходяться логічні елементи типів І-НЕ, АБО-НЕ, а також тригери та більш складні функціональні вузли (макроелементи, мегаелементи, процесорні ядра). Мікросхеми цього типу є півзамовними. Півзамовні ІС складаються зі спроектованої заздалегідь постійної частини та змінної частини. Структура змінної частини визначається замовником.

Спеціалізовані ІМС на базі стандартних комірок є базовою платформою для сучасних систем на кристалі (СнК).

Спеціалізовані ІМС типів базових матричних кристалів (БМК) і програмованих логічних інтегральних схем (ПЛІС) є також півзамовними.

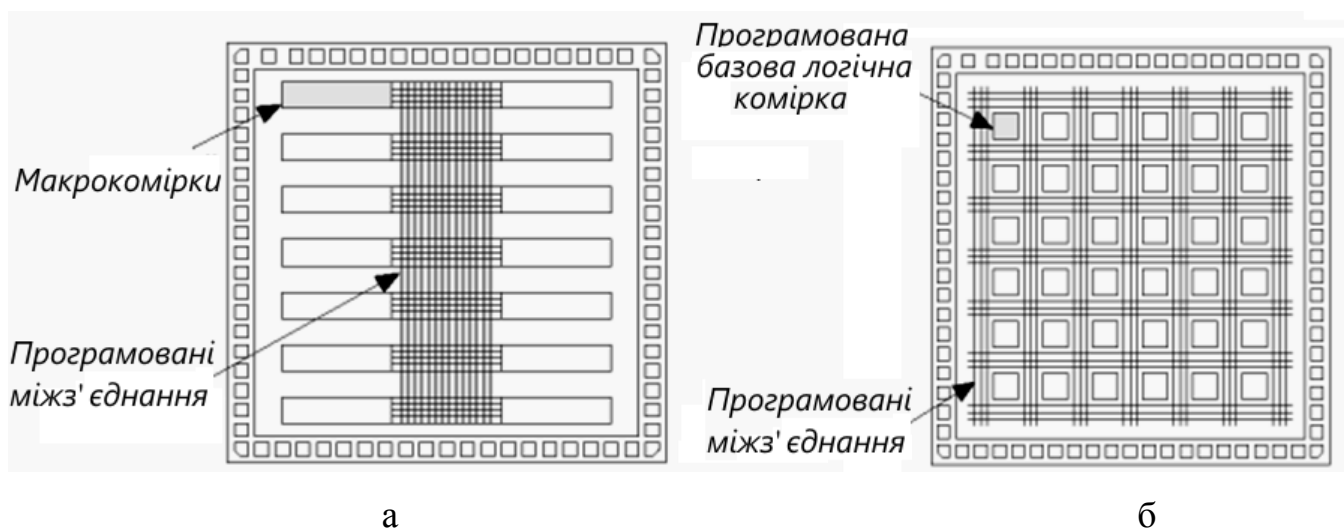
У БМК попередньо визначена топологія розміщення транзисторів називається матрицею вентилів (Gate Array Based ASICs) або базовою матрицею, в якій розташування на пластині всіх транзисторів заздалегідь визначені, є однаковими для всіх варіантів НВІС. Найменшим елементом базової матриці, який в ній повторюється, є комірка-примітив. З'єднання між транзисторами визначаються розробниками. З'єднання виготовляються за допомогою фотошаблонів (масок). Так формується матриця вентилів (Masked Gate Array - MGA), тобто виконується спеціалізація БМК.

Спеціалізація ПЛІС виконується без фотошаблонів шляхом програмування. Тому їх називають також ППЛІС – програмовані користувачем логічні інтегральні схеми. Програмування виконується користувачем або електричним способом, або за допомогою програми керування комутацією логічних елементів.

Програмовані логічні ІС з вбудованими макроблоками (Complex Programmable Logic Devices - CPLD) можуть бути використані після придбання і після програмування між'єднань. Для виконання програмування в структуру HBIC включений спеціалізований великий блок. Існують два способи програмування між'єднань: жорсткий (маскувальний) і м'який (перепрограмувальний). Жорсткий спосіб використовується в одноразово програмованих HBIC (Mask programmed PLD). М'який спосіб використовується в ПЛІС (Erasable PLD EPLD) зі стиранням.

У CPLD знаходиться матриця логічних макроблоків, яка містить матриці логічних елементів і лінійки тригерів.

На рис. 1.2, а показана структура програмованої логічної ІС з вбудованими макроблоками.



а - CPLD;

б - FPGA

Рисунок 1.2 – Структури HBIC програмованої логіки

Спеціалізовані програмовані HBIC з вбудованими базовими блоками (Field Programmable Gate Array – FPGA) програмуються безпосередньо на HBIC.

Основою FPGA є регулярна матриця програмованих базових логічних блоків, яка призначена для виконання логічних функцій та зберігання даних в тригерах та блоках пам'яті. Матриця програмованих міжз'єднань оточує елементи матриці базових логічних блоків, вона забезпечує з'єднання логічних блоків при програмуванні конфігурації HBIC. По периферії кристала розташовані потужні програмовані блоки вводу-виводу. Процес проєктування FPGA може скласти декілька годин. Структура програмованої HBIC FPGA з вбудованими базовими блоками показана на рис. 1.2, б.

1.2 Маршрут проєктування HBIC

Спрощений маршрут проєктування півзамовних HBIC включає наступні етапи:

- 1) формальний опис проєкту (Design entry) - проєктування HBIC здійснюється з використанням або мови розробки цифрової апаратури (HDL Verilog, VHDL), або з використанням розробленої принципової схеми;
- 2) логічний синтез (Logic synthesis) - генерація списку логічних вентилів і їх міжз'єднань (netlist);
- 3) розбиття на модулі (System partitioning) - велика система розбивається на модулі, які можна проєктувати як окремі HBIC або мегаблоки однієї HBIC;
- 4) логічне моделювання проєкту HBIC (Prelayout simulation) - перевірка всіх функціональних параметрів і характеристик HBIC на логічному рівні; якщо моделювання не дає коректних результатів, то етапи 1,2,3 повторюються;
- 5) топологічне розміщення (Floorplanning) - розміщення модулів і блоків зі списку логічних вентилів і з'єднань на площі кристала HBIC;
- 6) розміщення базових елементів всередині блоків (Placement) - вибір розміщення базових бібліотечних елементів в блоках;

- 7) трасування і розведення міжз'єднань (Routing) - з'єднання базових бібліотечних елементів, модулів і блоків між собою;
- 8) екстракція паразитних опорів і ємностей міжз'єднань (Extraction) - визначаються паразитні ємності і опори, породжувані спроектованою топологією міжз'єднань;
- 9) відновлення на основі розробленої топології схеми, розміщеної на кристалі; перевірка її працездатності з доданими паразитними ємностями і опорами міжз'єднань (Postlayout simulation); якщо результати перевірки не задовольняють вимогам по частоті і навантаженню, то етапи 5-9 повторюються до отримання необхідного результату.

1.3 Особливості базових матричних кристалів

БМК є універсальними кристалами-заготовками, розташованими на напівпровідниковій пластині. БМК називаються базовими, оскільки всі фотошаблони для їх виготовлення, за винятком шарів комутації, є постійними і не залежать від реалізованої схеми. Виготовлення конкретної ВІС на БМК здійснюється шляхом комутації КМОН-транзисторів за допомогою одношарового або багатшарового розведення. ВІС на основі БМК формується за допомогою малого числа фотошаблонів, що значно зменшує витрати при виробництві ВІС.

Наявність розвиненої бібліотеки логічних елементів і типових схемотехнічних рішень в системі автоматичного проектування (САПР) спрощує процес розробки логічного проєкту і підвищує якість проектування.

БМК можуть містити як цифрові, так аналогові та цифро-аналогові елементи. Це дозволяє будувати на них складні системи (системи на кристалі).

Виготовлення мікросхем виконується за стандартною технологією масового виробництва. Експлуатаційні параметри ІС визначаються параметрами БМК і підтверджуються кваліфікаційними випробуваннями. Для цього проводяться випробування тестових мікросхем, випускаються групові технічні умови (ТУ). При виготовленні шарів металізації для конкретної півзамовної мікросхеми і

наступного її випуску формується карта замовлення, яка є додатком до групових ТУ, тому кваліфікаційні випробування нової мікросхеми не проводяться.

Отже, проектування мікросхеми полягає в розробці електричної схеми та відповідної топології шарів металізації, а виробництво кристалів - в формуванні цих шарів на раніше виготовлених і атестованих пластинах - напівфабрикатах з уже сформованими транзисторними структурами.

Областю застосування БМК є вироби з відносно невеликим об'ємом виробництва.

1.4 Структура САПР «Ковчег»

САПР ВІС "Ковчег" версії 3.0 містить наступні підсистеми, необхідні дія розробки і підготовки до виробництва півзамовних ВІС:

- підсистему функціонально-логічного моделювання;
- підсистему розміщення комірок на поле БМК;
- підсистему синтезу топології;
- спеціалізований топологічний редактор;
- підсистему верифікації;
- підсистему розрахунку параметрів топології;
- підсистему атестації проєкту.

Підсистема функціонально-логічного моделювання дозволяє отримати часові діаграми функціонування проєкту ВІС, оцінити стійкість проєкту в залежності від впливу зовнішніх факторів, провести аналіз впливу топологічних параметрів на функціонування і стійкість проєкту.

Поеднані підсистема ручного та автоматичного розміщення комірок на поле БМК дозволяє підвищити коефіцієнт заповнення поля БМК до 80 - 90%.

Синтез топології виконується з урахуванням списків ланцюгів пріоритетного розведення і швидкісних ланцюгів.

Підсистема верифікації, з одного боку, перевіряє виконання вимог стандарту кодування топології ВІС, а з іншого - здійснює перевірку відповідності отриманої топології ВІС її логічній схемі.

Підсистема розрахунку топології забезпечує розрахунок затримок в топологічних ланцюгах з урахуванням можливого розкиду топологічних параметрів.

Підсистема атестації проєкту дозволяє перевірити поведінку проєкту мікросхеми в залежності від значень зовнішніх факторів і топологічного розкиду.

САПР «Ковчег» має розвинену бібліотеку елементів та складно-функціональних блоків.

1.5 Основні відомості про цифрові автомати

Цифровим автоматом називається дискретний перетворювач інформації, який приймає вхідні сигнали в дискретні моменти часу та з урахуванням свого колишнього стану формує вихідні сигнали і змінює свій стан. Найпростішим цифровим автоматом є тригер.

Автомат з кінцевими внутрішнім і вхідним алфавітами (сигналами) називається кінцевим автоматом. Саме кінцеві автомати є математичними моделями реальних дискретних пристроїв.

Функціонування кінцевих автоматів задається діаграмою станів. Це орієнтований граф, вершини якого відповідають станам автомата, а дуги - переходам їх з одного стану в інший. Якщо по символу (вхідному сигналу) X автомат переходить зі стану A у стан B , то дуга направляється від вершини A до вершини B і позначається символом X . Якщо автомат є автоматом Мілі, то дуга позначається ще і символом вихідного алфавіту Y , наприклад, X/Y . На діаграмі автомата Мура символ вихідного алфавіту вказується у вершині, яка відповідає пов'язаному з ним стану.

Існують автомати, що вирішують однакові завдання, але відрізняються один від одного числом внутрішніх станів. Функція автоматів полягає у визначенні

залежностей між входами і виходами автомата. Тому будь-яка множина станів, що виконує цю функцію, є допустимою, проте бажано мінімізувати число станів автомата. Існуючі методи синтезу автоматів не гарантують отримання автомата з мінімальним числом станів. Тому необхідно мінімізувати число станів вже синтезованого автомата для розробки в подальшому більш простої схеми пристрою.

1.6 Мінімізація кількості станів цифрового автомата

Кількість тригерів в схемі залежить від кількості змінних, що входять в систему логічних рівнянь, які описують алгоритм функціонування схеми. Кількість тригерів, в свою чергу, залежить від кількості станів діаграми станів.

Потрібно n змінних станів і стільки ж тригерів, якщо кількість станів діаграми лежить в інтервалі від $2^{n-1} + 1$ до 2^n .

Зменшення кількості станів до мінімуму дозволить спростити схему пристрою, що особливо актуально для складних пристроїв.

Існують різні способи зменшення кількості станів. Нижче розглядаються два з них.

1.7 Об'єднання еквівалентних станів діаграми станів автомата

Два стани називаються еквівалентними, якщо виконуються умови:

- вихідні сигнали, пов'язані з цими станами, однакові;
- відповідні наступні стани також однакові.

Якщо ці умови виконуються, то такі два стани можна об'єднати в один. Перша умова дозволяє виключити з розгляду пари станів, несумісні по виходу. Потім з решти пар необхідно знайти ті, які задовольняють другій умові еквівалентності. Для більшого розуміння поняття еквівалентності розглянемо табл. 1.1.

Таблиця 1.1 - Таблиця станів моделі Мура з еквівалентними станами

Поточний стан	Наступний стан, x_1x_2				Вихідне значення, Y
	00	01	11	10	
1	5	3	2	1	0
2	5	3	1	4	0
3	3	4	4	5	1
4	5	3	2	2	0
5	6	7	1	1	0
6	3	3	1	7	0
7	7	1	1	5	1

З таблиці 1.1 видно, що схема має входи x_1 та x_2 , а також вихід Y .

Вихідні значення збігаються у станів 3 і 7, тобто ці стани є потенційно еквівалентними. Стани 1,2,4,5 і 6 також є потенційно еквівалентними по виходу.

У таблиці 1.2 перераховані потенційно еквівалентні пари, вибрані з таблиці 1.1.

Таблиця 1.2 – Пари еквівалентних станів

Потенційно еквівалентні пари	Вимога до еквівалентності пар	Несумісність по виходу
1, 2	(1, 2), (1, 4)	
1, 4	(1, 2)	
1, 5	(5, 6), (3, 7), (1, 2)	×
1, 6	(3, 5), (1, 2), (1, 7)	×
2, 4	(1, 2)	
2, 5	(5, 6), (3, 7), (1, 4)	×
2, 6	(3, 5), (4, 7)	×
3, 7	(3, 7), (1, 4)	
4, 5	(5, 6), (3, 7), (1, 2)	×
4, 6	(3, 5), (1, 2), (2, 7)	×
5, 6	(3, 6), (3, 7), (1, 7)	×

У табл. 1.2 потенційно еквівалентні стани записані в один рядок з наступними станами, які, виходячи з таблиці 1.1, повинні бути еквівалентними. Наприклад, при $x_1x_2 = 10$ стани 1 і 2 будуть еквівалентними, якщо стан 1 буде еквівалентним зі станом 4. Продовживши роботу з таблицею станів, можна отримати список пар станів, які повинні бути еквівалентні між собою, щоб потенційно еквівалентні пари стали еквівалентними. Якщо необхідні пари несумісні по виходу, то в стовпці 3 таблиці 1.2 навпроти списку ставиться відмітка. Відповідні рядки далі не розглядаються. Процес перевірки на несумісність по виходу повторюється знову, поки в табл. 1.2 залишаться тільки сумісні по виходу пари. У прикладі еквівалентними виявилися пари (1,2), (1,4), (2,4), (3,7). Стани 5 і 6 не об'єднуються ні з якими іншими. Виявлено, що $1=2$, $2=4$, $1=4$, тоді $1=2=4$. Стани 1, 2, 4 можна об'єднати в один. Стани 3 і 7 теж можна об'єднати в один. Залишається чотири стану. Для зручності їх можна перейменувати: А (об'єднані стани 1, 2, 3, 4), В (об'єднані стани 3, 7), С (стан 5), D (стан 6). В результаті формується мінімізована таблиця станів моделі Мура (табл.1.3).

Таблиця 1.3 - Мінімізована таблиця станів моделі Мура

Поточний стан	Наступний стан, x_1x_2				Вихідне значення, Y
	00	01	11	10	
A	C	B	A	A	0
B	B	A	A	C	1
C	D	B	A	A	0
D	B	B	A	B	0

В результаті мінімізації логічна модель схеми описується за допомогою двох змінних, тому що в табл. 1.3 кількість станів $2^2 = 4$.

Для мінімізації станів моделі Мілі використовується та ж методика, але для сумісності по виходу станів необхідно, щоб вихідні значення їх наступних станів збігалися в усіх стовпцях.

2 РОЗРОБКА ПРИСТРОЮ ІНТЕРФЕЙСНОЇ ЛОГІКИ З МІНІМІЗОВАНОЮ СХЕМОЮ

2.1 Постановка задачі

Необхідно розробити схему, що має два входи, на які надходять наступні сигнали: сигнал зчитування R і сигнал запису W . Схема повинна сформувати на виході Z сигнал тривалістю два періоди синхронізуючих імпульсів, якщо $\bar{R} = 0$, та сигнал тривалістю три періоди синхронізуючих імпульсів, якщо $\bar{W} = 0$. Тобто інверсні сигнали керування мають низький активний рівень. Це означає, що аналогічні дії будуть визивати прямі сигнали з високим активним рівнем. Після активізації вихідного сигналу вхідні сигнали можуть повертатися у неактивний стан до його закінчення. При розробці треба дотримуватись умови: одночасно нулі на входах R , W присутніми бути не можуть.

2.2 Побудова діаграми станів моделі Мура і таблиці станів

Спочатку приймається, що робота пристрою описується цифровим автоматом, представленим моделлю Мура. На основі описаного в підрозділі 2.1 алгоритму функціонування пристрою можна побудувати діаграми станів моделі Мура.

Діаграма станів для пристрою інтерфейсної логіки показана на рис. 2.1. Вона містить шість станів. У станах 2, 3, 4, 5, 6 на виході формується логічна 1. У стані 1 на виході присутній логічний 0. Перехід з початкового стану 1 у стан 2 відбувається з приходом на вхід R логічного нуля, а на вхід W логічної 1. Далі відбувається перехід до стану 3, а потім до стану 1.

Перехід з початкового стану 1 у стан 4 відбувається з приходом на вхід W логічного нуля, а на вхід R логічної 1. Далі відбувається перехід до стану 5, потім до стану 6, а потім до стану 1.

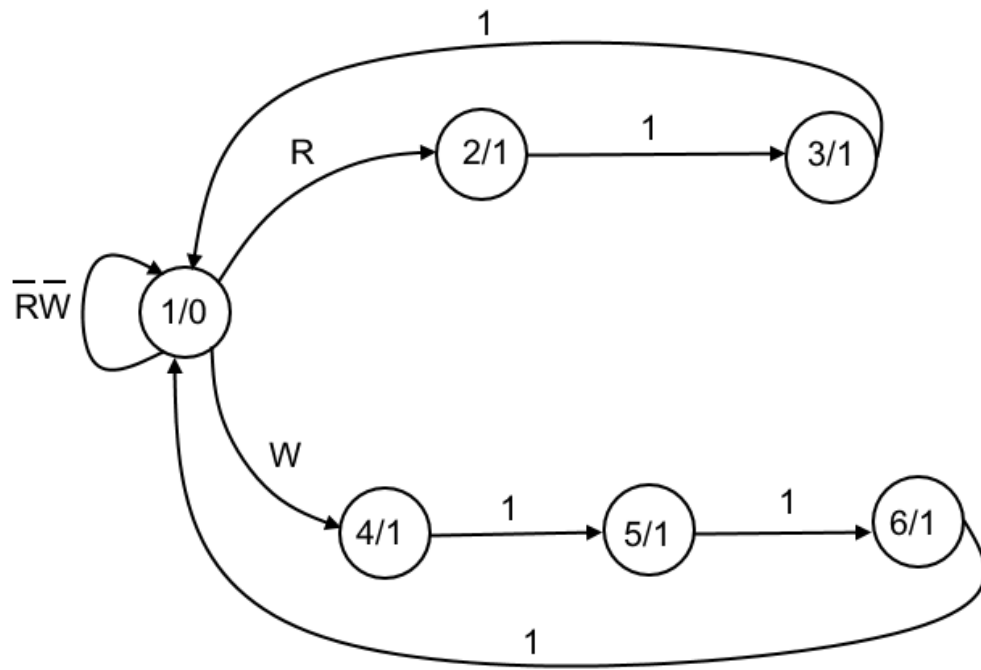


Рисунок 2.1 - Діаграма станів автомата для пристрою інтерфейсної логіки

На основі діаграми станів, показаної на рис. 2.1, формується таблиця станів цифрового автомата (табл. 2.1).

Таблиця 2.1 - Таблиця станів цифрового автомата на основі моделі Мура, що реалізує функції інтерфейсної логіки

Поточний стан	Наступний стан R, W				Вихідне значення, Z
	00	01	11	10	
1	1	4	X	2	0
2	3	3	X	3	1
3	1	1	X	1	1
4	5	5	X	5	1
5	6	6	X	6	1
6	1	1	X	1	1

2.3 Призначення станам значень змінних

Для опису шести станів необхідні три змінні стану. Нехай вказані змінні мають назви: Q_1 , Q_2 , Q_3 . Далі необхідно надати кожному зі станів значення змінних. Для даної розробки стан 1 описується комбінацією 000, стан 2 – 001, стан 3 – 011, 4 – 010, 5 – 110, 6 – 100. При призначенні станів використано правило: сусідні стани описуються комбінаціями, що відрізняються тільки однією змінною.

Якщо автомат описується рівняннями з трьома змінними, то у схемі, побудованої на його основі, повинні бути присутніми три комірки пам'яті. Таблиця призначених станів цифрового автомата, що реалізує функції інтерфейсної логіки, приведена у табл. 2.2. Приймається, що комірками пам'яті будуть служити D-тригери. Сигнали збудження D-тригерів теж показані у табл. 2.2.

Таблиця 2.2 - Таблиця призначених станів цифрового автомата, що реалізує функції інтерфейсної логіки

Поточний стан $Q_3^n Q_2^n Q_1^n$			Наступний стан $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$				Сигнали збудження D-тригерів				Вихід Z
			R W				R W				
			00	01	11	10	00	01	11	10	
0	0	0	000	010	xxx	001	000	010	xxx	001	0
0	0	1	011	011	xxx	011	011	011	xxx	011	1
0	1	1	000	000	xxx	000	000	000	xxx	000	1
0	1	0	110	110	xxx	110	110	110	xxx	110	1
1	1	0	100	100	xxx	100	100	100	xxx	100	1
1	0	0	000	000	xxx	000	000	000	xxx	000	1

2.4 Отримання системи мінімізованих логічних рівнянь

На основі табл. 2.2 формуються рівняння, що відповідають сигналам збудження D-тригерів, а також вихідному сигналу Z. Оскільки в рівняннях будуть присутні і вхідні змінні, то усього змінних буде 5. Мінімізовані рівняння в роботі отримані за допомогою логічного конвертора програми MULTISIM. Для зручності вводу даних у конвертор підготовлена табл.2.3, у якій при незадіяних комбінаціях вхідних сигналів сигнали збудження тригерів приймають байдужий стан.

Таблиця 2.3 – Підготовлені дані для логічного конвертора

$RWQ_3^n Q_2^n Q_1^n$	D3	D2	D1	Z
0 0 0 0 0	0	0	0	0
0 0 0 0 1	0	1	1	1
0 0 0 1 0	1	1	0	1
0 0 0 1 1	0	0	0	1
0 0 1 0 0	0	0	0	1
0 0 1 0 1	X	X	X	X
0 0 1 1 0	1	0	0	1
0 0 1 1 1	X	X	X	X
0 1 0 0 0	0	1	0	0
0 1 0 0 1	0	1	1	1
0 1 0 1 0	1	1	0	1
0 1 0 1 1	0	0	0	1
0 1 1 0 0	0	0	0	1
0 1 1 0 1	X	X	X	X
0 1 1 1 0	1	0	0	1
0 1 1 1 1	X	X	X	X
1 0 0 0 0	0	0	1	0
1 0 0 0 1	0	1	1	1
1 0 0 1 0	1	1	0	1
1 0 0 1 1	0	0	0	1
1 0 1 0 0	0	0	0	1
1 0 1 0 1	X	X	X	X
1 0 1 1 0	1	0	0	1
1 0 1 1 1	X	X	X	X

Продовження таблиці 2.3

$RWQ_3^n Q_2^n Q_1^n$	D3	D2	D1	Z
1 1 0 0 0	X	X	X	X
1 1 0 0 1	X	X	X	X
1 1 0 1 0	X	X	X	X
1 1 0 1 1	X	X	X	X
1 1 1 0 0	X	X	X	X
1 1 1 0 1	X	X	X	X
1 1 1 1 0	X	X	X	X
1 1 1 1 1	X	X	X	X

Мінімізовані рівняння для схеми інтерфейсної логіки мають вигляд:

$$\begin{aligned}
 D_1 &= Q_1 \bar{Q}_2 + R \bar{Q}_2 \bar{Q}_3; \\
 D_2 &= \bar{Q}_1 Q_2 \bar{Q}_3 + W \bar{Q}_2 \bar{Q}_3 + Q_1 \bar{Q}_2 + RW; \\
 D_3 &= \bar{Q}_1 Q_2; \quad Z = Q_1 Q_2 Q_3.
 \end{aligned} \tag{2.1}$$

2.4 Мінімізація кількості станів цифрового автомата інтерфейсної логіки

З метою визначення еквівалентних пар станів на основі табл. 2.1 побудована табл. 2.4.

Таблиця 2.4 – Отримання еквівалентних пар станів на основі таблиці 2.1

Потенційно еквівалентні пари	Вимога до еквівалентності пар	Несумісність по виходу
2, 3	(1, 3)	×
2, 4	(3, 5)	×
2, 5	(3, 6)	×
2, 6	(1, 3)	×
3, 4	(1, 5)	×
3, 5	(1, 6)	×
3, 6		
4, 5	(5, 6)	×
4, 6	(1, 5)	×
5, 6	(1, 6)	×

З таблиці 2.4 видно, що тільки стани 3 та 6 є еквівалентними. Їх можна об'єднати. Об'єднаний стан позначимо під номером 3. Мінімізована діаграма станів показана на рис. 2.2.

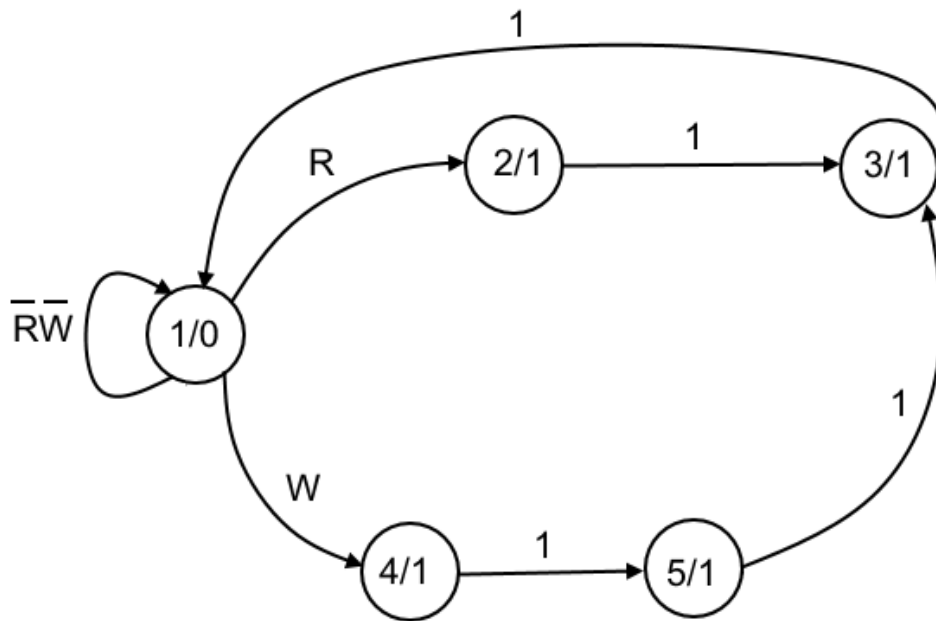


Рисунок 2.2 – Мінімізована діаграма станів цифрового автомата пристрою інтерфейсної логіки

На основі мінімізованої діаграми станів, показаної на рис. 2.2, формується таблиця мінімізованих станів цифрового автомата (табл. 2.5).

Таблиця 2.5 - Таблиця мінімізованих станів цифрового автомата на основі моделі Мура, що реалізує функції інтерфейсної логіки

Поточний стан	Наступний стан R, W				Вихідне значення, Z
	00	01	11	10	
1	1	4	X	2	0
2	3	3	X	3	1
3	1	1	X	1	1
4	5	5	X	5	1
5	3	3	X	3	1

Таблиця призначених станів мінімізованого цифрового автомата, що реалізує функції інтерфейсної логіки представлена таблицею 2.6.

Таблиця 2.6 - Таблиця призначених станів мінімізованого цифрового автомата, що реалізує функції інтерфейсної логіки

Поточний стан $Q_3^n Q_2^n Q_1^n$			Наступний стан $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$				Сигнали збудження D-тригерів				Вихід Z
			R W				R W				
			00	01	11	10	00	01	11	10	
0	0	0	000	010	xxx	001	000	010	xxx	001	0
0	0	1	011	011	xxx	011	011	011	xxx	011	1
0	1	1	000	000	xxx	000	000	000	xxx	000	1
0	1	0	110	110	xxx	110	110	110	xxx	110	1
1	1	0	011	011	xxx	011	011	011	xxx	011	1

У табл. 2.7 представлені дані для вводу у логічний конвертор.

Таблиця 2.7 – Дані для логічного конвертора на основі таблиці 2.6

$RWQ_3^n Q_2^n Q_1^n$	D3	D2	D1	Z
0 0 0 0 0	0	0	0	0
0 0 0 0 1	0	1	1	1
0 0 0 1 0	1	1	0	1
0 0 0 1 1	0	0	0	1
0 0 1 0 0	X	X	X	X
0 0 1 0 1	X	X	X	X
0 0 1 1 0	0	1	1	1
0 0 1 1 1	X	X	X	X
0 1 0 0 0	0	1	0	0
0 1 0 0 1	0	1	1	1
0 1 0 1 0	1	1	0	1
0 1 0 1 1	0	0	0	1
0 1 1 0 0	X	X	X	X
0 1 1 0 1	X	X	X	X
0 1 1 1 0	0	1	1	1
0 1 1 1 1	X	X	X	X

Продовження таблиці 2.7

$RWQ_3^n Q_2^n Q_1^n$	D3	D2	D1	Z
1 0 0 0 0	0	0	1	0
1 0 0 0 1	0	1	1	1
1 0 0 1 0	1	1	0	1
1 0 0 1 1	0	0	0	1
1 0 1 0 0	X	X	X	X
1 0 1 0 1	X	X	X	X
1 0 1 1 0	1	0	0	1
1 0 1 1 1	X	X	X	X
1 1 0 0 0	X	X	X	X
1 1 0 0 1	X	X	X	X
1 1 0 1 0	X	X	X	X
1 1 0 1 1	X	X	X	X
1 1 1 0 0	X	X	X	X
1 1 1 0 1	X	X	X	X
1 1 1 1 0	X	X	X	X
1 1 1 1 1	X	X	X	X

Мінімізовані рівняння для мінімізованої схеми інтерфейсної логіки мають вигляд:

$$\begin{aligned}
 D_1 &= R\bar{Q}_2 + \bar{Q}_2 Q_1 + Q_3; \\
 D_2 &= W\bar{Q}_2 + \bar{Q}_2 Q_1 + Q_2 \bar{Q}_1; \\
 D_3 &= \bar{Q}_3 Q_2 \bar{Q}_1; \quad Z = Q_1 + Q_2.
 \end{aligned}
 \tag{2.2}$$

3 РОЗРОБКА ПРОЄКТІВ ПРИСТРОЮ ІНТЕРФЕЙСНОЇ ЛОГІКИ

3.1 Розробка проєктів пристрою інтерфейсної логіки на основі САПР MAX+plus II 10.2 BASELINE

На основі рівнянь (2.1) розроблена схема пристрою інтерфейсної логіки з використанням САПР MAX+plus II. Схема (рис. 3.1) побудована в графічному редакторі вказаної САПР. Часова діаграма роботи пристрою інтерфейсної логіки, побудованого на основі рівнянь (2.1), представлена на рис. 3.2. Аналіз часової діаграми показав, що робота схеми відповідає алгоритму роботи пристрою.

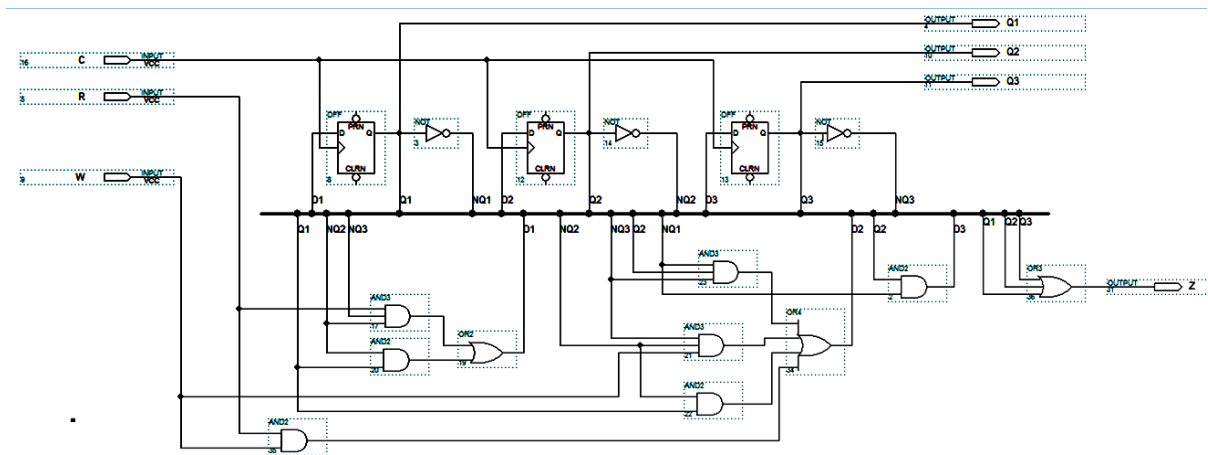


Рисунок 3.1 – Схема пристрою інтерфейсної логіки, побудованої на основі рівнянь (2.1)

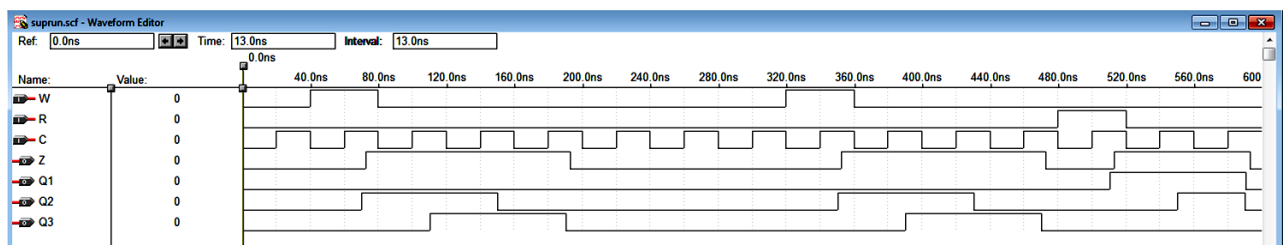


Рисунок 3.2 – Часова діаграма роботи пристрою інтерфейсної логіки, побудованої на основі рівнянь (2.1)

На основі рівнянь (2.2) розроблена мінімізована схема пристрою інтерфейсної логіки з використанням САПР MAX+plus II. Схема (рис. 3.1) побудована в графічному САПР MAX+plus II. Схема показана на рис. 3.3. На рис. 3.4 представлена часова діаграма роботи мінімізованого пристрою інтерфейсної логіки, побудованого на основі рівнянь (2.2). Аналіз часової діаграми показав, що робота схеми відповідає алгоритму роботи пристрою.

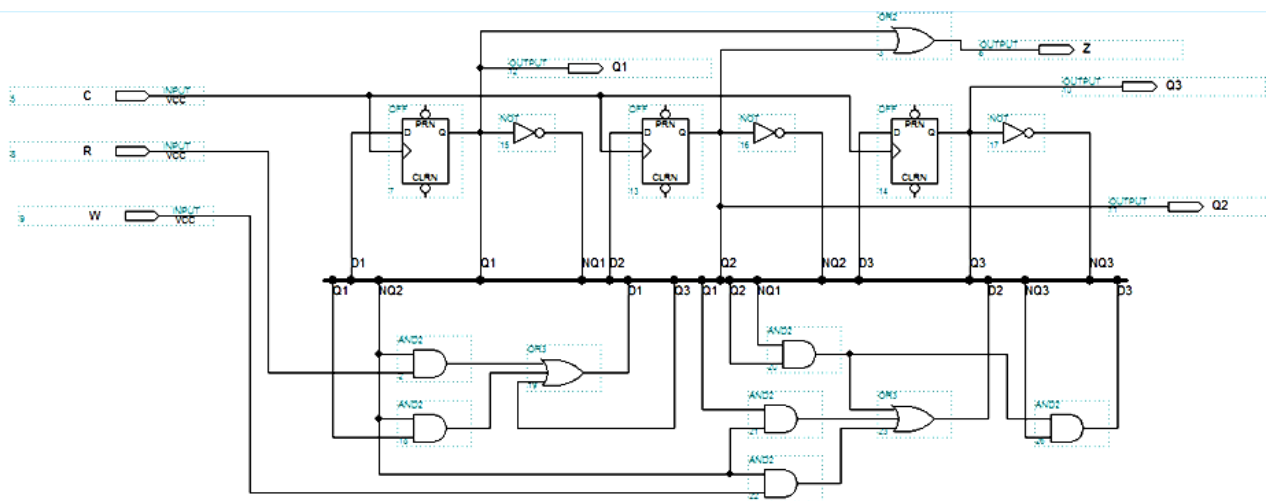


Рисунок 3.3 – Схема мінімізованого пристрою інтерфейсної логіки, побудованої на основі рівнянь (2.2)

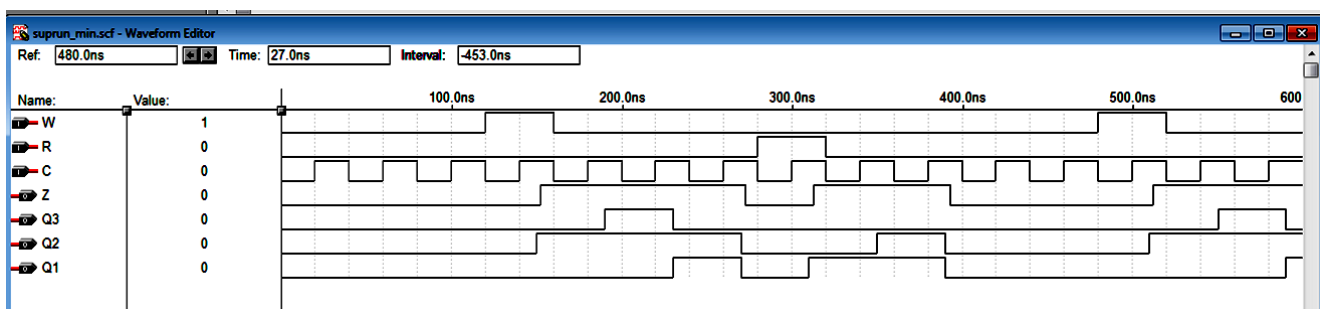


Рисунок 3.4 – Часова діаграма роботи мінімізованого пристрою інтерфейсної логіки, побудованої на основі рівнянь (2.2)

Звичайний і мінімізований пристрої інтерфейсної логіки у проєктах побудовані на програмованих інтегральних мікросхемах типу FPGA сім'ї FLEX

8000, які містять: 336 логічних комірок, 452 регістри, 68 входів/виходів, напругу живлення 3...5,25 В. Тип мікросхеми EPF8282ALC84-2. У таблиці 3.1 приведені параметри розроблених пристроїв.

Таблиця 3.1 – Параметри звичайного і мінімізованого пристроїв інтерфейсної логіки

Параметри	Звичайний пристрій інтерфейсної логіки	Мінімізований пристрій інтерфейсної логіки
Зайнято логічних комірок, шт.	5	4
Затримки на виходах тригерів Q_1 , Q_2 , Q_3 відносно синхросигналу C , нс	10,6; 10,4; 10,3	10,3; 10,5; 10,5
Затримка на виході Z відносно синхросигналу C , нс	15,5 / 13,1	12,5 / 3,1
Тривалість часу перед-установлення/утримання відносно фронту синхросигналу C , нс	Для сигналу R : 4,6 / 0 Для сигналу W : 4,6 / 0	Для сигналу R : 1,7 / 0 Для сигналу W : 1,7 / 0
Максимальна частота, МГц	125	125

Аналіз параметрів таблиці 3.1 показує, що мінімізований пристрій інтерфейсної логіки займає меншу площу на кристалі і є більш швидкодіючим порівняно зі звичайним пристроєм.

3.2 Розробка проекту пристрою інтерфейсної логіки з використанням САПР БМК КОВЧЕГ

Проект виконувався на базовому матричному кристалі H5503XM1. У проєкті використовувалися бібліотеки функціональних комірок БМК серій 5503: 5503, 5503+, 5503++, 5503CC. Тому проєкти на ВІС серій 5503 та 5507 повністю схемотехнічно і топологічно сумісні.

Кристал H5503XM1 виготовлений за технологією КМОН (комплементарні транзистори типу «метал-оксид – напівпровідник»; технологічний рівень 5 мкм.

У вікні проєкту задавався тип БМК і бібліотеки функціональних вузлів.

У графічному редакторі за рівняннями (2.2) збиралася мінімізована схема пристрою інтерфейсної логіки (рис. 3.5). Схема містить три D-тригери, базові логічні елементи, буферні комірки вводу-виводу, входні і вихідні порти. Сигнали на схему потрапляють зі входів R, W, C. Вихідними сигналами є сигнали Q1, Q2, Q3, Z.

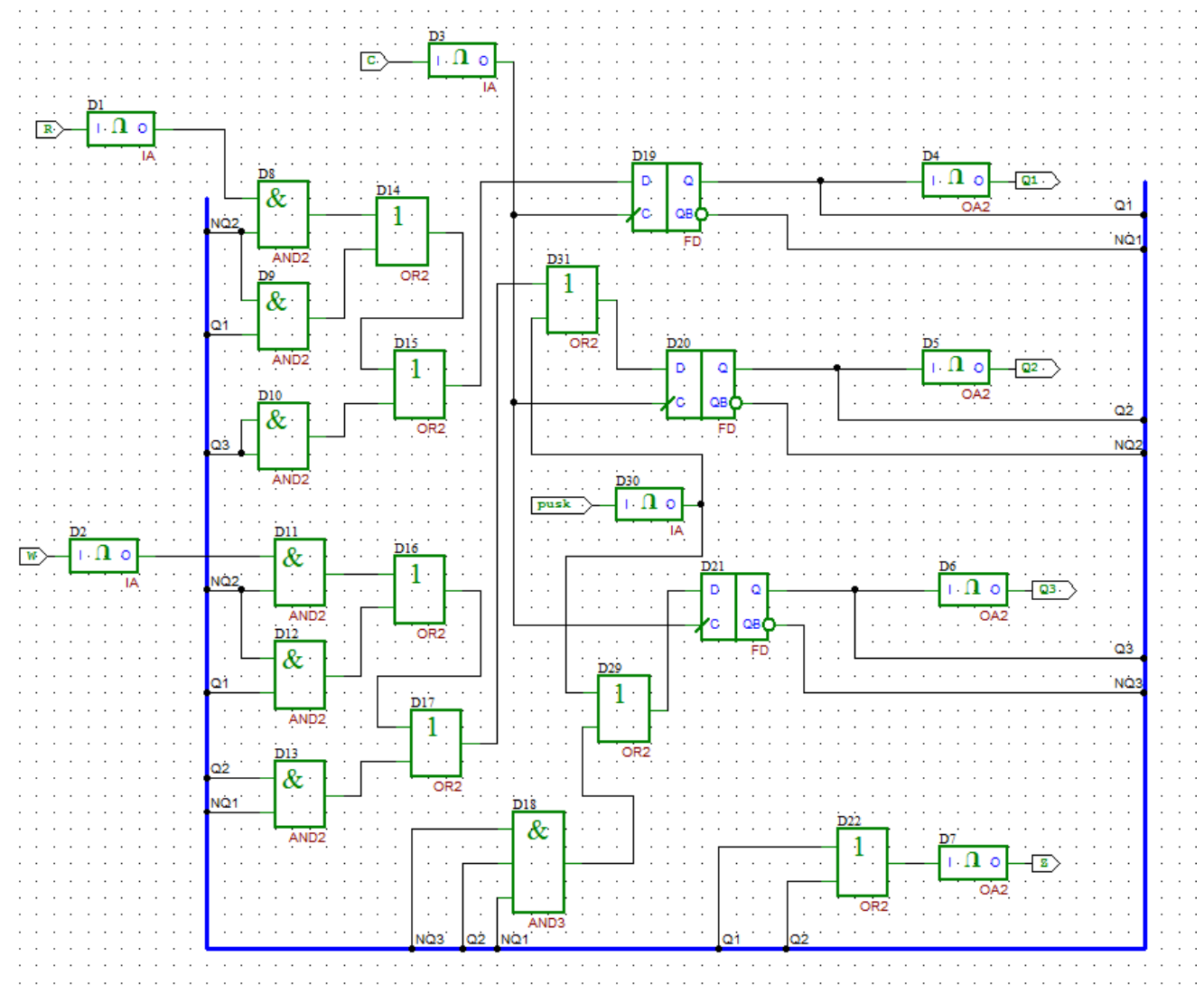


Рисунок 3.5 - Мінімізована схема пристрою інтерфейсної логіки

Для перевірки роботи схеми у відповідності з заданим алгоритмом розроблений тест, показаний на рис. 3.6.

Задані контрольні точки для виводу сигналів на часову діаграму показані на рис. 3.7. Для зручності контрольні точки об'єднанні у групи.

```

4      DEFAULT_TEST:
5      C = 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0;
6      Q1 = T;
7      Q2 = T;
8      Q3 = T;
9      pushk = 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0;
10     R = 0, 0, 1, 1, 1, 1, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 1, 1, 1, 1, 1, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0;
11     W = 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 1, 1, 1, 0, 0, 0, 0, 0, 0, 0;
12     z = T;
13
14
```

Рисунок 3.6 – Тест для перевірки роботи схеми

```
Группа1, Группа2, Группа3, Группа4,Группа5;  
Группа1: R, W, C, pusk;  
Группа2: Q1;  
Группа3: Q2;  
Группа4: Q3, Z;  
Группа5: Метка1 {D19(*)}B;
```

Рисунок 3.7 – Контрольні точки

Для отримання часових діаграм роботи пристрою була задіяна підсистема функціонально-логічного моделювання. Вказана підсистема дозволяє також оцінити стійкість проєкту при дії зовнішніх факторів, проаналізувати вплив топологічних параметрів на функціонування та стійкість проєкту.

Часова діаграма пристрою показана на рис. 3.8. Отримана часова діаграма підтвердила правильність функціонування пристрою.

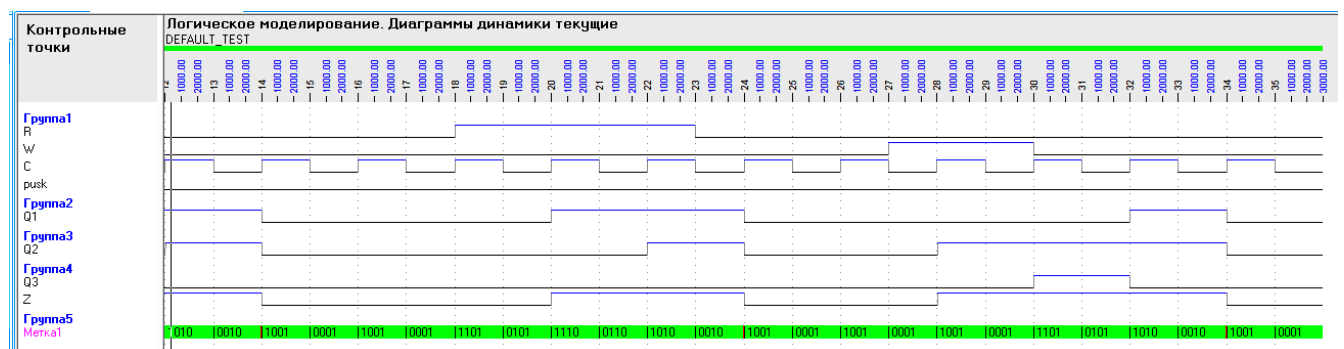


Рисунок 3.8 – Часова діаграма роботи пристрою

При розробці топології кристалу розміщення задіяних у проєкті елементів спочатку виконувалося ручним способом. Результат розміщення елементів показаний на рис. 3.9. Як видно з рисунку, периферійні комірки займають значно більшу площу порівняно з базовими.

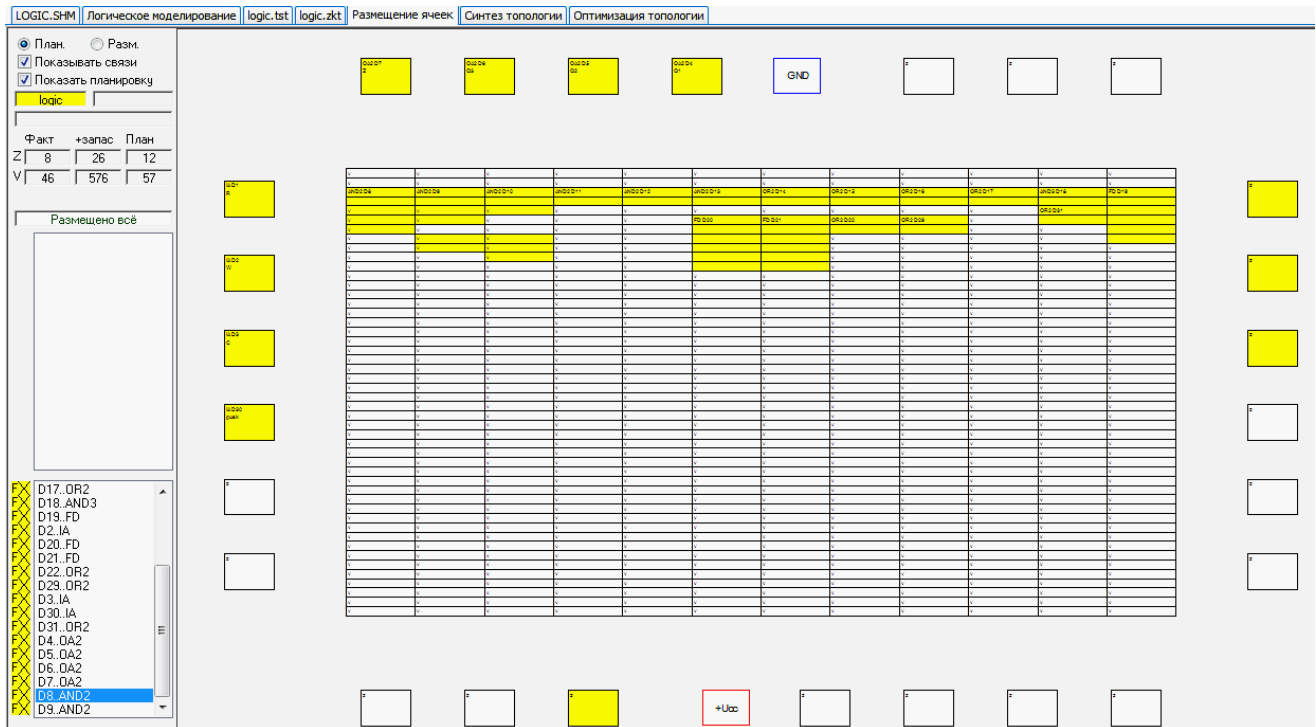


Рисунок 3.9 - Результат ручного розміщення задіяних комірок на комутаційному полі БМК

Розробка топології інтерфейсного пристрою виконувалась за допомогою підсистеми синтезу топології САПР з використанням функції «Нормальний синтез». Розроблена топологія показана на рис. 3.10.

Етапи синтезу топології включають:

- розведення ланцюгів підключення до шин «Земля» та «Живлення»;
- розведення ланцюгів заданої пріоритетної розводки (в проєкті таких ланцюгів немає);

- розведення ланцюгів з коефіцієнтом розгалуження, який більше або дорівнює значенню, вказаному у параметрах синтезу топології (у проєкті заданий мінімальний коефіцієнт розгалуження ланцюгів дорівнює 7);
- розведення всіх інших ланцюгів, починаючи з найкоротших.

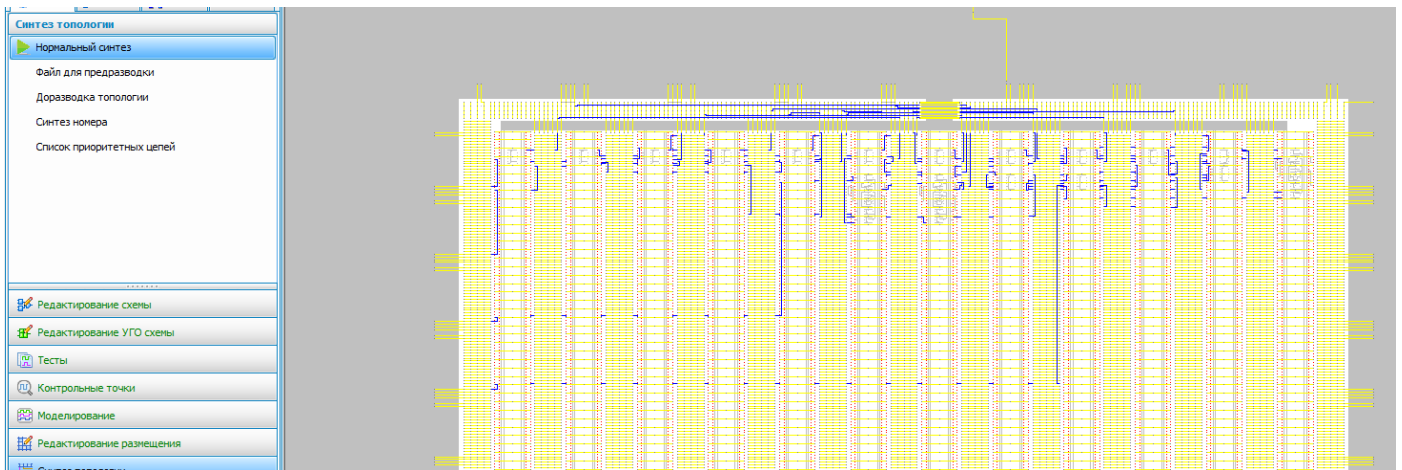


Рисунок 3.10 – Результат синтеза топологии

На наступному етапі виконується оптимізація топології. Підсистема оптимізації топології дублює шаром металу полікремнієві шини, використовувані в розводці топології, а також заповнює вільні місця поля БМК прохідними комірками. Дублювання металом збільшує кількість точок підключення полікремнієвих шин і зменшує опір зв'язків. Додавання прохідних комірок збільшує ємність між виводами землі і живлення мікросхеми, що підвищує її стійкість.

Оптимізація проєкту включає аналіз впливу топологічних затримок на функціонування ВІС, аналіз виконується з урахуванням розробленої топології. Вікно оптимізації топології показане на рис. 3.11.

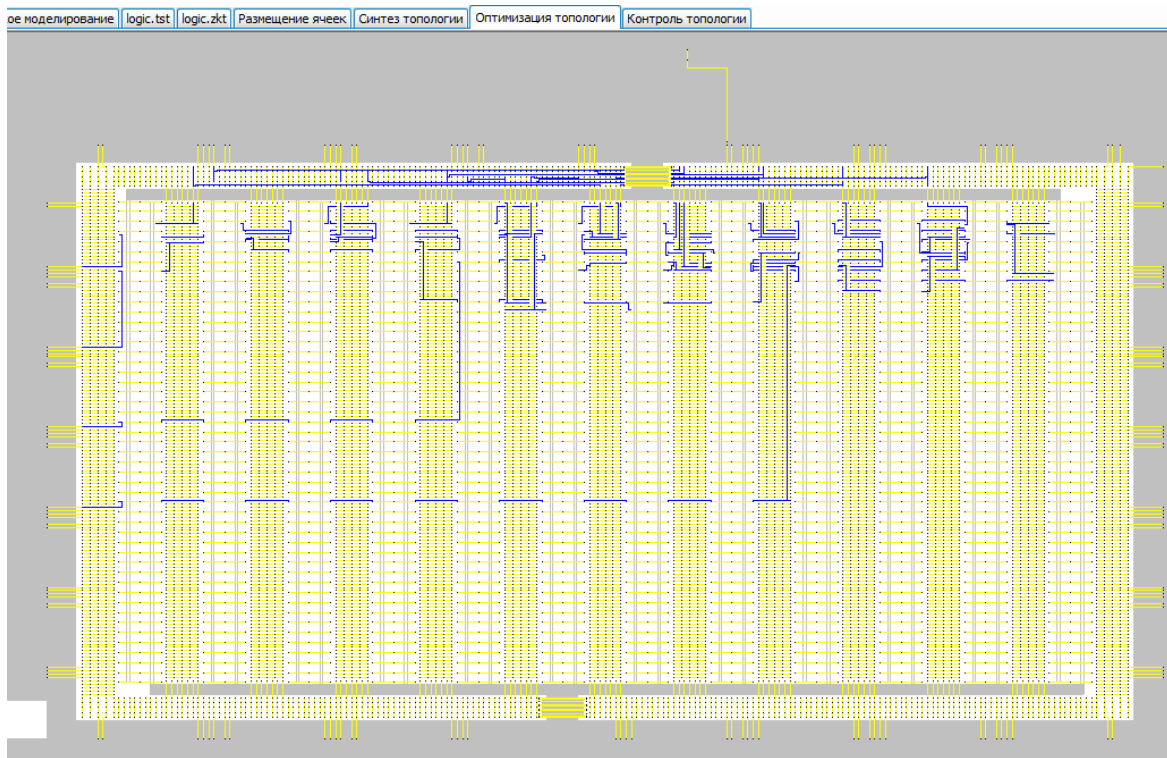


Рисунок 3.11 – Вікно оптимізації топології

Підсистема контролю (верифікації) топології, перевіряє виконання вимог правил проектування топології ВІС, а також здійснює перевірку відповідності отриманої топології ВІС її логічній схемі.

Етап контролю топології включає дії у наступній послідовності:

- формування моделі поля БМК Н5503ХМ1;
- контроль файлу з топологією;
- контроль прив'язки комірок;
- контроль потрапляння шин і вікон в заборонені зони;
- обробка контактних вікон;
- обробка файлу з розміщенням комірок;
- відновлення логічної схеми;
- виконання порівняння графів схем;
- скидання відновленої топології.

Вікно редактора контролю топології інтерфейсного пристрою, представлено на рис. 3.12.

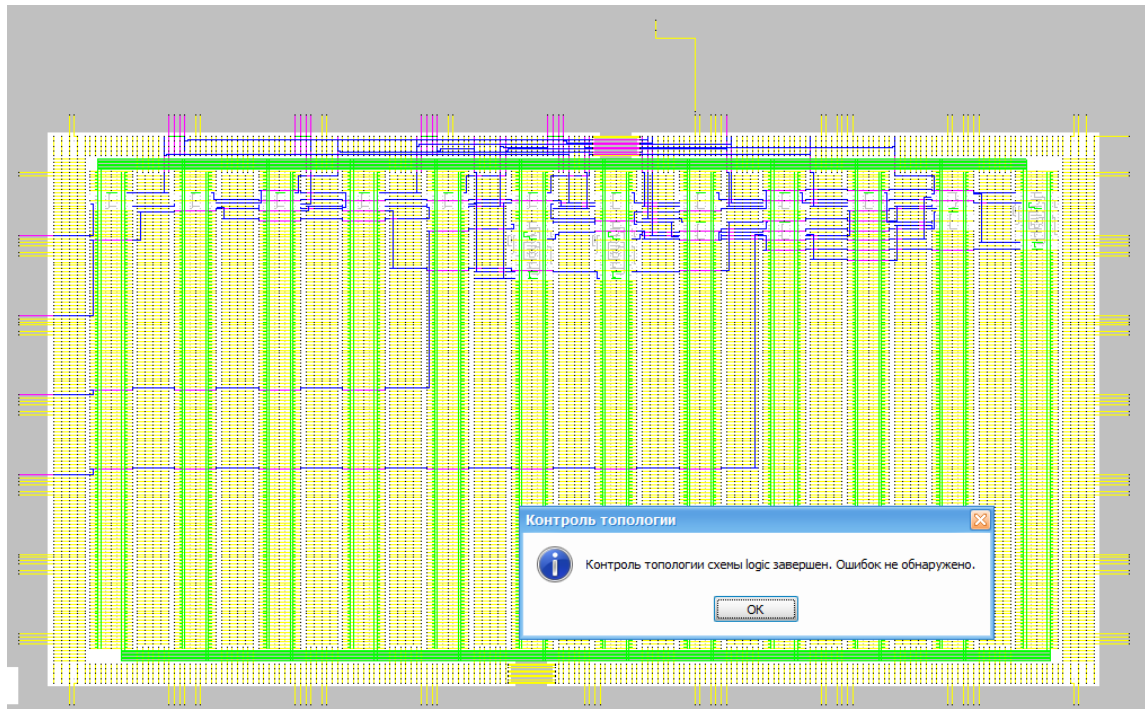


Рисунок 3.12 - Вікно редактора контролю топології інтерфейсного пристрою

Після контролю топології вступає у дію підсистема розрахунку затримок, яка забезпечує розрахунок затримок поширення сигналів в топології для оцінки впливу топології на працездатність ВІС.

У розробленому проєкті виконаний розрахунок затримок при переходах з "1" в "0" та з "0" в "1" у міжз'єднаннях, де затримка перевищує 2 нс. Питомий опір полікремнію при розрахунках був прийнятий максимальним: 60 Ом/квадрат.

Вікно підсистеми розрахунку затримок показане на рис. 3.13.

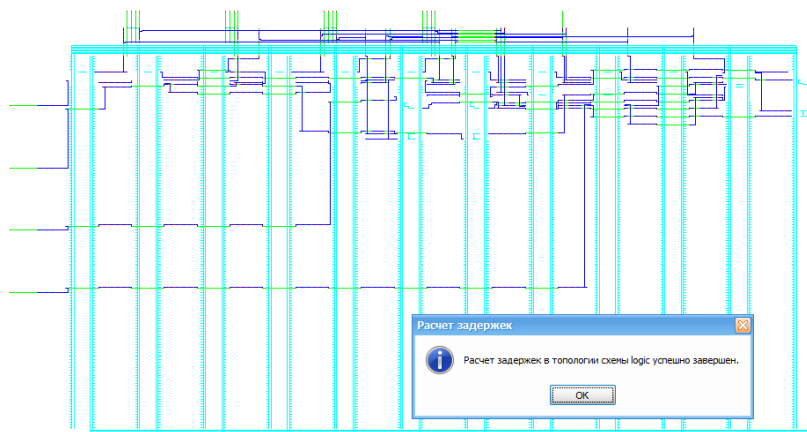


Рисунок 3.13 Вікно підсистеми розрахунку затримок

При необхідності топологія може бути скорегована засобами топологічного редактора. Зображення топології в редакторі топології, показане на рис. 3.14.

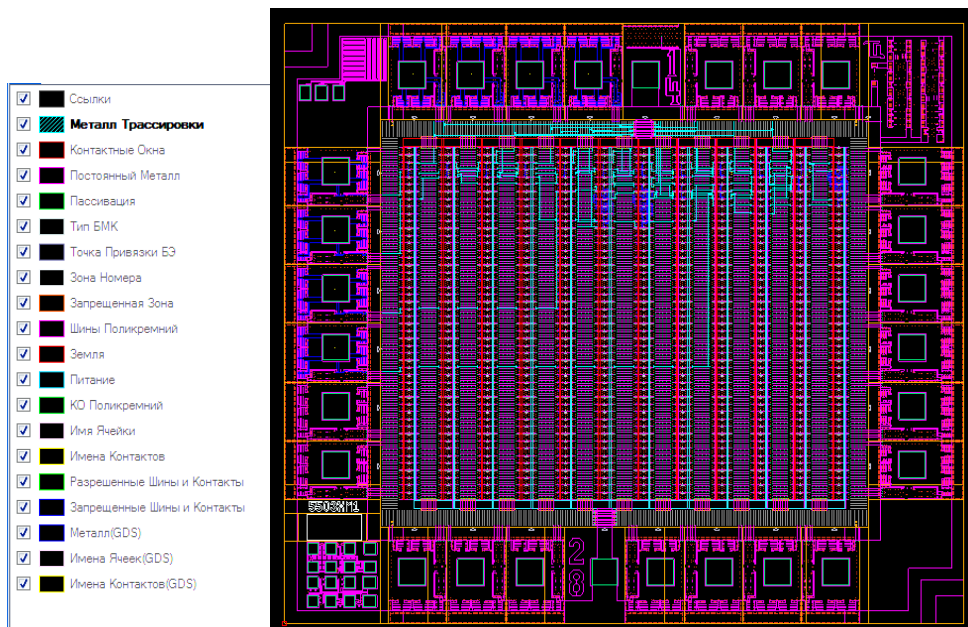


Рисунок 3.14 - Вікно редактора топології

ВИСНОВКИ

Представлена дипломна робота містить теоретичну частину з описом основ теорії цифрових автоматів, класифікацією і маршрутом проектування спеціалізованих НВІС, з особливостями структур базових матричних кристалів і структури САПР БМК «Ковчег».

В практичній частині розроблена методика мінімізації схем цифрових пристроїв на етапі синтезу їх структури. Модель пристрою являла собою цифровий автомат, діаграма станів якого складалася на основі алгоритмічного опису роботи пристрою. Процес мінімізації мав за мету зменшення кількості станів шляхом об'єднання еквівалентних станів.

Практична реалізація методики відбувалася на прикладі пристрою інтерфейсної логіки. З використанням методики вдалося зменшити кількість станів моделі пристрою на одиницю. Для синтезу немінімізованої і мінімізованої схем пристрою були отримані логічні рівняння.

Наступним етапом роботи була розробка проєктів пристроїв на основі немінімізованої і мінімізованої схем. Проєкти розроблялися у системі MAX+plus II на базі програмованих інтегральних мікросхем типу FPGA сім'ї FLEX 8000. Порівняльний аналіз вказаних проєктів показав безумовну перевагу проєкту на базі мінімізованої схеми як за швидкодією, так і за зайнятою площею кристала.

Проєкт на основі мінімізованої схем розроблявся також на базі базових матричних кристалів. Проєктування виявилось успішним з виконанням усіх етапів проєктування. На заключному етапі був розроблений кінцевий варіант топології інтерфейсного пристрою.

ПЕРЕЛІК ПОСИЛАНЬ

- 1 **Гаврилов, С. В.** САПР «Ковчег 3.0» для проектирования микросхем на БМК серий 5503, 5507, 5521 и 5529 [Текст] / С. В. Гаврилов, А. Н. Денисов, В. В. Коняхин, М. М. Макарецца. – М.: 2013. – 295 с.
- 2 **Денисов, А. Н.** Библиотека функциональных ячеек для проектирования полу заказных микросхем серий 5503 и 5507 [Текст] / Ю. П. Фомин, В.В. Коняхин, Р. А. Федоров. Под общ. ред. А. Н. Саурова. – М.: Техносфера, 2012. – 304 с.
- 3 **Степченков, Ю. А.** Библиотека элементов для проектирования самосинхронных полузаказных БМК микросхем серий 5503/5507 [Текст] / А. Н. Денисов, Ю. Г. Дьяченко, Ф. И. Гринфельд, О. П. Филимоненко, Н. В. Морозов, Д. Ю. Степченков. – М.: ИПИ РАН, 2014. – 296 с.
- 4 **Коледов, Л. А.** Технология и конструкции микросхем, микропроцессоров и микросборок. [Текст] / Л. А. Коледов. – СПб.: Лань, 2009. – 400 с.
- 5 **Богомолов Б. К.** САПР – Ковчег 2.2 [Текст] / – Н.: НГТУ, 2005. – 78 с.
- 6 **Красников, Г. Я.** Конструктивно–технологические особенности субмикронных МОП – транзисторов [Текст] / – М.: Техносфера, 2011. – 800 с.
- 7 **Ермака, В. В.** Проектирование специализированных КМОП БИС на основе БМК 5501ХМ2 [Текст] / Учеб. пособие / Под ред. В. В. Ермака. – М.: МГИЭТ (ТУ), 1996. – 180 с.
- 8 **Гаврилов, С.В.** Система автоматизированного проектирования —Ковчег 2.1. [Текст] / С. В. Гаврилов. – М.: Микрон–Принт, 2001. – 230 с.
- 9 **Денисов, А. Н.** Библиотека логических элементов 5501. [Текст] / А. Н. Денисов. – М.: Микрон–Принт, 2001. – 178 с.
- 10 **Богомолов, Б. К.** Введение в микросхемотехнику [Текст] / Б. К. Богомолов. – Н.: НГТУ, 2006. – 36 с.
- 11 **Богомолов, Б. К.** Проектирование и расчет электронных схем [Текст] / Б. К. Богомолов, Л. В. Фадеева, Л. Г. Зотов. Н.: НГТУ, 2002. – 160 с.
- 12 **Каретников, И. А.** Топология микросхем. Лабораторные работы № 1–4.

Методическое пособие [Текст] / И. А. Каретников. – М.: МЭИ, 2002. – 38 с.

13 **Рабай, Ж. М.** Цифровые интегральные схемы. Методология проектирования [Текст] / Ж. М. Рабай, А. Чандракасан, Б. Николич. – М.: ООО И.Д. Вильямс, 2007. – 912 с.

14 **Фрике, К.** Вводный курс цифровой электроники [Текст] / К. Фрике. – М.: Техносфера, 2003. – 432 с.

15 **Разевиг, В. Д.** Система проектирования цифровых устройств OrCAD [Текст] / В. Д. Разевиг. – М.: Солон-Р, 2000. – 160 с.

16 **Разевиг, В. Д.** Схемотехническое моделирование с помощью MICRO-CAP7 [Текст] / В. Д. Разевиг. – М.: Горячая линия – Телеком, 2003. – 368 с.

17 **Билибин, К. И.** Конструктивно – технологическое проектирование электронной аппаратуры [Текст] / К. И. Билибин, А. И. Власов, Л. В. Журавлева. Под общ. ред. В. А. Шахнова. – М.: МГТУ им. Н.Э Баумана, 2002. – 536 с.

18 **Немудров, В.** Системы на кристалле. Проектирование и развитие [Текст] / В. Немудров, Г. Мартин. – М.: Техносфера, 2004. – 216 с.

19 **Хопкрофт, Д.** Введение в теорию автоматов, языков и вычислений [Текст] / Д. Хопкрофт, Р. Мотвани, Д. Ульман. – М.: Издательский дом «Вильямс», 2002. – 528 с.