

ОПИС ФУНКЦИОНАЛЬНО-ЛОГИЧНИХ БЛОКІВ МОВАМИ ВИСОКОГО РІВНЯ НА БАЗІ САПР З ЕЛЕКТРОНІКИ

Проект розробки пристрою на основі базових матричних кристалів (БМК) обов'язково підлягає тестуванню на різних етапах проектування. Одним з найбільш ефективних способів підтвердження відповідності проекту заданим у технічних умовах вимогам є прототипування пристрою, що розробляється. Прототипування виконується на основі стандартних або спеціально розроблених плат з встановленими програмованими логічними інтегрованими схемами (ПЛІС). Вказане прототипування дозволяє якісно протестувати логіку роботи мікросхеми. На рисунку 1 показаний приклад обміну інформацією між САПР з електроніки, представленої у вигляді файлів, написаних на мовах високого рівня Verilog, System Verilog з розширеннями .v та .sv, а також описами схем на мові PSpice (netlist) [1].

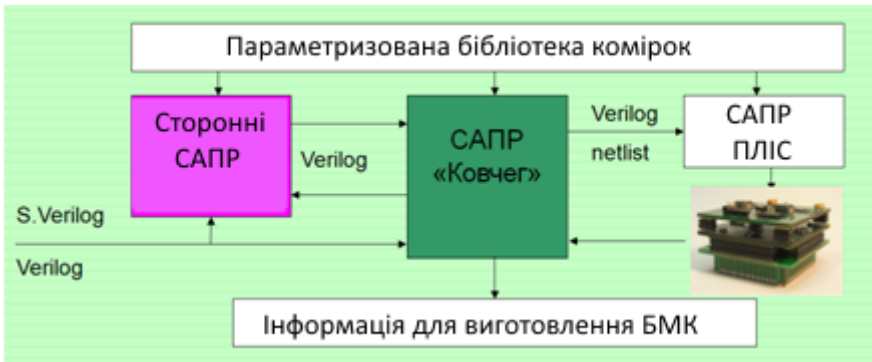


Рисунок 1 - Обмін інформацією між САПР з електроніки.

ПЛІС, які використовуються, для встановлення на плати, називаються імітаторами. Вимоги до імітаторів:

функціональна та параметрична еквівалентність мікросхеми, що розробляється у проекті;

конструктивна відповідність розташуванню виводів прототипів у вигляді ПЛІС.

Стандартний маршрут проектування цифрового пристрою на основі БМК представлений на рис. 2.

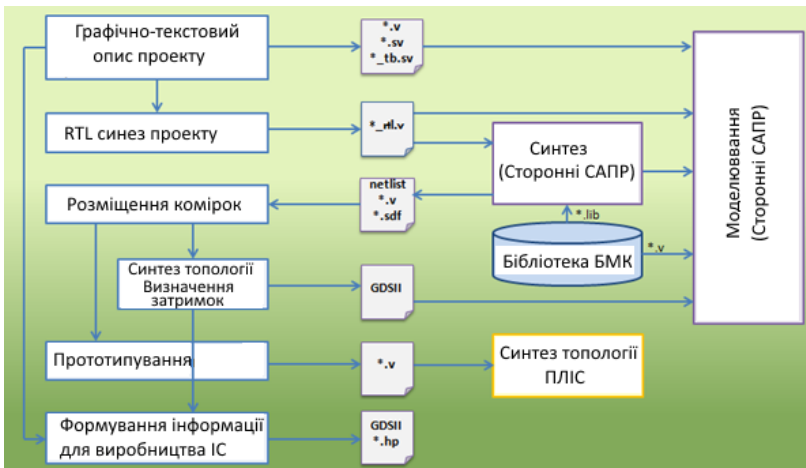


Рисунок 2- Маршрут проектування з використанням мов високого рівня.

Далі показаний приклад виконання декількох етапів проекту розробки пристрою на основі БМК в САПР "Ковчег" з автоматичною розробкою опису заданої схеми на мові Verilog.

Схема задається у графічному форматі (рис.3).

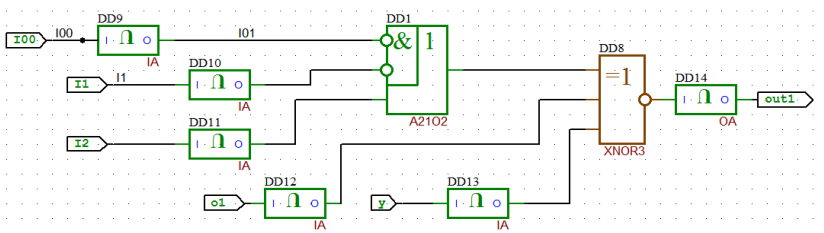


Рисунок 3 – Задана схемі на основі функціонально-логічних блоків.

Щоб виконати моделювання роботи схеми, необхідно задати контрольні точки, сигнали в яких будуть відображатися на часових діаграмах, а також розробити тести для перевірки логічної поведінки схеми.

Один зі способів представлення списку контрольних точок для даної схеми:

```

Группа1, ГРУППА2;
Группа1 :I1, I2, I00,y,o1;
Группа2 :out1;

```

Тести можуть бути розроблені проектувальником, або ж сформовані автоматично. Для перевірки роботи схеми тест був розроблений вручну.

```

DEFAULT_TEST:
I00 = 0, 1, 1, 1, 1, 0, 1;
I1 = 1, 0, 0, 1, 0, 1, 1;
I2 = 0, 0, 0, 1, 1, 0, 1;
o1 = 0, 1, 1, 0, 1, 1, 1;
out1 = T;
y = 0, 1, 1, 1, 0, 0, 1;

```

Часові діаграми, отримані в результаті аналізу за розробленими тестами, показані на рис.4.

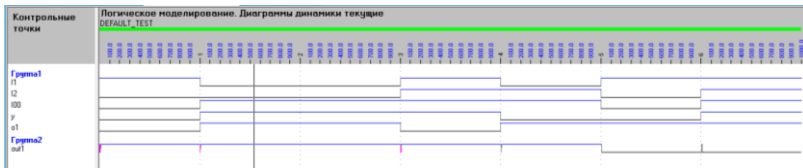


Рисунок 4 – Часові діаграми роботи пристрою.

Нижче приводиться програма на мові Verilog, отримана в проєкті. Вона описує топологію схеми з рисунку 3.

```

// Схема: COUNT
// Описание сформировано автоматически в САПР 'Ковчег'
// Дата: 18.04.2019 Время: 00:24:56
module COUNT (I00, I1, I2, o1, out1, y);
    input I00;
    input I1;
    input I2;
    input o1;
    output out1;
    input y;
    wire n_0000, n_0001, n_0002, n_0003, n_0004, n_0005, n_0006;
    A2IO2 DD1 (.I0(n_0001), .I1(n_0002), .I2(n_0003), .O(n_0000));
    XNOR3 DD8 (.I0(n_0000), .I1(n_0005), .I2(n_0004), .O(n_0006));
    IA DD9 (.I(I00), .O(n_0001));
    IA DD10 (.I(I1), .O(n_0002));
    IA DD11 (.I(I2), .O(n_0003));

```

```

IA DD12 (.I(o1), .O(n_0005));
IA DD13 (.I(y), .O(n_0004));
OA DD14 (.I(n_0006), .O(out1));
endmodule
module XNOR3 (I0, I1, I2, O);
input I0;
input I1;
input I2;
output O;
wire n_0000;
XOR2 D1 (.I0(I0), .I1(I1), .O(n_0000));
XNOR2 D2 (.I0(n_0000), .I1(I2), .O(O));
endmodule

```

При формуванні проекту пристрою на мові Verilog використовуються параметризовані бібліотеки опису елементів.

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. <http://www.asic.ru/>
2. **Денисов, А.Н.** Библиотека функциональных ячеек для проектирования полужаказных микросхем серий 5503 и 5507 [Текст] / А.Н. Денисов, Ю.П. Фомин, В.В. Коняхин, Р.А. Федоров / Под общ. ред. А.Н. Саурова - Москва: Техносфера, 2012. – 304 с.