

МІНІСТЕРСТВО ОСВІТИ І НАУКИ,
МОЛОДІ ТА СПОРТУ УКРАЇНИ
Запорізький національний технічний університет

Методичні вказівки

до виконання лабораторних робіт з дисципліни
«Цифрові пристрої та мікропроцесори»

для студентів спеціальностей 6.170101 та 6.170102
всіх форм навчання

Частина I

2012

Методичні вказівки до виконання лабораторних робіт з дисципліни «Цифрові пристрої та мікропроцесори» для студентів спеціальностей 6.170101 та 6.170102 всіх форм навчання. Частина I / Укл.; В.М.Журавльов, С.В.Морщавка, А.С. Сіренко –Запоріжжя: ЗНТУ, 2012.- 34с.

Укладачі: В.М.Журавльов, к.т.н., доцент
С.В.Морщавка, к.т.н., доцент
А.С. Сіренко, ст. викладач
Рецензент: С.М. Романенко, к.ф.-м.н, доцент

Відповідальний за випуск: В.В. Ковалевський

Затверджено
на засіданні кафедри
«Захист інформації»
протокол №4
від 24.10.2012

ЗМІСТ

1	ЛОГІЧНІ ЕЛЕМЕНТИ	4
2	ШИФРАТОРИ ТА ДЕШИФРАТОРИ	10
3	МУЛЬТИПЛЕКСОРИ ТА ДЕМУЛЬТИПЛЕКСОРИ	14
4	ТРИГЕРИ ЗІ СТАТИЧНИМ КЕРУВАННЯМ	17
5	ТРИГЕРИ З ДИНАМІЧНИМ КЕРУВАННЯМ	21
6	ЛІЧИЛЬНИКИ І ПОДІЛЬНИКИ ЧАСТОТИ	25
7	РЕГІСТРИ	30
	ПЕРЕЛІК ПОСИЛАНЬ	34

1 ЛОГІЧНІ ЕЛЕМЕНТИ

Лабораторна робота №1

Мета роботи: вивчити принцип роботи найпростіших логічних елементів.

1.1 Короткі теоретичні відомості

1.1.1 До найпростіших функцій, котрі можуть бути реалізовані за допомогою елементів з одним входом відносяться інверсія та повторення.

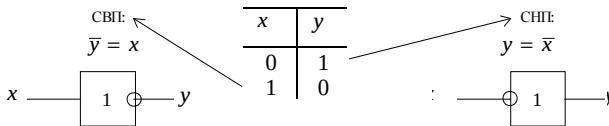


Рисунок 1.1 – Таблиця дійсності, функція й умовне графічне позначення інвертору

Умовне графічне позначення (УГП) у правій частині рисунка наведено для системи низьких потенціалів (СНП), а ліворуч для системи високих потенціалів (СВП). Система потенціалів для зображень логічних елементів показує принцип керування елементом. Якщо керівним рівнем вважається "0", то це система низьких потенціалів, а якщо "1"-то система високих потенціалів. Стан логічного елемента визначається інформацією на його виході, котра не залежить від системи потенціалів.

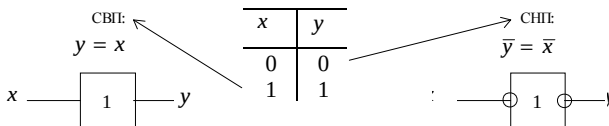


Рисунок 1.2 – Таблиця дійсності, функція та УГП повторення

1.1.2 Двовходові елементи поділяються (у відповідності до функції, що виконується, у СВП) на наступні.

1.1.2.1 Кон'юнктор – у СВП виконує функцію логічного «І».

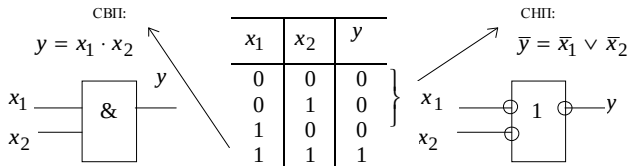


Рисунок 1.31 – Таблиця дійсності, функція та УГП кон'юнктора

1.1.2.2 Диз'юнктор – у СВП виконує функцію логічного “АБО”.

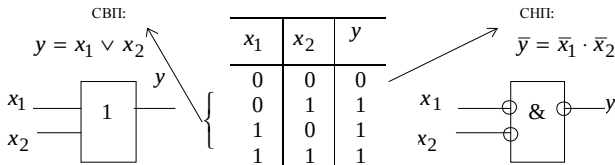


Рисунок 1.4 – Таблиця дійсності, функція та УГП диз'юнктора

Диз'юнкція нічого спільного з арифметичним додаванням не має, тому позначати її знаком “+” неприпустимо.

1.1.2.3 Елемент Шефера – у СВП виконує логічну функцію 2І-НІ.

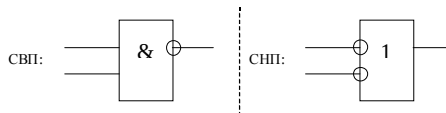


Рисунок 1.5 – УГП елементу Шефера

1.1.2.4 Елемент Пірса – у СВП виконує логічну функцію 2АБО-НІ.

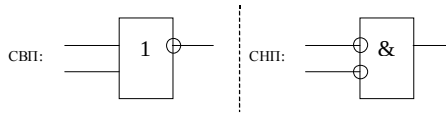


Рисунок 1.6 – УГП елементу Пірса

Елементи Пірса та Шефера є універсальними елементами – за їх допомогою можна реалізувати усі базові функції (інверсія, диз'юнкція, кон'юнкція), а отже і усі логічні пристрої.

1.1.2.5 Нееквівалентність – у СВП виконує логічну функцію, що виключає АБО.

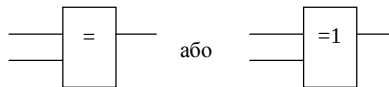


Рисунок 1.7 – УГП нееквівалентності

Система потенціалів для даного елемента не має значення, хоч подвійність все ж спостерігається.

1.1.2.6 Імплікація

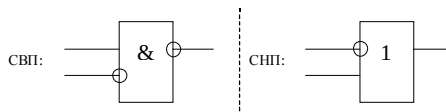


Рисунок 1.8 – УГП імплікації

1.1.2.7 Заборона

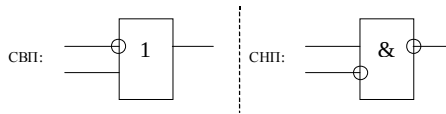


Рисунок 1.9 – УГП заборони

1.1.3 Серед елементів, що мають три й більше входів, найбільш цікавими є ті, котрі виконують функції перевірки на парність та мажоритарність.



Рисунок 1.10 – УГП мажоритарності та перевірки на парність

На виході елементу мажоритарності буде той логічний рівень, котрий присутній на більшості входів.

Одиниця на виході елементу перевірки на парність буде у випадку, коли кількість одиниць на входах парне або дорівнює нулю.

1.2 Виконання роботи

1.2.1 За допомогою Electronics Workbench дослідіть елементи, що реалізують базові функції алгебри логіки: інвертор, диз'юнктор, кон'юнктор. Використовуючи логічний конвертор доведіть, що функції для обох систем потенціалів дають одну й ту саму таблицю дійсності, а значить і реалізуються одним і тим же елементом.

1.2.2 За допомогою Electronics Workbench дослідіть елементи Шеффера та Пірса, що реалізують універсальні функції. Доведіть, що за допомогою кожного з них можна реалізувати будь-яку з базових функцій (можна використовувати декілька однотипних елементів).

1.2.3 Для наведеної таблиці дійсності (табл. 1.1, згідно з номером варіанту) побудуйте функцію, реалізуйте її за допомогою

двовходових елементів заданого типу (можна використовувати будь-яку кількість елементів, але тільки заданих типів). За допомогою Electronics Workbench переконайтеся, що таблиця дійсності отриманої схеми відповідає тій, що задана.

1.2.4 Додаткове завдання: мінімізуйте кількість елементів, що використовуються для реалізації заданої функції.

Таблиця 1.1 – Варіанти завдань

x ₁	x ₂	x ₃	У, згідно з номером варіанту																															
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30		
0	0	0	0	0	1	1	0	1	1	1	1	1	0	0	1	1	0	1	1	1	1	1	0	0	1	1	0	1	1	1	1	1		
0	0	1	0	0	1	1	1	1	1	0	1	1	0	0	1	1	1	1	1	0	1	1	0	0	1	1	1	1	1	1	0	1	1	
0	1	0	0	0	1	1	0	1	1	0	1	1	0	0	1	1	0	1	1	0	1	1	0	0	1	1	0	1	1	0	1	1	1	
0	1	1	1	1	1	1	0	1	1	0	1	1	1	1	1	1	0	1	1	0	1	1	1	1	1	1	1	0	1	1	0	1	1	
1	0	0	1	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	1	0	1	1	
1	0	1	1	0	0	1	0	1	1	0	0	1	1	0	0	1	0	1	0	1	1	0	0	1	1	0	0	1	0	1	1	0	0	1
1	1	0	1	0	0	1	0	0	0	0	0	1	1	0	0	1	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0	0	1	
1	1	1	1	0	1	1	0	0	1	0	0	0	1	0	1	1	0	0	1	0	0	0	1	0	1	1	0	0	1	0	0	0	0	
Елемент І, Елемент НІ			+	+	+	+	+	+	+	+	+	+	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
Ел-т Пірса (2АБО-НІ)			-	-	-	-	-	-	-	-	-	+	+	+	+	+	+	+	+	+	+	+	-	-	-	-	-	-	-	-	-	-	-	
Ел-т АБО, Елемент НІ			-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	+	+	+	+	+	+	+	+	+	+	+	

Примітка: "1" – високий рівень; "0" – низький рівень; "+" – можна використовувати; "-" – не використовувати.

1.3 Результати роботи

Звіт по виконаній роботі має містити у собі: титульна сторінка з назвою роботи; мета роботи; УГП, таблиці дійсності й функції та схеми досліджуваних у пунктах 1.2.1...1.2.3 елементів; розроблена згідно з пунктом 1.2.3 схема; висновки.

1.4 Контрольні запитання

1.4.1 Повторювач та інвертор. Таблиця дійсності, функції,

УГП, застосування.

1.4.2 Що таке кон'юнктор (таблиця дійсності, функції, УГП, застосування)?

1.4.3 Що таке диз'юнктор (таблиця дійсності, функції, УГП, застосування)?

1.4.4 Що таке елемент Шефера (таблиця дійсності, функції, УГП, застосування)?

1.4.5 Що таке елемент Пірса (таблиця дійсності, функції, УГП, застосування)?

1.4.6 Що таке нееквівалентність (таблиця дійсності, функції, УГП, застосування відповідного елемента)?

1.4.7 Що таке імплікація (таблиця дійсності, функції, УГП, застосування відповідного елемента)?

1.4.8 Що таке заборона (таблиця дійсності, функції, УГП, застосування відповідного елемента)?

1.4.9 Що таке мажоритарність (таблиця дійсності, функції, УГП, застосування відповідного елемента)?

1.4.10 Що таке парність (таблиця дійсності, функції, УГП, застосування відповідного елемента)?

2 ШИФРАТОРИ ТА ДЕШИФРАТОРИ

Лабораторна робота №2

Мета роботи: вивчити принцип роботи шифраторів та дешифраторів.

2.1 Короткі теоретичні відомості

2.1.1 Найбільш розповсюдженим двійковим кодом є бінарний, коли кожному розряду числа відповідає своя вага, що дорівнює 2^n , $n = 1, 2, \dots, N$.

2.1.2 Одним з найбільш простих двійкових кодів є позиційний код, для котрого один і тільки один розряд може дорівнювати "1", при цьому значення числа відповідає номеру цього розряду. Позиційні коди бувають прямими та інверсними.

2.1.3 Перетворювачі кодів у цифрових пристроях діляться на шифратори та дешифратори. Такий поділ часто умовний та використовується для того, щоб підкреслити ускладнюється чи спрощується код за допомогою перетворювача. Коли неможливо сказати, ускладнюється чи спрощується код, слід використовувати позначення – X/Y.

2.1.4 Шифратором (**CD**) називають перетворювач, що ускладнює код.

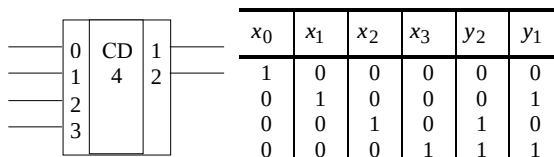


Рисунок 2.12 – Приклад шифратора (його УГП і таблиця дійсності)

2.1.5 Дешифратором (**DC**) зветься перетворювач, що спрощує код.

2.1.6 Дешифратори підрозділяються на повні та неповні (для неповних кількість вихідних комбінацій буде менше, ніж кількість вхідних комбінацій). Наприклад, мікросхема КР1533ИД6 має чотири

двійкових входу і тільки десять позиційних інверсних виходів. Неповні дешифратори діляться на мінімізовані та немінімізовані. Усі функції немінімізованих неповних дешифраторів включають у себе повний набір аргументів. При побудові мінімізованих дешифраторів усі аргументи, що не використовуються, відкидаються і тому при подачі на вхід позаштатної комбінації він відкликається, як на штатну.

			x ₈	x ₄	x ₂	x ₁	y ₀	y ₁	y ₂	y ₃	y ₄	y ₅	y ₆	y ₇	y ₈	y ₉
0	DC	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
2	10	1	0	0	0	1	1	0	1	1	1	1	1	1	1	1
4		2	0	0	1	0	1	1	0	1	1	1	1	1	1	1
8		3	0	0	1	0	1	1	0	1	1	1	1	1	1	1
		4	0	0	1	1	1	1	1	0	1	1	1	1	1	1
		5	0	1	0	0	1	1	1	1	0	1	1	1	1	1
		6	0	1	0	1	1	1	1	1	1	0	1	1	1	1
		7	0	1	1	0	1	1	1	1	1	1	0	1	1	1
		8	0	1	1	1	1	1	1	1	1	1	1	0	1	1
		9	1	0	0	0	1	1	1	1	1	1	1	1	0	1
			1	0	0	1	1	1	1	1	1	1	1	1	1	0

Рисунок 2.2 – Приклад дешифратора – мікросхема КР153ЗИД6 – її УГП і таблиця дійсності

2.2 Виконання роботи

2.2.1 Синтезуйте шифратор із позиційного коду у двійковий, для котрого кількість штатних комбінацій та тип вхідного коду беруться з Табл. 6, згідно з номером варіанту. Побудуйте таблицю дійсності, функції, мінімізуйте їх та реалізуйте за допомогою заданого типу елементів (можна використовувати будь-яку кількість елементів з будь-якою кількістю входів, але тільки заданих типів). За допомогою Electronics Workbench отримайте таблицю дійсності та переконайтеся, що отримана схема виконує свої функції.

2.2.2 Синтезуйте не мінімізований дешифратор, що виконує зворотне перетворювання по відношенню до шифратора, розробленого у п. 2.2.1. Побудуйте таблицю дійсності, запишіть функції для усіх виходів, мінімізуйте їх та реалізуйте за допомогою заданих елементів (можна використовувати будь-яку кількість з будь-якою кількістю входів). За допомогою Electronics Workbench отримайте таблицю дійсності та переконайтеся, що отримана схема виконує свої функції.

Таблиця 2.1 – Варіанти завдань

Параметри	Номери варіантів																													
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
Кільк.вхід. комбінацій	3	4	5	6	7	3	4	5	6	7	3	4	5	6	7	3	4	5	6	7	3	4	5	6	7	3	4	5	6	7
Вид вхід. коду:	і	і	і	і	і	п	п	п	п	п	і	і	і	і	і	п	п	п	п	п	і	і	і	і	і	п	п	п	п	п
Елемент І, елемент ІІ	+	+	+	+	+	+	+	+	+	+	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Ел-т Пірса (2АБО-ІІ)	-	-	-	-	-	-	-	-	-	-	+	+	+	+	+	+	+	+	+	+	-	-	-	-	-	-	-	-	-	-
Ел-т АБО, ел-т ІІ	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	+	+	+	+	+	+	+	+	+

Примітка: "і" – інверсний; "п"- прямий; "+" – можна використовувати; "-" – не використовувати.

2.3 Результати роботи

Звіт по виконаній роботі має включати у себе: титульна сторінка з назвою роботи; мета роботи; УГП шифратора і дешифратора, таблиці дійсності й функції для синтезованих у пунктах 2.2.1 та 2.2.2 схем, самі схеми; висновки.

2.4 Контрольні запитання

2.4.1 В чому полягають особливості позиційного коду? Які вагові коефіцієнти розрядів цього коду?

2.4.2 В чому полягають особливості двійкового коду? Які вагові коефіцієнти розрядів цього коду?

2.4.3 В чому полягають особливості двійково-десятькового коду? Які вагові коефіцієнти розрядів цього коду?

2.4.4 В чому полягають особливості та переваги використання коду Грея?

- 2.4.5 В чому полягають особливості коду семисегментного індикатора?
- 2.4.6 Чим відрізняються повні і неповні дешифратори?
- 2.4.7 Яка область застосування шифраторів та дешифраторів?
- 2.4.8 Яка область застосування дешифраторів?

3 МУЛЬТИПЛЕКСОРИ ТА ДЕМУЛЬТИПЛЕКСОРИ

Лабораторна робота №3

Мета роботи: вивчити принцип роботи мультиплексорів та демультимплексорів.

3.1 Короткі теоретичні відомості

3.1.1 Демультимплексор є комутатором цифрових сигналів, що має один інформаційний вхід та декілька виходів, що адресуються, та позначається – **DMX**. Приклад УГП та його таблиця дійсності наведені на Рис. 21.

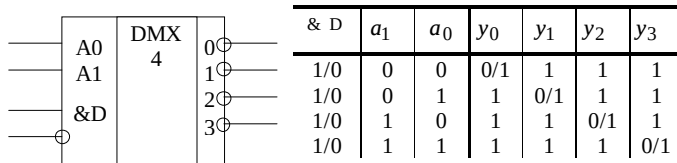


Рисунок 31 – Приклад демультимплексора (його УГП та таблиця дійсності)

3.1.2 У демультимплексорі для адресації використовується внутрішній дешифратор, що керується адресними входами. Вхід даних, як правило, виконують як кон'юнктивну умову (у наведеному на Рис. 21 випадку – умова $D_1 \wedge \overline{D_2}$).

3.1.3 Демультимплексор завжди можна побудувати на основі дешифратора з введенням по його виходах додаткових кон'юнктивних умов: $y_i \wedge D$. З іншого боку демультимплексор можна використовувати у якості дешифратора, подавши на входи D постійні рівні напруг, що потрібні для виконання умови.

3.1.4 Мультиплексор – це цифровий комутатор, що виконує функцію, зворотну до функції демультимплексування. Тобто він дозволяє комутувати один з декількох входів на єдиний вихід, згідно з адресною інформацією. УГП мультиплексора на вісім входів наведено на Рис. 22. Ще один різновид мультиплексорів – мультиплексори-селектори, що мають ще один вхід кон'юнктивної умови, що діє по виходу (Рис. 23).

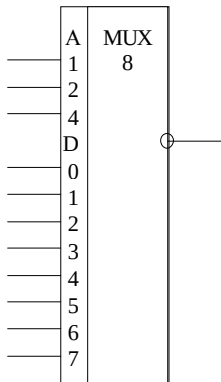


Рисунок 3.2 – Приклад
мультиплексора – мікросхема
K155КП5

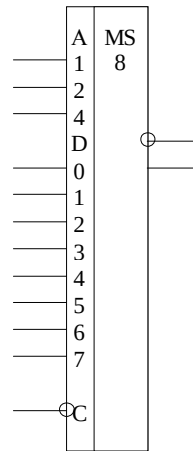


Рисунок 3.3 – Приклад мультиплексора-
селектора – мікросхема KP1533 КП7

3.2 Виконання роботи

3.2.1 Синтезуйте демультиплексор, для якого кількість інформаційних виходів та вид інформаційного входу коду беруться з Табл. 3.1, згідно з номером варіанту.

Таблиця 3.1 – Варіанти завдань

Параметри	Номери варіантів																													
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
Кількість виходів	3	4	5	6	7	3	4	5	6	7	3	4	5	6	7	3	4	5	6	7	3	4	5	6	7	3	4	5	6	7
Вид інф. входу:	і	і	і	і	і	п	п	п	п	п	і	і	і	і	і	п	п	п	п	і	і	і	і	і	і	п	п	п	п	п
Елемент І, ел-т НІ	+	+	+	+	+	+	+	+	+	+	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Ел-т Пірса (2АБО-НІ)	-	-	-	-	-	-	-	-	-	-	+	+	+	+	+	+	+	+	+	-	-	-	-	-	-	-	-	-	-	-
Ел-т АБО, ел-т НІ	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	+	+	+	+	+	+	+	+	+	+

Примітка: "і" – інверсний; "п"- прямий; "+" – можна використовувати; "-" – не використовувати.

Побудуйте таблицю дійсності, функції, мінімізуйте їх та реалізуйте за допомогою заданого типу елементів (можна використовувати будь-яку кількість багатовходових елементів, але тільки цих типів). За допомогою Electronics Workbench дослідіть отриману схему та переконайтеся, що вона виконує свої функції.

3.2.2 Синтезуйте мультиплексор, що має стільки ж інформаційних входів як демультиплексор (табл. 3.1) виходів і такий тип виходів, як тип входу цього демультиплексору. Побудуйте таблицю дійсності, записати функцію для виходу, мінімізувати її та реалізувати за допомогою заданого типу елементів (можна використовувати будь-яку кількість багатовходових елементів, але тільки заданих типів). За допомогою Electronics Workbench дослідіть отриману схему та переконайтеся, що вона виконує свої функції.

3.3 Результати роботи

Звіт по виконаній роботі має містити у собі: титульна сторінка з назвою роботи; мета роботи; УГП мультиплексору та демультиплексору, таблиці дійсності та функції для синтезованих у пунктах 3.2.1, 3.2.2 схем, самі схеми; висновки.

3.4 Контрольні запитання

3.4.1 Які бувають засоби комутації цифрових сигналів?

3.4.2 Що таке мультиплексом (його принцип роботи, УГП)?

3.4.3 Що таке мультиплексор – селектор (його принцип роботи, УГП)?

3.4.4 Що таке демультиплексор (його принцип роботи, УГП)?

3.4.5 Як можна побудувати дешифратор з використанням мікросхеми демультиплексора?

4 ТРИГЕРИ ЗІ СТАТИЧНИМ КЕРУВАННЯМ

Лабораторна робота №4

Мета роботи: вивчити принцип роботи статичних тригерів.

4.1 Короткі теоретичні відомості

4.1.1 Тригер – пристрій з двома рівноймовірними протилежними станами, кожний з яких може зберігатися нескінченно довго до надходження сигналу запису протилежного стану. Таким чином тригер – це керований елемент з пам'яттю.

4.1.2 Найпростіший тригер (Рис. 4.1) являє собою елемент, охоплений позитивним зворотнім зв'язком. Однак в такому тригері має місце енергетичний конфлікт при перемиканні його з одного стану в інше (для ТТЛ або ТТЛШ ІС цей конфлікт може викликати вихід з ладу мікросхеми).

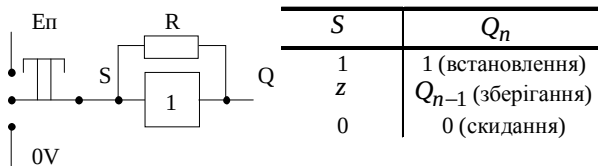


Рисунок 4.1 – Найпростіший тригер і його таблиця станів

4.1.3 RS – тригер (Рис. 4.2) не має конфліктів при управлінні, але при подачі на обидва входи "1" виникає стан суперечливого запису, який не зберігається при знятті обох "1".

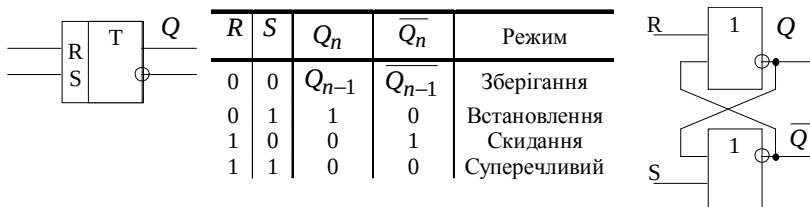


Рисунок 4.2 – RS – тригер. Побудова на елементах Пірса

На елементах Шефера такий тригер будується аналогічно, але

потрібно використати систему низьких потенціалів, оскільки за допомогою кон'юнкції тригер не можна реалізувати.

4.1.4 Часто використовуються RS – тригери з диз'юнктивно або кон'юнктивно розширеним керуванням по кожному із входів.

4.1.5 Синхронний RS – тригер будується за допомогою кон'юнктивного розширення обох входів управління (Рис. 4.3). Рівень сигналу на виході такого тригера може мінятися тільки тоді, коли на вході С буде "1"-сигнал стробування.

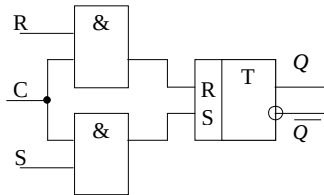


Рисунок 4.3 – Побудова RSC – тригера.

4.1.6 Комбіновані тригери мають як синхронне керування, так і асинхронне водночас.

4.1.7 D – тригери (Рис. 4.4) несинхронними не бувають. Вони дозволяють використовувати тільки один інформаційний сигнал D для керування станом тригера. Керування може здійснюватися тільки за наявності "1" на тактовому вході С. При "0" на тактовому вході тригер зберігає інформацію. D-тригери також можуть бути комбінованими

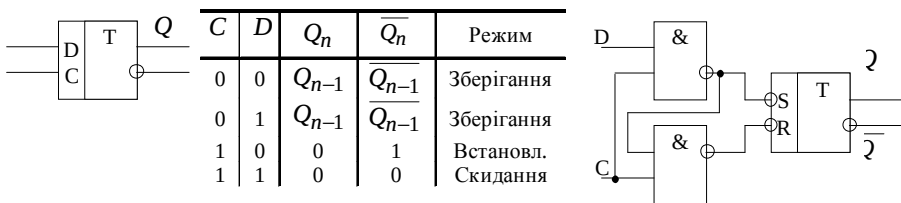


Рисунок 4.4 – Побудова D-тригера.

4.1.8 Таким чином кожний тригер являє собою елементарний елемент пам'яті, що дозволяє зберігати 1 біт інформації.

4.2 Виконання роботи

Намалюйте УГП тригера, що має входи керування, згідно з варіантом по табл. 4.1. Побудуйте таблицю станів, реалізуйте за допомогою будь-якого типу базових або універсальних елементів (можна використати будь-яку кількість елементів з будь-якою кількістю входів). За допомогою Electronics Workbench переконайтеся, що отримана схема виконує свої функції. Дослідження краще всього проводити, якщо на входи подавати “1” та “0” за допомогою перемикачів, а з виходу отриманої схеми подати сигнали до логічного аналізатора.

Таблиця 4.11 – Варіанти завдань

Параметр и	Номери варіантів																													
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
Вхід R	п	п	п	і	і	і	-	-	-	п	п	п	і	і	і	-	-	-	п	п	і	і	п	п	і	і	п	п	і	і
Вхід S	п	і	-	п	і	-	п	і	-	п	і	-	п	і	-	п	і	-	п	і	п	і	п	і	п	і	п	і	п	і
Вхід С	п	п	п	п	п	п	п	п	п	і	і	і	і	і	і	і	і	і	і	п	п	п	п	і	і	і	і	-	-	-
Вхід D	п	п	п	п	п	п	п	п	п	п	п	п	п	п	п	п	п	-	-	-	-	-	-	-	-	-	-	-	-	-

Примітка: тут R – вхід скидання; S – вхід встановлення; С – вхід синхронізації; D – інформаційний вхід; “і” – інверсний, “п” – прямий, “-” – відсутній.

4.3 Результати роботи

Звіт по виконаній роботі має включати у себе : титульна сторінка із назвою роботи; УГП розроблюваного тригера, таблиця станів, синтезована у підрозділі 4.2 схема; висновки.

4.4 Контрольні запитання

4.4.1 Що таке найпростіший тригер (його УГП, побудова, таблиця станів)?

4.4.2 Що таке RS-тригер (його УГП, побудова, таблиця станів)?

4.4.3 Що таке RS-тригер з диз’юнктивно розширеним керуванням (його УГП, побудова, таблиця станів)?

4.4.4 Що таке RS-тригер з кон'юнктивно розширеним керуванням (його УГП, побудова, таблиця станів)?

4.4.5 Що таке синхронний RSC-тригер (його УГП, побудова, таблиця станів)?

4.4.6 Що таке тригери з комбінованим керуванням?

4.4.7 Що таке D-тригер (його УГП, побудова, таблиця станів)?

4.4.8 Що таке синхронний DC – тригер (його УГП, побудова, таблиця станів)?

5 ТРИГЕРИ З ДИНАМІЧНИМ КЕРУВАННЯМ

Лабораторна робота №5

Мета роботи: вивчити принцип роботи динамічних тригерів.

5.1 Короткі теоретичні відомості

5.1.1 Дуже часто потрібно здійснювати керування тригером не під час якогось процесу (визначається постійним або статичним рівнем синхросигналу), а в якийсь конкретний момент часу (визначається переходом рівня синхросигналу $0 \rightarrow 1$ або $1 \rightarrow 0$). Прийнято називати входи і виходи мікросхем для яких важливий перехід рівня сигналу $0 \rightarrow 1$ – прямими динамічними, а для $1 \rightarrow 0$ – інверсними динамічними.

5.1.2 Простий динамічний тригер (рис. 5.1) являє собою поєднання двох статичних тригерів, яке виконано таким чином, щоб інформація проходила через динамічний тригер у два етапи. За наявності "1" на вході С, перший статичний тригер, зображений на рис. 5.1, передає інформацію зі свого входу на вхід іншого тригера, який при цьому знаходиться у стані зберігання. При зміні сигналу на вході С на протилежний, ситуація змінюється, і в режимі зберігання буде вже перший тригер, а другий буде "прозорим". Таким чином інформація з входу динамічного тригера на його вихід поступає при зміні рівня сигналу.

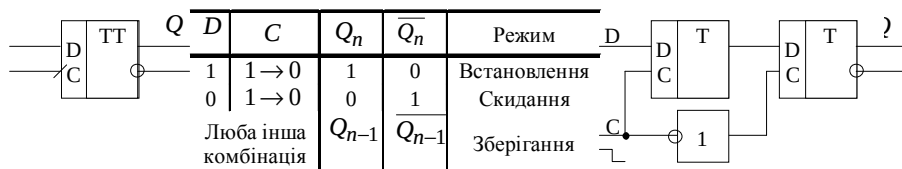


Рисунок 5.1 – Динамічний тригер з інверсним динамічним входом, його таблиця станів і принцип побудови

При побудові динамічних тригерів потрібно враховувати кінцевий час спрацювання інвертору й будувати його так, щоб не

з'явилося "вікно прозорості" (Рис. 5.2).

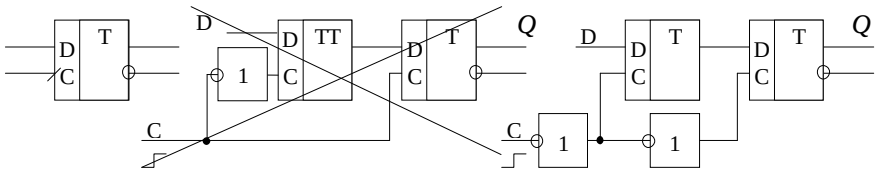


Рисунок 4 – Приклад можливої помилки при побудові динамічного тригера

5.1.3 Динамічний RSC – тригер (Рис. 5.3) відрізняється від звичайного динамічного тригера тим, що він має різні шляхи для передачі "1" і "0". При його побудові необхідно приділити увагу з'єднанню першого рівня з другим, щоб не отримати інверсну інформацію на виході.

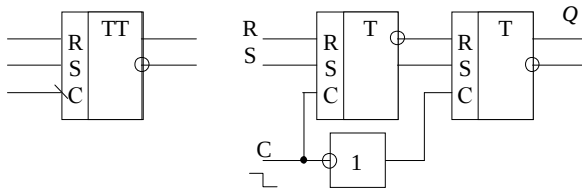


Рисунок 5.3 – Побудова динамічного RSC – тригеру

5.1.4 Одним з різновидів динамічних тригерів, що найчастіше використовується, є лічильні тригери. Причому лічильні тригери бувають тільки динамічними. Лічильний тригер перемикається з одного стану в протилежне по кожному синхросигналу. Лічильний тригер може бути побудований як на основі RS, так і D динамічних тригерів (див. Рис. 5.4). Лічильні тригери є основою для побудови асинхронних лічильників.

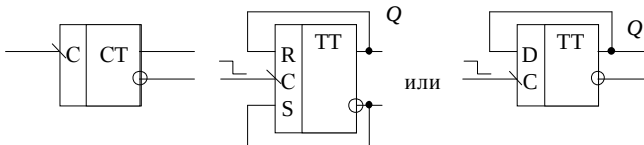


Рисунок 5.4 – Побудова лічильного тригеру

5.1.5 Для побудови синхронних лічильників широко застосовуються JK – тригери. Це лічильний тригер у який введено додаткові умови дозволу перемикавання (Рис. 5.5): J – дозвіл перемикавання $0 \rightarrow 1$; K – дозвіл перемикавання $1 \rightarrow 0$.

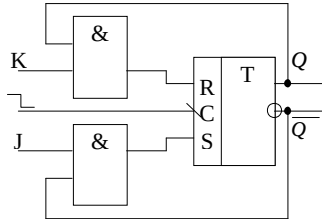


Рисунок 5.5 – Побудова RSC – тригеру

5.1.6 Існують також лічильні E – тригери, які відрізняються від JK – тригерів тим, що сигнал дозволу E дозволяє перемикавання як, $0 \rightarrow 1$ так і $1 \rightarrow 0$ водночас.

5.2 Виконання роботи

Намалюйте УГП тригера, що має входи керування, згідно з варіантом по Табл. 13. Побудуйте таблицю станів, реалізуйте за допомогою будь-якого типу базових або універсальних елементів (можна використати будь-яку кількість елементів з будь-якою кількістю входів). За допомогою Electronics Workbench переконайтеся, що отримана схема виконує свої функції. Дослідження краще всього проводити, якщо на входи подавати “1” та “0” за допомогою перемикачів, а з виходу отриманої схеми подати сигнали до логічного аналізатора.

Таблиця 5.1 – Варіанти завдань.

Параметри	Номери варіантів																														
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	
Вхід R (асинхр.)	п	п	п	п	і	і	і	і	і	п	п	п	і	і	і	і	п	п	п	і	і	і	і	і	і	п	п	-	і	і	-
Вхід С	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф
Входи R і S (синхронні)	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	п	п	п	п	п	п	п	п	п	-	-	-	-	-	-

[illegible]

Примітка: тут R – вхід скидання; S – вхід скидання; Z – вхід синхронізації; D – інформаційний вхід; J і K – входи дозволу переходів $0 \rightarrow 1$ і $1 \rightarrow 0$, відповідно; "i" – інверсний, "p"- прямий, "-" – відсутній, "f" – прямий динамічний, "c"- інверсний динамічний.

5.3 Результати роботи

Звіт по виконаній роботі має включати у себе : титульна сторінка з назвою роботи; мета роботи; УГП триггеру, що розробляється, таблиця станів, синтезована у підрозділі 5.2 схема; висновки.

5.4 Контрольні запитання

5.4.1 Що таке динамічний тригер (його УГП, побудова, таблиця станів)?

5.4.2 Як реалізовано синхронне та асинхронне керування у динамічних тригерах?

5.4.3 Що таке динамічний RS-тригер (його УГП, побудова, таблиця станів)?

5.4.4 Що таке лічильні тригери (їх УГП, побудова, таблиця станів)?

5.4.5 Що таке JK-лічильні тригери (УГП, побудова, таблиця станів)?

6 ЛІЧИЛЬНИКИ І ПОДІЛЬНИКИ ЧАСТОТИ

Лабораторна робота №6

Мета роботи: вивчити принцип роботи лічильників і подільників частоти.

6.1 Короткі теоретичні відомості

6.1.1 Лічильники – це автомати, що реєструють кількість періодів вхідного сигналу. Елементна база для побудови лічильників: JK, E – лічильні та динамічні D – тригери. Побудова лічильників на базі статичних тригерів неможлива.

6.1.2 Схема, УГП і часові діаграми роботи найпростішого лічильника показано на Рис. 6.1. Такий лічильник являє собою поєднання двох (декількох) лічильних тригерів, сполучених послідовно.

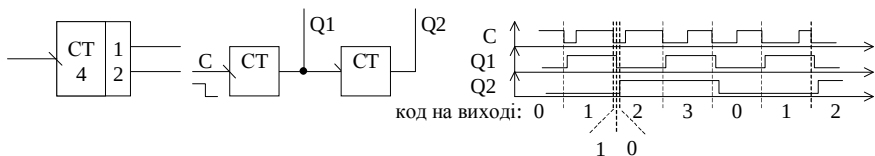


Рисунок 6.1 – Найпростіший асинхронний лічильник

6.1.3 З іншого боку, з часових діаграм на Рис. 6.1 видно, що частота меандру на виході Q_1 у два, а на Q_2 в чотири рази менше, ніж на вході C . Таким чином, такий лічильник може виконувати функції подільника частоти на два або на чотири. У цьому випадку в основному полі УГП потрібно вказати позначення подільника частоти ("div"), а для виводів указати відповідні коефіцієнти поділу. Ще однією корисною властивістю лічильників, є здатність формування напруги вигляду меандр зі сигналу зі скважністю, що змінюється (див. Рис. 6.1).

6.1.4 Однак, вказаний вище лічильник, буде асинхронним, оскільки через затримки поширення сигналу, властиві реальним логічним елементам, перший і другий лічильники будуть

перемикатися не одночасно, а один за одним. Істотним недоліком асинхронних лічильників є помилкові стани на виході, які виникають через затримки поширення сигналів, що нагромаджуються. Так, з часових діаграм на Рис. 34 видно, що, наприклад, після стану на виходах "1" короткочасно виникає стан "0", і тільки після цього "2". При створенні лічильників на більшу кількість станів ситуація буде погіршуватися. Тому областю застосування таких лічильників є лічильні схеми з низькою швидкістю роботи або з малою кількістю розрядів.

6.1.5 Для усунення вказаних вище недоліків слід застосовувати синхронні лічильники, які будуються на основі лічильних тригерів з дозволом рахунку (JK, E). Приклад побудови такого лічильника наведено на Рис. 6.2. Вхідний сигнал "Е" і вихідний "CR" використовуються для квазісинхронного каскадування.

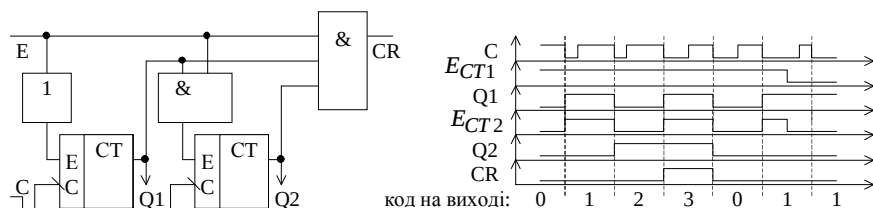


Рисунок 6.2 – Приклад побудови синхронного лічильника

6.1.6 Лічильники бувають прямого рахунку (стани на виході міняються як $\dots \rightarrow 0 \rightarrow 1 \rightarrow 2 \rightarrow \dots$), зворотного рахунку ($\dots \rightarrow 2 \rightarrow 1 \rightarrow 0 \rightarrow \dots$) і реверсивні (напрямок рахунку обирається за допомогою відповідних входів). Також деякі лічильники дозволяють здійснювати попередню установку. При цьому рахунок починається з деякого початкового значення, що задається. Приклад реверсивного лічильника на десять станів з попередньою установкою наведено на Рис. 6.3.

6.1.7 Часто буває, що з мікросхеми лічильника на велику кількість станів треба зробити лічильник на меншу кількість станів. Так, наприклад, з мікросхеми КР1533ІЕ5 можна зробити лічильник на три стани, подавши асинхронне скидання, як це показано на мал. Рис. 6.4. У такій схемі при виникненні стану "3" на виході вмиє

станеться скидання. Таким чином, буде можливим тільки три стійких стани "0", "1" і "2". Однак такий лічильник буде вже асинхронним, оскільки нестійкий стан "3" все ж виникає і стан "0" з'являється не синхронно з сигналом тактування.



Рисунок 6.3 – УГП і призначення виводів KP1533IE6

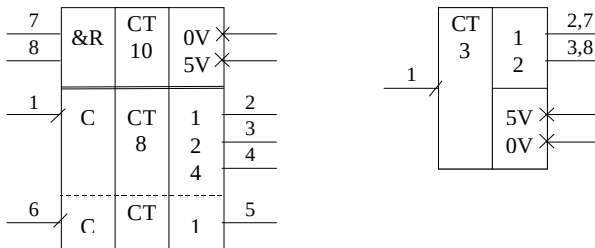


Рисунок 6.4 – Побудова синхронного лічильника на три стани

6.1.8 Для побудови синхронних лічильників/подільників на кількість станів, не рівну ступеню двійки, необхідно використати JK-тригери з формуванням дозволів перемикавання, що обмежує кількість станів. Приклад побудови синхронного лічильника на три стани з допомогою KP1533TB6 наведено на Рис. 6.5.

6.2 Виконання роботи

Намалюйте УГП лічильника (подільника частоти), що має кількість станів (коефіцієнт ділення) і входи керування, згідно з варіантом по Табл. 6.1. Побудуйте таблицю станів такого лічильника (подільника частоти), реалізуйте за допомогою динамічних лічильних JK-тригерів або Е-тригерів з асинхронним скиданням. За допомогою Electronics Workbench переконайтеся, що отримана схема виконує свої функції. Дослідження краще всього проводити, якщо на входи подавати "1" та "0" за допомогою перемикачів, а з виходу отриманої схеми подати сигнали до логічного аналізатора. На лічильний вхід схеми потрібно подати цифровий сигнал від генератора імпульсів.

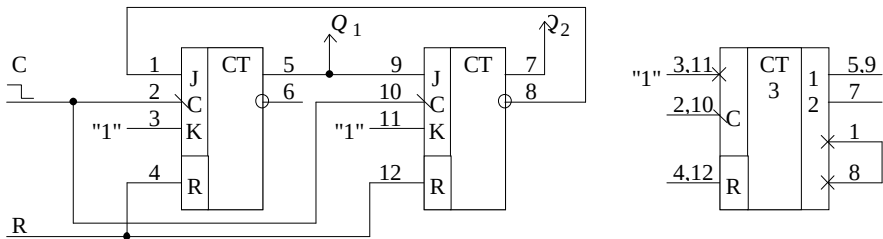


Рисунок 6.5 – Побудова синхронного лічильника на три стани на КР1533ТВ6

Таблиця 6.1 – Варіанти завдань

Параметри	Номери варіантів																													
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
Тип	Синхронний лічильник										Асинхронний лічильник										Подільник частоти									
Вхід С	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с	ф	с
Кількість станів	4	8	16	32	4	8	16	32	4	8	3	4	5	6	7	3	4	5	6	7	3	4	5	6	7	3	4	5	6	7
Вхід R (асинхр.)	п	п	п	і	і	і	п	п	п	і	і	і	п	п	п	і	і	і	п	п	п	і	і	і	п	п	п	і	і	і

Примітка: тут R – вхід скидання; С – вхід імпульсів рахунку; "і" – інверсний, "п"- прямий, "-" – відсутній, "ф" – прямий динамічний, "с"- інверсний динамічний.

6.3 Результати роботи

Звіт по виконаній роботі має включати у себе: титульна сторінка із назвою роботи; мета роботи; УГП лічильника, що розроблявся, таблиця станів, синтезована у підрозділі 6.2, схема висновки.

6.4 Контрольні запитання

6.4.1 У чому полягає принцип роботи асинхронного лічильника? Навести приклад такого лічильника.

6.4.2 У чому полягає принцип роботи синхронного лічильника?

6.4.3 Порівняльна характеристика синхронних і асинхронних лічильників.

6.4.4 Що таке лічильні тригери (їх УГП, побудова, таблиця станів)?

6.4.5 Що таке подільники частоти? Як вони будуються?

6.4.6 Як будуються синхронні лічильники?

6.4.7 Як будуються асинхронні лічильники?.

7 РЕГІСТРИ

Лабораторна робота №7

Мета роботи: вивчити принцип роботи паралельних та регістрів зі зсувом.

7.1 Короткі теоретичні відомості

7.1.1 Дуже часто потрібно не просто формувати задані сигнали або обробляти інформацію, а зберігати інформацію деякий час. Найпростішими запам'ятовуючими пристроями є регістри, які призначені для зберігання малих обсягів інформації і тому володіють максимальною швидкістю. Елементарним регістром, що дозволяє зберігати один біт інформації, є D-тригер.

7.1.2 Регістри за способом запису інформації діляться на паралельні, послідовні і універсальні (паралельно-послідовні). При паралельній передачі всі розряди передаються одночасно по декількох лініях, а при послідовній – по одній інформаційній лінії послідовно.

7.1.3 Простий паралельний регістр містить декілька динамічних тригерів, у яких поєднано входи синхронізації (Рис. 7.1). У основному полі УГП таких тригерів вказується кількість інформації, що зберігається, яка дорівнює кількості тригерів.

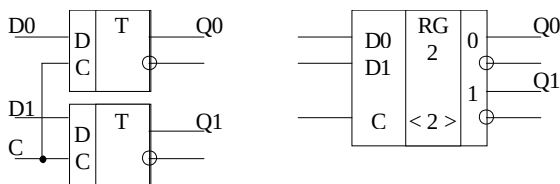


Рисунок 7.1 – Принцип побудови регістрів (1/2 КР1533ТМ7)

7.1.4 Тригери, що входять до складу паралельного регістру, можуть бути як статичними, так і динамічними (Рис. 7.2). Також вони можуть мати входи асинхронного скидання, які при побудові регістра також об'єднуються. Іноді регістри будуються з виходами на 3 стани ("1", "0", стан високого імпедансу). При цьому у таких регістрів (Рис. 7.2) з'являється вхід керування цим станом (наприклад, у КР1533ІР22

виходи регістру підключено до відповідних виходів внутрішніх тригерів тільки при подачі "0" на вхід, $\overline{RD}$ в іншому випадку можна вважати, що виходи регістра нікуди не підключені).

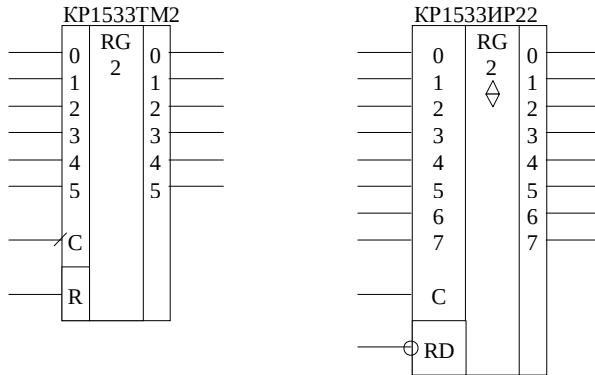


Рисунок 7.2 – Приклади паралельних регістрів

7.1.5 Регістри зі зсувом застосовуються для перетворення інформації з послідовного вигляду в паралельний вигляд і навпаки. Регістри зі зсувом отримуються послідовним, з точки зору передачі інформації, з'єднанням динамічних D – тригерів (Рис. 7.3). Обсяг інформації, що зберігається, дорівнює кількості тригерів, що використовуються. При надходженні синхроімпульсів інформація зсувається на один тригер (розряд).

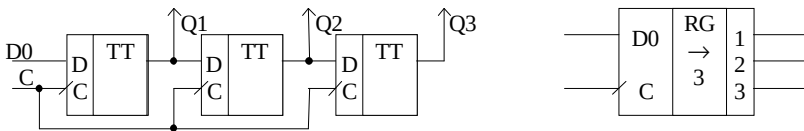


Рисунок 7.3 – Приклад побудови регістру зі зсувом

7.1.6 Регістри зі зсувом прийнято поділяти за напрямками зсуву інформації. Для різних напрямків прийняті наступні позначення в основному полі УГП: $\rightarrow$ – зі зсувом у бік старших розрядів; $\leftarrow$ – зі зсувом у бік молодших розрядів; $\leftrightarrow$ – реверсивний зсув.

7.1.7 Універсальні регістри володіють властивостями

паралельних і регістрів зі зсувом, і крім цього можуть виконувати перетворення паралельного коду в послідовний. У напрямі зсуву універсальні регістри поділяються так само, як і зсувові. Для побудови таких регістрів необхідно використовувати D – тригери з двома синхронними групами входів, інформація з яких трактується диз'юнктивно (Рис. 7.4).

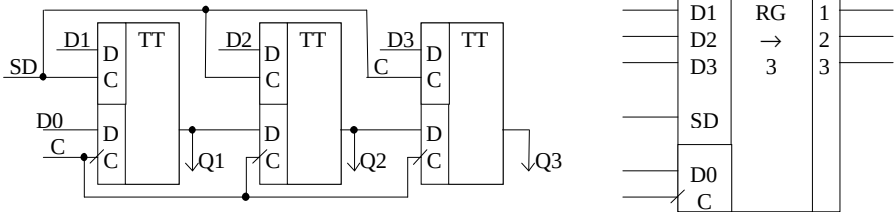


Рисунок 7.4 – Приклад побудови універсального регістру

7.1.8 Однак схема побудови, наведена на Рис. 7.4, застосовується рідко – оскільки не передбачена можливість спільної роботи послідовного і паралельного регістрів (пріоритети статичної і динамічної частини тригерів рівні і тому виникає конфлікт керування). Тому частіше застосовується інша схема, в якій вхід SD має пріоритет перед C.

7.2 Виконання роботи

Намалюйте УГП регістру, який має входи керування і кількість інформації, що зберігається, згідно з варіантом по Табл. 7.1.

Таблиця 7.1 – Варіанти завдань

Параметри																														
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
Вид	Паралельний регістр															Послідовний														
Вхід C	ф	ф	ф	ф	ф	с	с	с	с	с	п	п	п	п	і	і	і	і	і	ф	ф	ф	ф	ф	с	с	с	с	с	с
Входи R	п	і	п	і	-	п	і	п	і	-	п	і	п	і	-	п	і	п	і	-	п	і	п	і	-	п	і	п	і	-
Кількість інформації	4	5	6	7	8	4	5	6	7	8	4	5	6	7	8	4	5	6	7	8	4	5	6	7	8	4	5	6	7	8

Примітка: тут R – вхід скидання; C – вхід синхронізації; “і” – інверсний, “п” – прямий; “-” – відсутній, “ф” – прямий динамічний, “с” – інверсний динамічний.

Намалюйте часові діаграми, реалізуйте за допомогою будь-якого типу тригерів. За допомогою Electronics Workbench переконайтеся, що отримана схема виконує свої функції. Дослідження краще всього проводити, якщо на входи подавати “1” та “0” за допомогою перемикачів, а з виходу отриманої схеми подати сигнали до логічного аналізатора.

7.3 Результати роботи

Звіт по виконаній роботі має включати у себе : титульна сторінка з назвою роботи; мета роботи; УГП регістру, що розробляється, часові діаграми, синтезована у підрозділі 7.2 схема; висновки.

7.4 Контрольні запитання

7.4.1 Як будуються паралельні регістри? Навести приклад такого регістра.

7.4.2 Як будуються регістри зі зсувом? Навести приклад такого регістра.

7.4.3 Як будуються універсальні регістри? В чому полягає їх універсальність.

ПЕРЕЛІК ПОСИЛАНЬ

1. Цифровая и вычислительная техника / Под.ред. проф. Евреинова Э.В. -М.: Радио и связь, 1991.- 326 с.
2. Проектирование импульсных и цифровых устройств радиотехнических систем/Под.ред. Казаринова Ю.М. - М.: Радио и связь, 1985.- 289с.
3. Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник.- М.: Радио и связь, 1990. – 304 с.
4. Титце У., Шенк К. Полупроводниковая схемотехника: Справочное руководство // Пер. с нем.- М.: Мир, 1983. –512с.
5. Интегральные микросхемы ТТЛ, ТТЛШ: Справочник.- М.:Машиностроение, 1993.-256 с.: ил.
6. Шило В.Л. Популярные цифровые микросхемы: Справочник. – М.:Радио и связь, 1987.- 352 с.