

УДК 519.876.5

Нагорна Н.М.<sup>1</sup>

<sup>1</sup> старш. викл. НУ «Запорізька політехніка»

## **ОПТИМІЗАЦІЯ ПАРАМЕТРІВ ПРИСТРОЇВ НА НВІС ПРИ МІНІМІЗАЦІЇ СИСТЕМ ЛОГІЧНИХ РІВНЯНЬ**

При проектуванні сучасних електронних систем на основі надвеликих інтегрованих схем (НВІС) значну увагу необхідно приділяти оптимізації таких параметрів мікросхем, як швидкодія та площа кристалу.

Вказана оптимізація досягається при використанні методів та алгоритмів проектування, які забезпечують спрощення математичних моделей систем.

У роботі розглядалися підходи до мінімізації схем цифрових пристроїв на етапі синтезу їх структури. Моделі пристроїв були представлені цифровими автоматами.

Особлива увага приділялася методу зменшення кількості станів автомата.

Розглядався метод об'єднання еквівалентних станів.

Два стани є еквівалентними, якщо виконуються дві умови. Перша умова: вихідні сигнали, пов'язані з цими станами, однакові. Друга умова: відповідні наступні стани також однакові.

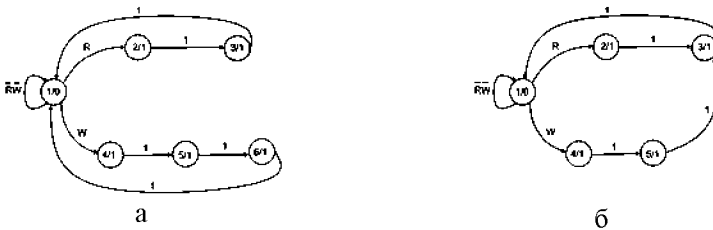
Якщо вказані умови виконуються, то такі два стани можна об'єднати в один. Перша умова дозволяє виключити з розгляду пари станів, несумісні по виходу. Потім з решти пар необхідно знайти ті, які задовольняють другій умові еквівалентності.

Для аналізу практичної реалізації методу розроблялася модель пристрою, яка являла собою цифровий автомат, діаграма станів автомата складалася на основі алгоритмічного опису роботи пристрою.

Процес мінімізації мав за мету зменшення кількості станів шляхом об'єднання еквівалентних станів.

Практична реалізація методики відбувалася на прикладі пристрою інтерфейсної логіки (ПІЛ).

З використанням методики вдалося зменшити кількість станів моделі пристрою на одиницю, як видно з рис.1.



а – діаграма станів цифрового автомата ПІЛ; б – мінімізована діаграма станів цифрового автомата ПІЛ

Рисунок 1 – Діаграми станів

З метою синтезу немінімізованої і мінімізованої схем пристрою були отримані моделі Мура у вигляді систем логічних рівнянь (1) і (2).

Системи мають однакову кількість змінних стану, але рівняння системи (2) мають спрощений вигляд.

Немінімізована модель пристрою:

$$\begin{aligned} D_1 &= Q_1 \bar{Q}_2 + R \bar{Q}_2 \bar{Q}_3; \\ D_2 &= \bar{Q}_1 Q_2 \bar{Q}_3 + W \bar{Q}_2 \bar{Q}_3 + Q_1 \bar{Q}_2 + RW; \\ D_3 &= \bar{Q}_1 Q_2; \quad Z = Q_1 Q_2 Q_3. \end{aligned} \quad (1)$$

Мінімізована модель пристрою:

$$\begin{aligned} D_1 &= R \bar{Q}_2 + \bar{Q}_2 Q_1 + Q_3; \\ D_2 &= W \bar{Q}_2 + \bar{Q}_2 Q_1 + Q_2 \bar{Q}_1; \\ D_3 &= \bar{Q}_3 Q_2 \bar{Q}_1; \quad Z = Q_1 + Q_2. \end{aligned} \quad (2)$$

На основі систем (1) і (2) розроблені проекти ПЛЛ.

Проекти розроблялися на базі програмованих інтегрованих мікросхем типу FPGA сім'ї FLEX 8000.

Порівняльний аналіз вказаних проектів показав безумовну перевагу проекту на базі мінімізованої схеми як за швидкодією, так і за зайнятою площею кристала (таблиця 1).

Таблиця 1 – Параметри звичайного і мінімізованого ПЛЛ

| Параметри                                                                           | Звичайний ПЛЛ                                                | Мінімізований ПЛЛ                                            |
|-------------------------------------------------------------------------------------|--------------------------------------------------------------|--------------------------------------------------------------|
| Зайнято логічних комірок, шт.                                                       | 5                                                            | 4                                                            |
| Затримки на виходах тригерів $Q_1$ , $Q_2$ , $Q_3$ відносно синхросигналу $C$ , нс  | 10,6; 10,4; 10,3                                             | 10,3; 10,5; 10,5                                             |
| Затримка на виході $Z$ відносно синхросигналу $C$ , нс                              | 15,5 / 13,1                                                  | 12,5 / 3,1                                                   |
| Тривалість часу перед-установлення/утримання відносно фронту синхросигналу $C$ , нс | Для сигналу $R$ :<br>4,6 / 0<br>Для сигналу $W$ :<br>4,6 / 0 | Для сигналу $R$ :<br>1,7 / 0<br>Для сигналу $W$ :<br>1,7 / 0 |
| Максимальна частота, МГц                                                            | 125                                                          | 125                                                          |

Висновок: зменшення кількості станів цифрових автоматів до мінімуму дозволяє спростити логічні структури цифрових пристроїв, що особливо актуально для складних пристроїв.