

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Запорізький національний технічний університет

МЕТОДИЧНІ ВКАЗІВКИ
до лабораторного практикуму з дисципліни
“Цифрова схемотехніка”
(Частина друга)
для студентів спеціальності 6.050801
“Мікро- та наноелектроніка”
денної і заочної форм навчання

ЗМІСТ

Частина друга

6 Лабораторна робота №5 "Мультиплектори, демультіплектори, дешифратори"	46
6.1 Мета роботи.	46
6.2 Теоретичні відомості.	46
6.2.1 Мультиплектори.	46
6.2.2 Демультіплектори і дешифратори.	50
6.3 Порядок проведення досліджень.	52
6.3.1. Дослідження мультиплектора.	52
6.3.2. Дослідження демультіплектора і дешифратора.	53
6.4 Вимоги до звіту.	56
6.5 Контрольні запитання.	56
7 Лабораторна робота №6 "Інтегральні тригери"	58
7.1 Мета роботи.	58
7.2 Теоретичні відомості.	58
7.2.1 Типи тригерів.	58
7.2.2 Логічні структури і принципи функціонування тригерів.	59
7.3 Порядок проведення досліджень.	64
7.4 Вимоги до звіту.	66
7.5 Контрольні запитання.	67
8 Лабораторна робота №7 "Зсувовий регістр"	68
8.1 Мета роботи.	68
8.2 Теоретичні відомості.	68
8.2.1 Основні положення.	68
8.2.2 Зсувовий регістр К155ИР1.	70
8.3 Порядок проведення досліджень.	73
8.4 Вимоги до звіту.	74
8.5 Контрольні запитання.	74
9 Рекомендована література.	76

6 ЛАБОРАТОРНА РОБОТА №5

”МУЛЬТИПЛЕКСОРИ, ДЕМУЛЬТИПЛЕКСОРИ, ДЕШИФРАТОРИ”

6.1 Мета роботи

Метою роботи є ознайомлення з логічними структурами та дослідження принципів роботи мультиплексорів, демультимплексорів і дешифраторів.

6.2 Теоретичні відомості

6.2.1 Мультиплексори

Комутатором називається функціональний вузол, призначений для комутації каналів зв'язку. Комутатори поділяються на мультиплексори і демультимплексори.

Мультиплексором називається функціональний вузол, призначений для передачі інформації, яка надходить по одному з вхідних каналів на вихідний канал.

Мультиплексори мають дві групи входів: інформаційні і керуючі. Керуючі входи розподіляються на адресні і дозволяючі. Якщо мультиплексор має n адресних входів, кількість інформаційних входів m повинна відповідати нерівності: $m \leq 2^n$. Наприклад, за наявності у мультиплексора трьох адресних входів ($n = 3$) можна реалізувати вісім ($m = 2^3 = 8$) комбінацій адресних сигналів (000, 001, 010, 011, 100, 101, 110, 111), кожна з яких забезпечує вибір одного з $m = 8$ вхідних сигналів, тобто у мультиплексора може бути вісім інформаційних входів.

Дозволяючий вхід керує одночасно усіма інформаційними входами незалежно від стану адресних входів. Забороняючий сигнал на цьому вході блокує дію схеми у цілому. Залежно від логічної схеми забороняючим може бути сигнал як 0, так як і 1. Дозволяючий вхід може бути взагалі відсутнім, але наявність його розширює функціональні можливості мультиплексора, дозволяючи

синхронізувати його роботу з роботою інших схем. Логічна структура мультимплексора “із 8 у 1” приведена на рис. 6.1.

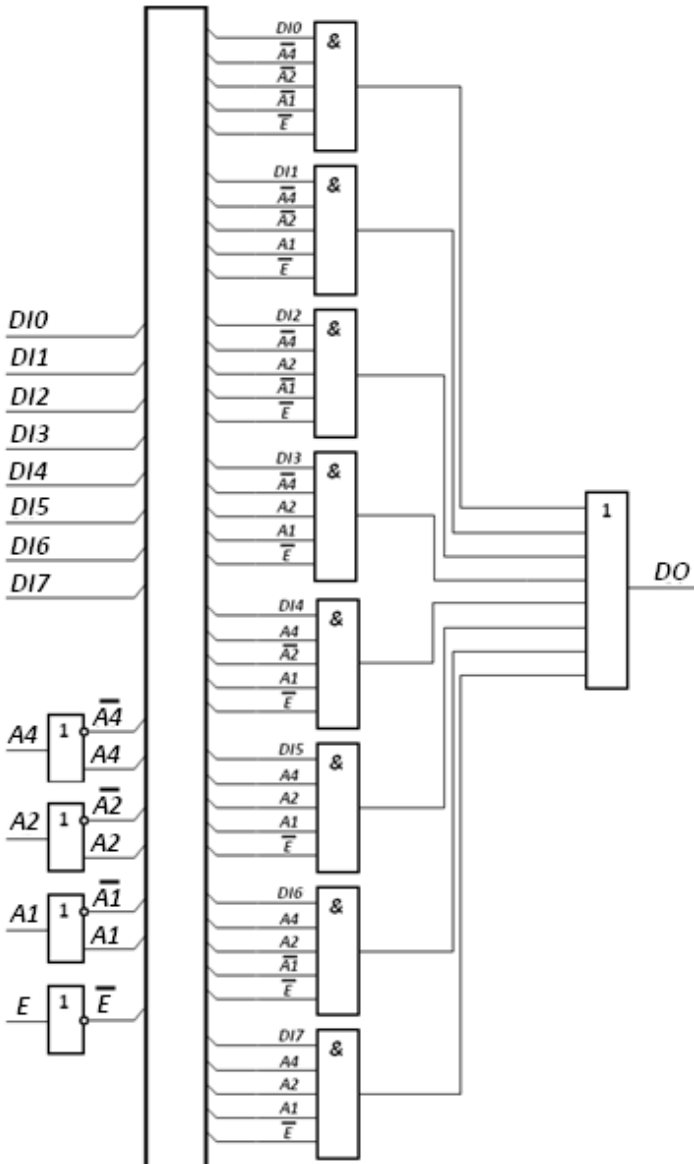


Рисунок 6.1 – Логічна структура мультимплексора “із 8 у 1”

Мультиплексор має вісім інформаційних входів $D10...D17$ (DI - data input - вхід даних), адресні входи $A4, A2, A1$ (address - адреса), дозволяючий вхід E (enable - дозвіл), та один вихід DO (data output - вихід даних). Вхід $A4$ належить старшому розряду адреси, вхід $A1$ - молодшому.

Якщо $E=0$, в логічній структурі тільки один логічний елемент I із восьми має 1 на всіх входах, крім інформаційного, на якому може бути як 0, так і 1. Номер такого елемента задається адресним кодом. Тому інформаційний сигнал пройде на вихід зазначеного логічного елемента, а далі і на вихід DO схеми, бо на виходах інших логічних елементів будуть присутні 0. Якщо $E=1$, на виходах всіх восьми елементів I будуть присутні 0, на виході схеми DO теж буде постійний 0.

Інформаційний вхід мультиплексора, з якого інформація передається на вихід, називається *активним входом*. Таким чином, будь-який набір 0 і 1 на адресних входах активізує лише один відповідний інформаційний вхід.

Мультиплексори використовуються для перетворення паралельного двійкового коду у послідовний. Якщо на інформаційні входи подати двійковий код, а керуючі сигнали на адресних входах мультиплексора міняти у послідовності 000, 001, ..., 111, то на виході схеми будуть з'являтися один за одним розряди двійкового коду, починаючи з молодшого.

Мультиплексор також може бути використаний як універсальний логічний елемент. У цьому випадку мультиплексор реалізує будь-яку логічну функцію, яка має не більше, ніж $n+1$ змінних, де n - кількість адресних входів мультиплексора.

Використання мультиплексора як універсального логічного елемента засновано на загальній властивості логічних функцій незалежно від кількості аргументів завжди рівнятися "1" або "0". Якщо на адресні входи мультиплексора подавати значення вхідних змінних відповідно наявним наборам таблиці істинності функції, а на відповідні інформаційні входи - значення функції, то таким чином синтезується пристрій, який реалізує потрібну логічну функцію.

Наприклад, для реалізації функції $2I$ (табл. 6.1) з двома змінними, необхідно скористатися мультиплексором "із 4 у 1", у якого до адресних входів $A2$ і $A1$ треба підключити сигнальні лінії $X1$ і $X0$ від-

повідно, а на інформаційні входи подати сигнали згідно табл. 6.1:
 $D10 = D11 = D12 = 0, D13 = 1$.

Таблиця 6.1 - Таблиця істинності функції 2I

X1	X0	F
0	0	0
0	1	0
1	0	0
1	1	1

Якщо кількість аргументів функції дорівнює $n+1$, то методика синтезу схеми буде іншою. Припустимо, що на основі мультиплексора "із 4 у 1" необхідно реалізувати функцію 3I, яка має три змінні.

Таблиця істинності функції 3I (табл. 6.2) розбивається на групи по два рядки у кожній групі. У обох рядках кожної із чотирьох груп $X2$ і $X1$ мають однакові значення, а $X0$ змінюється. Тому із значень $X2$ і $X1$ кожної групи можна утворити набори 00, 01, 10, 11, підключаючи сигнал $X2$ до входу $A2$ мультиплексора, а сигнал $X1$ - до входу $A1$. На відповідні наборам інформаційні входи треба подавати 1, якщо у двох рядках групи функція приймає значення 1, чи 0, якщо функція в групі має значення 0. При наявності змінного значення функції в групі у загальному випадку можуть бути два варіанти: $F=X0$, чи $F=\overline{X0}$. Таким чином, для реалізації функції 3I треба подати сигнали: $D10=0, D11=0, D12=0, D13=X0, A2=X2, A1=X1$.

Таблиця 6.2 - Таблиця істинності функції 3I

X2	X1	X0	F	Примітка
0	0	0	0	$D0=D10=0$
0	0	1	0	
0	1	0	0	$D0=D11=0$
0	1	1	0	
1	0	0	0	$D0=D12=0$
1	0	1	0	
1	1	0	0	$D0=D13=X0$
1	1	1	1	

6.2.2 Демультимплексори і дешифратори

Демультимплексором називається функціональний вузол, призначений для передачі інформації з єдиного інформаційного входу на один із виходів відповідно до заданого коду на адресних входах. Кількість виходів m відповідає нерівності $m \leq 2^n$, де n - число адресних входів.

Демультимплексор у функціональному відношенні протилежний мультиплексору. Демультимплексори у вигляді самостійних приладів не виготовляються, тому що їхні функції можуть виконувати дешифратори.

Дешифратор (декодер) - це функціональний вузол з кількома входами і виходами, у якого кожній комбінації інформаційних вхідних сигналів відповідає активне значення тільки одного означеного вихідного сигналу. Повний дешифратор з n інформаційними входами має $m = 2^n$ виходів. На практиці часто вживаються неповні дешифратори, які декодують тільки окремі комбінації вхідних сигналів.

В залежності від логічної структури дешифратора активним може бути як рівень 0, так і рівень 1. Якщо на активному виході 0, то на інших виходах установлюються 1, і навпаки.

Логічна структура демультимплексора “із 1 у 8”, який інвертує інформаційний сигнал DI , показана на рис. 6.2, де $A4, A2, A1$ - адресні входи ($A1$ - молодший розряд адресного коду), DI - інформаційний вхід, E - дозволяючий вхід, $DO0...DO7$ - виходи. Якщо у демультимплексора “із 1 у 8” на інформаційному вході DI підтримувати постійно потенціал (для схеми на рис. 6.2 це 1), протилежний активному рівню, то демультимплексор буде функціонувати як дешифратор “із 3 у 8”.

Між обома типами розглядаємих пристроїв нема принципової різниці. Дешифратор можна розглядати як обернений за входами демультимплексор, у якого адресні входи перетворилися в інформаційні (їх іноді так і називають адресними), а колишній інформаційний вхід DI , на який подається незмінний сигнал (0 чи 1 залежно від схеми), підтримує на одному з виходів активний рівень сигналу. Таким чином, у демультимплексора сигнал на вході DI може змінюватися у часі, а у дешифратора - ні. Тому у дешифратора вхід DI може бути навіть відсутнім.

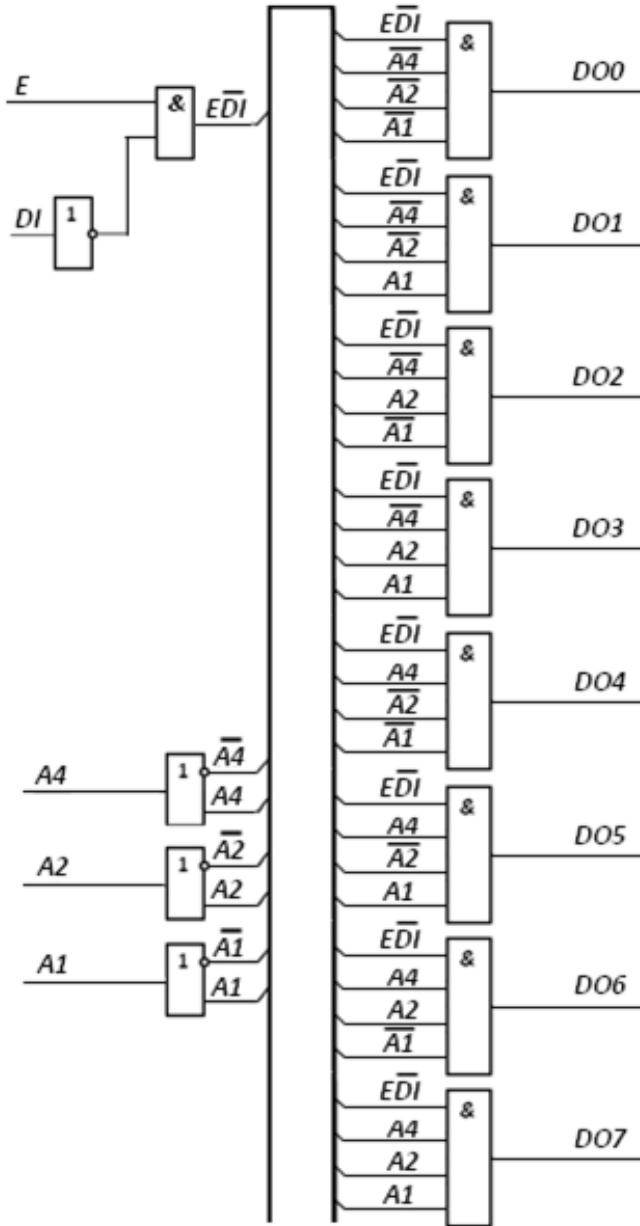


Рисунок 6.2 – Логічна структура демультиплексора "із 1 у 8"

На умовних графічних позначеннях у мультиплексора вміщується символ *MUX* (multiplexer), у демультимплексора - *DMX*, у дешифратора - *DC* (dekoding circuit).

6.3 Порядок проведення досліджень

6.3.1 Дослідження мультиплексора

При проведенні експерименту використовується восьмиканальний інвертуючий мультиплексор з селекторним каналом К155КП5 (рис. 6.3).

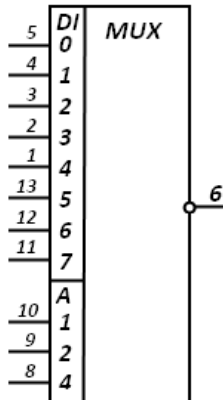


Рисунок 6.3 - Умовне графічне позначення ІМС К155КП5

При опробуванні схеми на вивід 14 подається напруга живлення +5В, а спільний вивід 7 з'єднується зі спільним вузлом.

З'єднання будь-якого входу мікросхеми зі спільним вузлом відповідає поданню на цей вхід 0, роз'єднання зі спільним вузлом - поданню 1.

До виходу 6 мікросхеми підключається вольтметр.

Послідовно змінюючи стан входів мультиплексора відповідно табл. 6.3, зніміть показання вольтметра. Результати експерименту занесіть у табл. 6.3. В табл. 6.3 символом *X* позначене байдуже зна-

чення сигналу. Запис 0/1 відповідає двом режимам роботи мультиплектора: спочатку на інформаційний вхід подається 0, а потім 1 при незмінному коді адреси.

Таблиця 6.3 - Форма для заповнення таблиці істинності мультиплектора “із 8 у 1”

A4	A2	A1	DI0	DI1	DI2	DI3	DI4	DI5	DI6	DI7	DO
8	9	10	5	4	3	2	1	13	12	11	6
0	0	0	0/1	X	X	X	X	X	X	X	
0	0	1	X	0/1	X	X	X	X	X	X	
0	1	0	X	X	0/1	X	X	X	X	X	
0	1	1	X	X	X	0/1	X	X	X	X	
1	0	0	X	X	X	X	0/1	X	X	X	
1	0	1	X	X	X	X	X	0/1	X	X	
1	1	0	X	X	X	X	X	X	0/1	X	
1	1	1	X	X	X	X	X	X	X	0/1	

6.3.2. Дослідження демультиплектора і дешифратора

При проведенні експерименту використовується ІМС К155ИД4 (рис. 6.4), на вивід 16 подається напруга живлення +5В, спільний вивід 8 з'єднується зі спільним вузлом. Спосіб подачі сигналів на входи такий же, як і для ІМС К155КП5. При дослідженні треба за допомогою вольтметра виміряти потенціали на виходах і заповнити необхідні таблиці істинності.

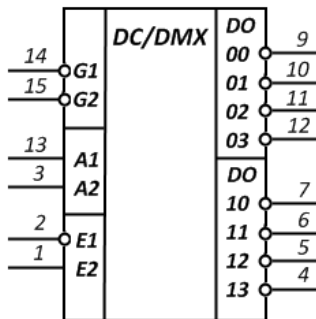


Рисунок 6.4 - Умовне графічне позначення ІМС К155ИД4

Мікросхема К155ИД4 може використовуватися у чотирьох режимах.

Режим 1: два демультимплексора. Входи $A1$, $A2$ є спільними адресними входами для обох демультимплексорів. Вхід $\overline{G1}$ є інформаційним для верхнього, а вхід $\overline{E1}$ є інформаційним для нижнього демультимплексорів. Входи $\overline{G2}$ і $E2$ є дозволяючими для верхнього і нижнього демультимплексорів відповідно. На вході $\overline{G2}$ активний рівень 0 (є дозвіл для передачі на вихід інформаційного сигналу), а на вході $E2$ - 1. Дозволяючі входи іноді називають входами стробування. Процес стробування - це виділення сигналу у визначений момент часу. Таким чином, інформаційний сигнал на активному виході з'явиться тільки при наявності на вході стробування активного рівня.

Режим 2: два дешифратора з нульовим активним рівнем. Рівні дозволяючих сигналів: $E2=1$, $\overline{G2}=0$. На входах $\overline{G1}$ і $\overline{E1}$ повинні бути логічні нулі. Номер активного виходу (0, 1, 2 чи 3) відповідає еквіваленту вхідного кода $A2$, $A1$ на спільних інформаційних входах.

Режим 3: демультимплексор “із 1 у 8”. Необхідно з'єднати входи $\overline{G1}$ (вивід 14) і $\overline{E1}$ (вивід 2) і подавати на них інформаційний сигнал (0 чи 1). Входи $\overline{G2}$ (вивід 15) і $E2$ (вивід 1) теж з'єднуються і на них подається старший розряд (назвемо його $A4$) коду адреси $A4$, $A2$, $A1$.

Режим 4: дешифратор “із 3 у 8”. На з'єднанні входи $\overline{G1}$ (вивід 14) і $\overline{E1}$ (вивід 2) подається сигнал дозволу (0 - є дозвіл), він відповідає сигналу активного рівня на виходах для ІМС К155ИД4. На з'єднанні входи $\overline{G2}$ (вивід 15) і $E2$ (вивід 1) подається старший розряд ($A4$) коду $A4$, $A2$, $A1$. При подачі коду 000 активним буде вихід $\overline{D000}$.

По завданню викладача досліджуються два із чотирьох режимів роботи ІМС К155ИД4.

При дослідженні режимів 1 і 2 слід використати форми із таблиць 6.4 і 6.5 відповідно.

При дослідженні режимів 3 і 4 слід використати форми із таблиць 6.6 і 6.7 відповідно.

Відповідно до заданого режиму розробіть логічну структуру досліджуваного демультимплексора або дешифратора.

Таблиця 6.4 - Форма для заповнення таблиць істинності двох демультіплексорів

Верхній демультіплексор								Нижній демультіплексор							
Входи				Виходи $\overline{D\overline{O}}$				Входи				Виходи $\overline{D\overline{O}}$			
A2	A1	$\overline{G2}$	$\overline{G1}$	00	01	02	03	A2	A1	E2	$\overline{E1}$	00	01	02	03
3	13	15	14	9	10	11	12	3	13	2	1	7	6	5	4
0	0	0	0/1					0	0	1	0/1				
0	1	0	0/1					0	1	1	0/1				
1	0	0	0/1					1	0	1	0/1				
1	1	0	0/1					1	1	1	0/1				

Таблиця 6.5 - Форма для заповнення таблиць істинності двох дешифраторів

Верхній демультіплексор								Нижній демультіплексор							
Входи				Виходи $\overline{D\overline{O}}$				Входи				Виходи $\overline{D\overline{O}}$			
A2	A1	$\overline{G2}$	$\overline{G1}$	00	01	02	03	A2	A1	E2	$\overline{E1}$	00	01	02	03
3	13	15	14	9	10	11	12	3	13	2	1	7	6	5	4
0	0	0	0					0	0	1	0				
0	1	0	0					0	1	1	0				
1	0	0	0					1	0	1	0				
1	1	0	0					1	1	1	0				

Таблиця 6.6 - Форма для заповнення таблиці істинності демультіплексора “із 1 у 8”

Входи				Виходи $\overline{D\overline{O}}$							
A4	A2	A1	DI	00	01	02	03	10	11	12	13
1	3	13	2	9	10	11	12	7	6	5	4
0	0	0	0/1								
0	0	1	0/1								
0	1	0	0/1								
0	1	1	0/1								
1	0	0	0/1								
1	0	1	0/1								
1	1	0	0/1								
1	1	1	0/1								

Таблиця 6.7 - Форма для заповнення таблиці істинності дешифратора “із 3 у 8”

Входи			Виходи $\overline{D0}$							
A4	A2	A1	00	01	02	03	10	11	12	13
1	3	13	9	10	11	12	7	6	5	4
0	0	0								
0	0	1								
0	1	0								
0	1	1								
1	0	0								
1	0	1								
1	1	0								
1	1	1								

6.4 Вимоги до звіту

Звіт повинен містити:

- найменування та мету роботи;
- логічну структуру і таблицю істинності досліджуваного мультиплексора;
- логічну структуру досліджуваного демультимплексора або дешифратора;
- таблиці істинності досліджуваних демультимплексорів або дешифраторів;
- значення в абсолютних одиницях логічних рівнів 0 та 1 мікросхем K155КП5, K155ИД4;
- стислі висновки за результатами роботи.

6.5 Контрольні запитання

- 1 Який принцип дії має мультиплексор?
- 2 Чому мультиплексор називають комутатором?

- 3 Скільки інформаційних входів буде мати мультиплексор, якщо у нього вісім адресних входів?
- 4 Навіщо у логічній структурі мультиплексора "із 8 у 1" використовується вхід E ?
- 5 Запишіть логічну функцію досліджуваного мультиплексора у досконалій диз'юнктивній нормальній формі (ДДНФ).
- 6 Реалізуйте за допомогою мультиплексора логічну функцію (за вибором викладача), кількість аргументів якої дорівнює числу адресних входів мультиплексора.
- 7 Реалізуйте за допомогою мультиплексора логічну функцію (за вибором викладача), кількість аргументів якої перевищує число адресних входів мультиплексора на одиницю.
- 8 Який принцип дії має демультиплексор?
- 9 Запишіть логічні функції досліджуваного демультиплексора.
- 10 Яким чином, використовуючи логічну структуру ІМС К155ИД4, можна створити демультиплексор "із 1 у 8"?
- 11 Який принцип дії має дешифратор?
- 12 Які існують різновиди дешифраторів?
- 13 На скількох виходах дешифратора "із 3 у 8" з нульовим активним рівнем одночасно можуть бути присутніми одиниці?
- 14 Чим відрізняються таблиці істинності дешифраторів з нульовим і одиничним активними рівнями?
- 15 Що таке процес стробування?
- 16 У яких режимах може працювати ІМС К155ИД4?
- 17 Який потенціал треба встановити на вході схеми транзисторно-транзисторної логіки, щоб він відповідав логічному 0?
- 18 Який потенціал треба встановити на вході схеми транзисторно-транзисторної логіки, щоб він відповідав логічній 1?
- 19 Чи можуть досліджувані логічні структури бути реалізованими на КМОН-логіці?
- 20 Як зміниться принцип дії схеми мультиплексора, якщо на умовному графічному позначенні ІМС К155КП5 замість інверсного виходу передбачити прямий?
- 21 Чи же існувати схема неповного дешифратора?
- 22 Що приймається до уваги, коли використовують поняття: дешифратор "із 3 у 8"?

7 ЛАБОРАТОРНА РОБОТА №6

”ІНТЕГРАЛЬНІ ТРИГЕРИ”

7.1 Мета роботи

Метою роботи є ознайомлення з принципом дії статичних тригерів та розглядання режимів роботи тригерів *RS*- і *D*-типів.

7.2 Теоретичні відомості

7.2.1 Типи тригерів

Тригером називається електрична схема з двома стійкими станами, в кожний з яких вона може встановлюватися під дією відповідної комбінації керуючих сигналів.

Залежно від типу використаних елементів пам'яті тригери поділяються на *статичні, статико-динамічні та динамічні*.

В статичних і статико-динамічних тригерах використовуються статичні елементи пам'яті - бістабільні комірки, які утворюються з двох логічних елементів типу “АБО-НЕ” чи “І-НЕ”, охоплених перехресними зворотними зв'язками. В динамічних тригерах використовуються динамічні елементи пам'яті, які утворюються з компонента (конденсатора, транзистора або діода), що накопичує заряд, а також транзисторних ключів, що керують процесами заряду або розряду компонента.

За способом функціонування тригери поділяються на *асинхронні і синхронні*. В асинхронних тригерах зміна стану відбувається безпосередньо після подачі сигналів на керуючі входи. Стан синхронних тригерів, на відміну від асинхронних, змінюється відповідно до значень сигналів на керуючих входах після надходження на спеціальний вхід синхронізації синхроімпульсу.

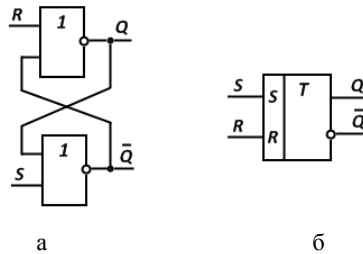
Синхронні тригери можуть спрацьовувати за рівнем або за фронтом синхроімпульсу. Тригери, синхронізовані рівнем (тригери зі статичним керуванням), можуть перемикатися після подачі відповідних керуючих сигналів кілька разів за час дії одного синхроімпульсу. Тригери, синхронізовані фронтом (тригери з

динамічним керуванням), змінюють свій стан лише після подачі на вхід синхронізації відповідного фронту синхроімпульсу і зберігають свій стан при довільних змінах керуючих сигналів.

Залежно від комбінації керуючих сигналів і викликаних ними змін стану, тригери поділяються на кілька функціональних типів. В цифровій схемотехніці найчастіше використовуються інтегральні *RS*-, *JK*-, *D*-, *T*-тригери та деякі їх різновиди. Літерами *R*, *S*, *J*, *K*, *D*, *T* тощо прийнято позначати керуючі входи відповідних тригерів.

7.2.2 Логічні структури і принципи функціонування тригерів

Асинхронні *RS*-тригери мають два керуючих входи *R* і *S*, за допомогою яких здійснюється їх встановлення у відповідний стан. У тригерах використовуються бістабільні комірки (БК) диз'юнктивного типу (рис.7.1).



а - логічна структура; б- умовне графічне позначення

Рисунок 7.1 - Асинхронний *RS*-тригер на елементах АБО-НЕ

Закон функціонування асинхронного *RS*-тригера з прямими входами описують за допомогою таблиці переходів (табл. 7.1). Символом *n* позначено номер такту роботи тригера.

Таблиця 7.1 - Таблиця переходів тригера з прямими входами

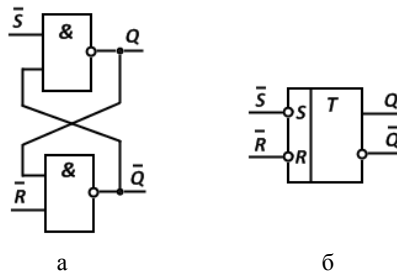
R^n	S^n	Q^{n+1}	Режим
0	0	Q^n	Зберігання інформації
0	1	1	Установлення 1
1	0	0	Установлення 0
1	1	-	Заборонено

Як видно з табл. 7.1, під час надходження керуючих сигналів $R^n = 0, S^n = 1$ RS -тригер перемикається в стан $Q^{n+1} = 1$, а при $R^n = 1, S^n = 0$ - у стан $Q^{n+1} = 0$.

Наявність на керуючих входах сигналів $R^n = 0, S^n = 0$ відповідає режиму зберігання інформації $Q^{n+1} = Q^n$, причому Q^{n+1} може набувати значення 0 або 1.

Комбінація $R^n = 1, S^n = 1$ є забороненою, оскільки порушує інверсність виходів (встановлюється $Q^{n+1} = 0; \bar{Q}^{n+1} = 0$) і породжує при наступному надходженні сигналів $R = 0, S = 0$ невизначеність стану (встановлюється $Q = 0, \bar{Q} = 1$ або $Q = 1, \bar{Q} = 0$ з рівною ймовірністю).

Асинхронні $\bar{R}\bar{S}$ -тригери з інверсними входами утворюються з БК кон'юнктивного типу (рис. 7.2).



а - логічна структура; б - умовне графічне позначення

Рисунок 7.2 - Асинхронний $\bar{R}\bar{S}$ -тригер на елементах "І-НЕ"

Закон функціонування $\bar{R}\bar{S}$ -тригера з інверсними входами зображений у таблиці переходів (табл. 7.2).

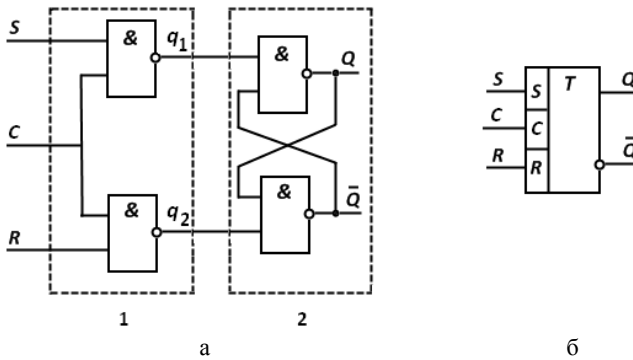
Таблиця 7.2 - Таблиця переходів $\bar{R}\bar{S}$ -тригера з інверсними входами

\bar{R}^n	\bar{S}^n	Q^{n+1}	Режим
0	0	-	Заборонено
0	1	0	Установлення 0
1	0	1	Установлення 1
1	1	Q^n	Зберігання інформації

Швидкодія асинхронного $\bar{R}\bar{S}$ -тригера визначається затримкою встановлення його стану t_3 , яка дорівнює сумі затримок передачі сигналу через ланцюг елементів з затримкою t_e в кожному:

$$t_3 = 2 t_e.$$

Синхронні RS-тригери зі статичним керуванням (синхронізовані рівнем синхроімпульсу) відрізняються від асинхронних наявністю C - входу, на який надходять синхронізуючі (тактові) сигнали (рис. 7.3).



а - логічна структура; б - умовне графічне позначення

Рисунок 7.3 - Синхронний RS-тригер зі статичним керуванням

Як показано на рис. 7.3, синхронний RS-тригер побудовано з елементів І-НЕ. Схема 1 є комбінаційною і призначена для управління роботою схеми 2, яка є асинхронним $\bar{R}\bar{S}$ -тригером.

Закон функціонування RS-тригера зі статичним керуванням зображений у таблиці переходів (табл. 7.3). Сигнал, який може бути як логічною одиницею, так і логічним нулем, означений у таблиці символом X .

Якщо синхронізуючий сигнал $C = 0$, на входах схеми 2 встановлюються логічні 1, при цьому асинхронний $\bar{R}\bar{S}$ -тригер зберігає інформацію (рядок 1 табл. 7.3). Якщо $C = 1$, вхідні логічні елементи схеми 1 відкриті для передачі інформаційних сигналів R і S на входи асинхронного $\bar{R}\bar{S}$ -тригера. Таким чином, синхронний тригер при

наявності дозвільного сигналу C буде працювати, як асинхронний тригер.

Таблиця 7.3 - Таблиця переходів RS -тригера зі статичним керуванням

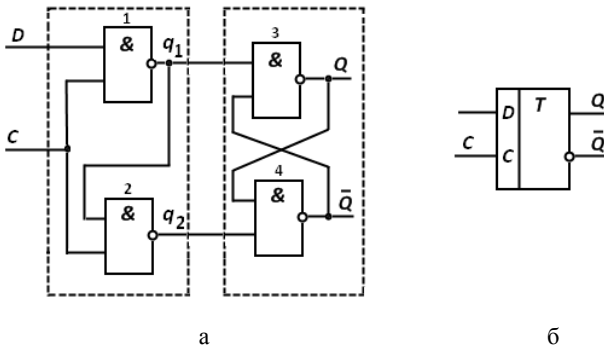
C^n	R^n	S^n	Q^{n+1}
0	X	X	Q^n
1	0	0	Q^n
1	0	1	1
1	1	0	0
1	1	1	-

Затримка встановлення стану RS -тригера зі статичним керуванням дорівнює сумі затримок передачі сигналу через ланцюг з трьох логічних елементів з затримкою t_e в кожному:

$$t_3 = 3t_e.$$

D -тригер (тригер затримки) має тільки один інформаційний вхід (D -вхід), а також синхровхід C . Основне призначення D -тригера – це затримка сигналу, який подається на вхід D .

Логічна структура D -тригера зі статичним керуванням і закон його функціонування приведені на рис. 7.4 і в табл. 7.4 відповідно.



а - логічна структура; б - умовне графічне позначення

Рисунок 7.4 - D -тригер зі статичним керуванням

Таблиця 7.4 - Таблиця переходів D -тригера зі статичним керуванням

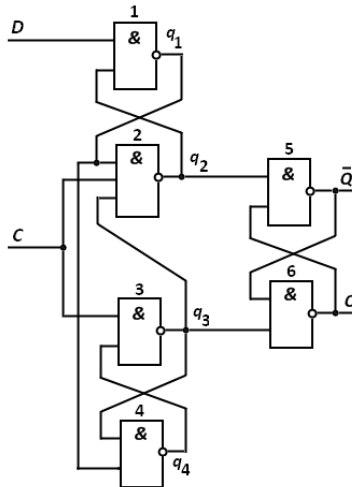
C^n	D^n	Q^{n+1}
0	0	Q^n
0	1	Q^n
1	0	0
1	1	1

Після чергового синхроімпульсу D -тригер встановлюється у стан $Q^{n+1} = D^n$, де n - номер такту синхронізації. Всі D -тригери синхронні. Керування за синхривходом може бути статичним і динамічним.

Схема на елементах 1, 2 кує роботою схеми на елементах 3, 4. При $C = 1$ сигнал з D -входу записується в тригер.

Схема D -тригера з динамічним керуванням приведена на рис. 7.5.

Типова структура D -тригера на рис. 7.5, синхронізованого додатним фронтом синхроімпульсу, має три БК ($\bar{R}\bar{S}$ -тригери): основну (на елементах 5 і 6) і дві комуруючі (на елементах 1 і 2, 3 і 4), до яких подаються вхідні сигнали D і C . Тригер сприймає інформацію з D -входу для змінювання стану тільки тоді, коли на C -вході здійснюється перехід з рівня 0 на рівень 1.

Рисунок 7.5 - D -тригер з динамічним керуванням

7.3 Порядок проведення досліджень

Для утворення тригерів в лабораторній роботі використовується мікросхема К155ЛА3, яка складається з чотирьох однакових логічних елементів 2І-НЕ ТТЛ (рис. 7.6).

Напряга живлення - плюс 5 В (на вивід 14 подається “+”, на вивід 7 подається ”-”). На рис. 7.6 приведені номери виводів ЛЕ.

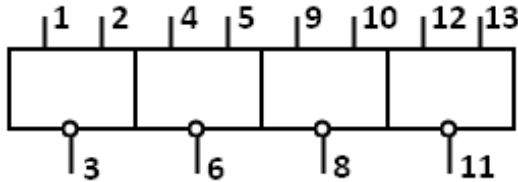


Рисунок 7.6 - Маркування мікросхеми К155ЛА3

Для використаної у роботі логіки схем ТТЛ подання нуля на вхід здійснюється з'єднанням входу зі спільним мінусовим дротом. Подання логічної 1 виконується від'єднанням даного входу схеми від спільного мінусового дроту.

В лабораторній роботі студентом виконується пункт 1 та пункт 2. Викладач задає номер пункту і номер варіанта досліджень.

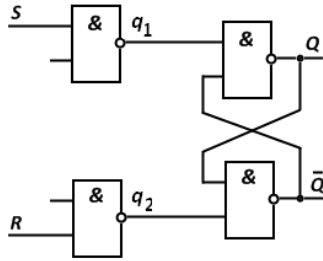
При дослідженні роботи кожного виду тригера виконайте дії у послідовності:

а) зберіть і опробуйте схему тригера; до виходів тригера підключить вольтметри;

б) подайте на входи схеми задані викладачем вхідні сигнали відповідно до номера варіанта; за показаннями вольтметрів визначте стани виходів тригерів;

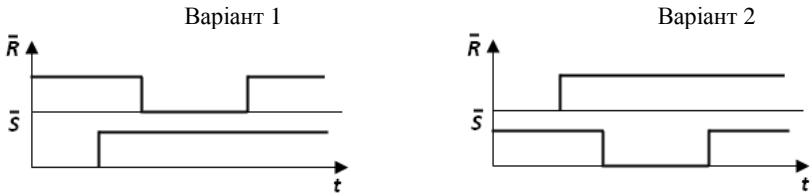
в) використовуючи одержані результати, побудуйте часову діаграму роботи тригера.

Пункт 1: дослідіть роботу асинхронного $\bar{R}\bar{S}$ -тригера (рис. 7.2), асинхронного RS -тригера (рис. 7.7), синхронного RS -тригера зі статичним керуванням (рис. 7.3).

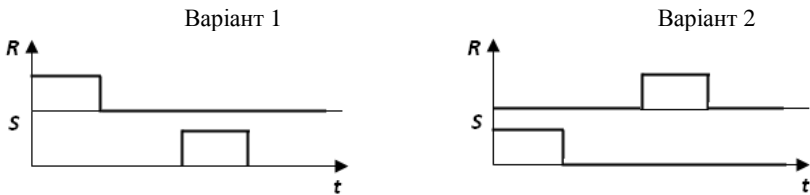
Рисунок 7.7 - Асинхронний RS -тригер на елементах І-НЕ

Комбінації вхідних сигналів приведені на рис. 7.8.

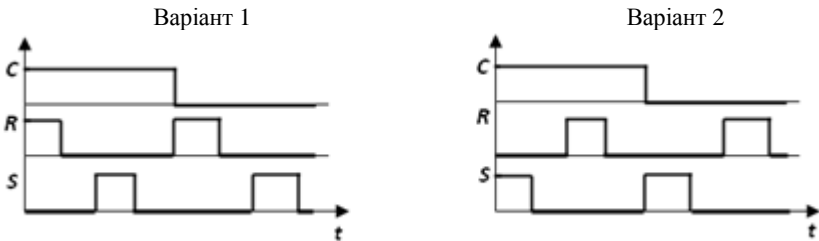
Асинхронний $\bar{R}\bar{S}$ -тригер



Асинхронний RS -тригер



Синхронний RS -тригер

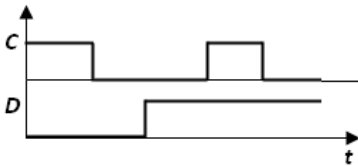
Рисунок 7.8 - Комбінації вхідних сигналів для дослідження роботи RS -тригерів

У часовій діаграмі асинхронного $\bar{R}\bar{S}$ -тригера мають бути присутніми сигнали \bar{S} , \bar{R} , Q , \bar{Q} ; асинхронного RS -тригера - сигнали S , R , q_1 , q_2 , Q , \bar{Q} ; синхронного RS -тригера - сигнали C , S , R , q_1 , q_2 , Q , \bar{Q} .

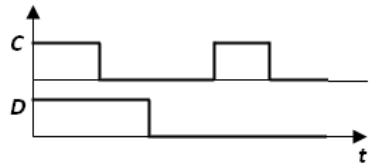
Пункт 2: дослідить роботу D -тригера зі статичним керуванням (рис. 7.4) і D -тригера з динамічним керуванням (схема зібрана на панелі). Комбінації вхідних сигналів приведені на рис. 7.9.

Синхронний D -тригер зі статичним керуванням

Варіант 1

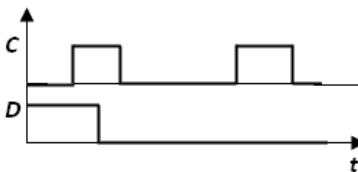


Варіант 2



Синхронний D -тригер з динамічним керуванням

Варіант 1



Варіант 2

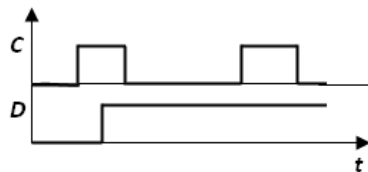


Рисунок 7.9- Комбінації вхідних сигналів для дослідження роботи D -тригерів

У часовій діаграмі синхронного D -тригера зі статичним керуванням мають бути присутніми сигнали C , D , q_1 , q_2 , Q , \bar{Q} ; D -тригера з динамічним керуванням - сигнали C , D , q_1 , q_2 , q_3 , q_4 , Q , \bar{Q} .

7.4 Вимоги до звіту

Звіт повинен містити:

- найменування та мету роботи;

- структурні схеми досліджуваних тригерів;
- таблиці переходів досліджуваних тригерів;
- часові діаграми роботи тригерів;
- висновки.

7.5 Контрольні запитання

- 1 Дайте визначення тригера.
- 2 Які існують типи тригерів?
- 3 Як поділяються тригери в залежності від типу використаних елементів пам'яті?
- 4 Який принцип роботи асинхронного RS -тригера?
- 5 Який принцип роботи синхронного RS -тригера?
- 6 Який принцип роботи асинхронного $\bar{R}\bar{S}$ -тригера?
- 7 Який принцип роботи синхронного D -тригера зі статичним керуванням?
- 8 Який принцип роботи синхронного D -тригера з динамічним керуванням?
- 9 Як визначається затримка встановлення стану RS -тригера зі статичним керуванням?
- 10 Як визначається швидкодія асинхронного $\bar{R}\bar{S}$ -тригера?
- 11 Відобразіть таблиці переходів тригера, тип якого вказує викладач.
- 12 Які особливості побудови RS -тригерів на логічних елементах І-НЕ, АБО-НЕ?
- 13 Відобразіть схему та часові діаграми тригера, тип якого вказує викладач.
- 14 Якщо Вам необхідно розробити схему з елементом пам'яті, що має високу надійність правильного спрацьовування, то який тригер з досліджуваних Ви виберете?
- 15 Якщо Вам необхідно розробити схему з елементом пам'яті, що має високу швидкодію, то який тригер з досліджуваних Ви виберете?
- 16 До чого приведе перемикання сигналів на R -, S -входах синхронного RS -тригера зі статичним керуванням під час проходження синхроімпульсу?
- 17 До чого приведе перемикання сигналу на D -вході D -тригера з динамічним керуванням під час проходження синхроімпульсу?

8 ЛАБОРАТОРНА РОБОТА №7

”ЗСУВОВИЙ РЕГІСТР”

8.1 Мета роботи

Метою роботи є вивчення принципу дії та схемотехнічної реалізації зсувового регістра та ознайомлення з режимами роботи зсувового регістра.

8.2 Теоретичні відомості

8.2.1 Основні положення

Регістри називаються функціональні вузли, призначені для прийому двійкових чисел, їх зберігання, виконання деяких логічних перетворень і видачі двійкових чисел.

Регістри складаються з однакових елементів пам'яті і керуючої комбінаційної схеми. В кожному елементі пам'яті може зберігатися лише один розряд двійкового коду. Тому цей елемент разом з відповідною частиною комбінаційної схеми називається розрядом регістра.

Увід у регістр багаторозрядного числа може здійснюватися як *паралельно* - з одночасним заповненням всіх розрядів, так і *послідовно* - порозрядно. Також паралельним або послідовним може бути і вивід інформації з регістра. Залежно від способів вводу і виводу двійкових кодів розрізняють паралельні, послідовні і комбіновані регістри.

В паралельних регістрах увід або вивід усіх розрядів коду здійснюються одночасно. Такі регістри називаються регістрами пам'яті і реалізуються на базі синхронізованих рівнем або фронтом синхроімпульсу *D-* і *RS-*тригерів.

Структурна схема *n*-розрядного регістра пам'яті зображена на рис. 8.1. Увід у регістр двійкового коду $X_{n-1}...X_1X_0$ здійснюється під час надходження синхроімпульсу *C1*, а вивід - під час надходження імпульсу зчитування на вхід *C2*.

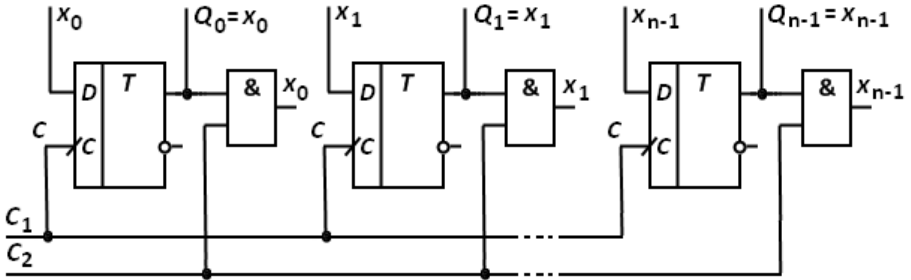


Рисунок 8.1 - Структурна схема n -розрядного регістра пам'яті на базі D -тригерів

В послідовних регістрах увід і вивід інформації здійснюються порозрядно. Такі регістри називаються зсувовими і реалізуються на базі D - або RS -тригерів з синхронізацією фронтом синхроімпульсу.

Структурна схема n -розрядного зсувового регістра на базі RS -тригерів зображена на рис. 8.2.

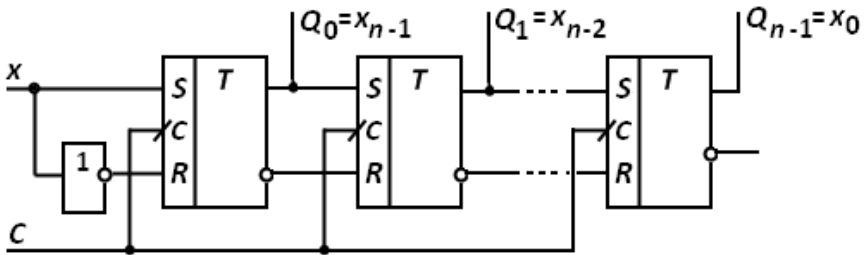


Рисунок 8.2 - Структурна схема n -розрядного зсувового регістра на базі RS -тригерів

В момент надходження фронту (наприклад, додатного на рисунку 8.2) першого синхроімпульсу наймолодший розряд X_0 двійкового коду X записується у перший розряд регістра. Під впливом такого ж фронту другого синхроімпульсу вміст першого розряду регістра переписується в другий розряд, а на його місце записується другий розряд X_1 числа. Таким чином здійснюється ряд послідовних зсувів інформації, що надходить на вхід, аж до повного її введення в регістр.

8.2.2 Зсувовий регістр K155ИР1

Зсувовий регістр K155ИР1, логічна структура та умовне графічне позначення якого приведені на рис. 8.3,а,б, є чотирирозрядним регістром з послідовним або паралельним уводом і виводом інформації.

Мікросхема може застосовуватися як буферна пам'ять, елемент затримки на декілька тактів, перетворювач послідовних кодів в паралельні і навпаки, дільник частоти тощо.

Регістр K155ИР1 може виконувати наступні операції:

- увід інформації паралельним кодом;
- увід інформації послідовним кодом із зсувом праворуч;
- увід інформації послідовним кодом із зсувом ліворуч;
- зберігання інформації;
- вивід інформації паралельним кодом;
- вивід інформації послідовним кодом.

Регістр має два тактових входи $C1$ і $C2$, керуючий вхід $V2$, п'ять інформаційних входів: чотири входи $D1...D4$ для запису інформації у паралельному коді і один вхід $V1$ для уводу інформації у послідовному коді.

Наявність двох тактуючих входів допускає синхронізацію від різних генераторів при роботі у режимах "зсув праворуч" і "паралельний увід". Якщо в обох режимах синхронізація виконується від спільного джерела, тактові імпульси можливо подавати на входи $C1$ і $C2$ одночасно.

На інформаційних входах сигнали повинні змінюватися до появи спаду тактового імпульсу. Робочий режим задається рівнем сигналу на вході $V2$.

Увід інформації послідовним кодом, а також зсув її в сторону старшого розряду $Q4$ регістра (зсув ліворуч) виконується при $V2=0$ (рис. 8.4, а). Вхідна інформація подається на вхід $V1$, а тактові імпульси - на вхід $C1$. Зсув ліворуч на один розряд робиться при кожному перепаді 1,0 тактових імпульсів $C1$. Інформація в послідовному коді перетворюється у паралельний і після 4 тактових імпульсів $C1$ може бути зчитана з виходів $Q1...Q4$.

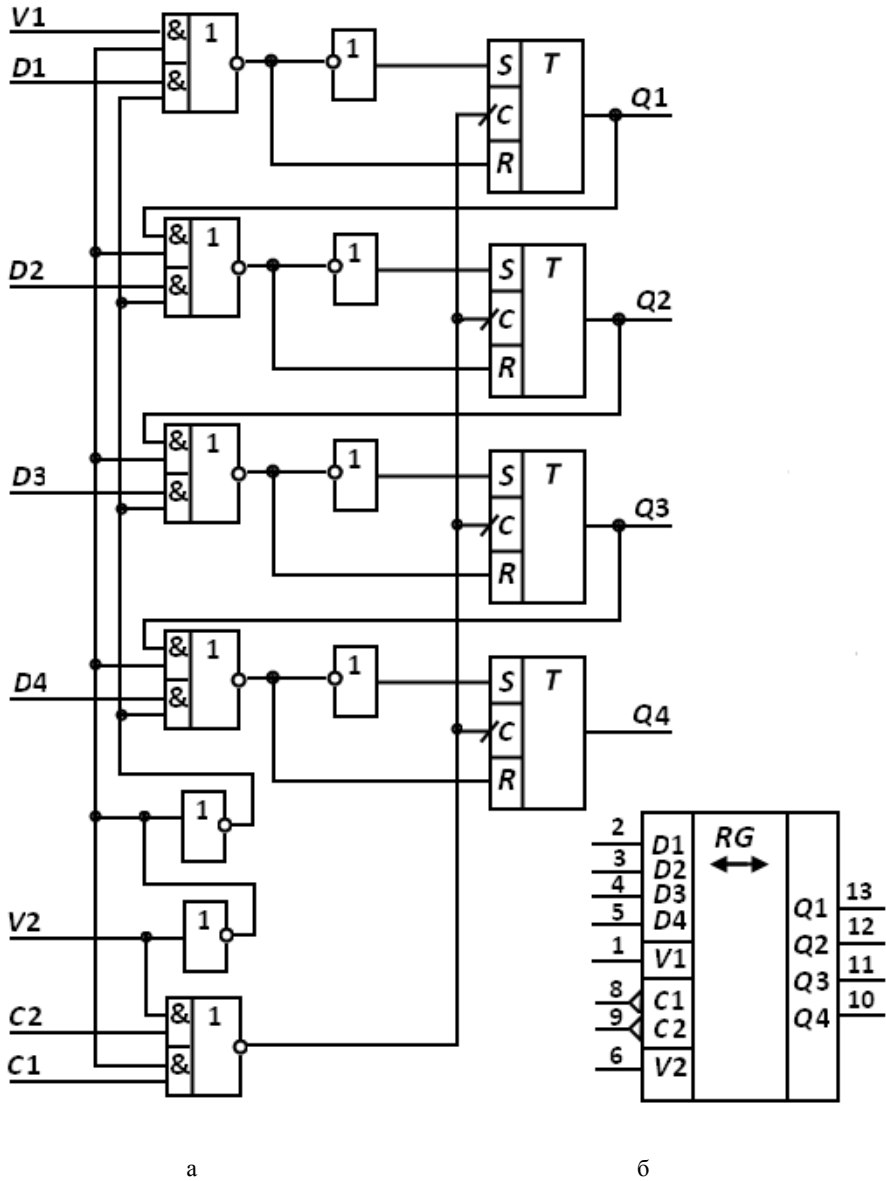
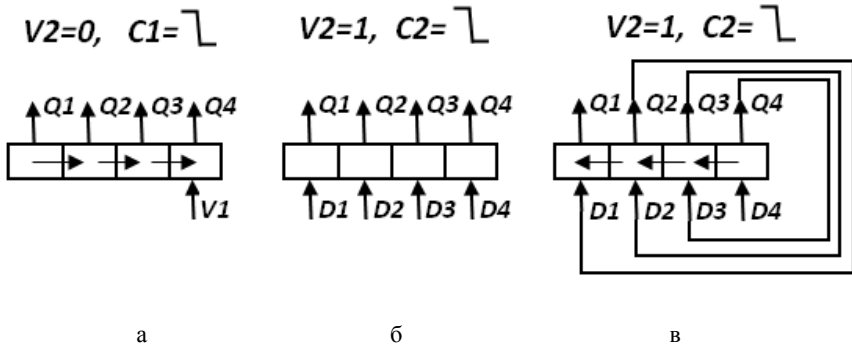


Рисунок 8.3 - Логічна структура (а) та умовне графічне позначення (б) мікросхеми К155ІР1

Увід інформації паралельним кодом (рис. 8.4, б) здійснюється при $V2=1$. Запис інформації у тригери регістра з входів $D1...D4$ робиться при перепаді 1,0 тактового імпульсу $C2$. Входи $V1$ і $C1$ при цьому блокувані, їх стан не грає ролі.



- а - послідовним кодом із зсувом праворуч;
 б - паралельним кодом;
 в - послідовним кодом із зсувом ліворуч.

Рисунок 8.4 - Способи вводу інформації у регістр К155ІР1

Перетворення послідовного коду у паралельний із зсувом у сторону молодшого розряду (зсув ліворуч, рис. 8.4, в) виконується при подачі сигналу $V2=1$. Тактові імпульси подаються на вхід $C2$. У цьому разі потік інформації має зворотний напрямок: від четвертого тригера до третього, від третього до другого тощо, для чого необхідно зробити зовнішнє з'єднання виходів $Q4, Q3, Q2$ з входами $D3, D2, D1$ відповідно. Інформація в послідовному коді уводиться в регістр через вхід $D4$. Зсув ліворуч на один розряд відбувається при кожному перепаді 1,0 тактових імпульсів на вході $C2$.

Стани входів регістра К155ІР1 при роботі у різних режимах приведені у табл. 8.1.

Зсувовий регістр К155ІР1 має напругу живлення $U_{д.ж.} = 5 \text{ В} \pm 5\%$.

Таблиця 8.1 - Стани входів регістра

Стани входів					Р е ж и м
V2	C1	C2	V1	D1...D4	
0	⌋	X	Код	X	Запис послідовним кодом, зсув праворуч
1	X	⌋	X	Код	Запис паралельним кодом
1	X	⌋	X	Код на D4	Запис послідовним кодом, зсув ліворуч

При дослідженні роботи регістра на відповідний тактовий вхід подаються одиночні імпульси додатної полярності. У цьому разі спостерігається ефект деренчання контактів. Так називають ефект, при якому у момент зіткнення контактів переключення в їх ланцюгу з'являються імпульси тривалістю близько мілісекунди. Вони приводять до помилкових переключень регістра. Для ліквідування ефекта деренчання контактів у схему вводять додатково *RS*-тригер.

Реєстрація появи додатної напруги як на вході *RS*-тригера, так і на виходах регістра здійснюється за станом світлодіодів.

8.3 Порядок проведення досліджень

Послідовність проведення досліджень приводиться нижче.

8.3.1 Здійснити увід інформації послідовним кодом із зсувом праворуч. При цьому вхід *V2* з'єднати з спільним мінусовим дротом. Сигнали на входи *C1* і *V1* необхідно подавати згідно рис. 8.5,а.

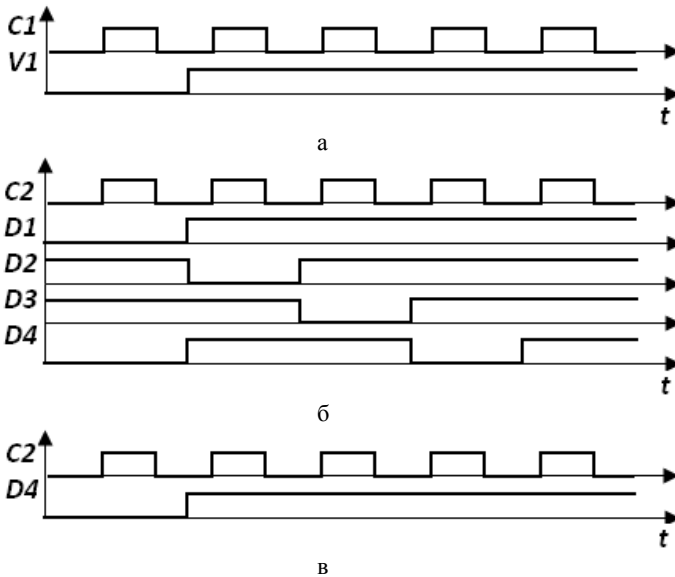
8.3.2 Здійснити увід інформації паралельним кодом. При цьому установити на вході *V2* високий рівень сигналу. Послідовність подачі сигналів на входи *C2*, *D1...D4* показана на рис. 8.5, б.

8.3.3 Здійснити увід інформації послідовним кодом із зсувом ліворуч. При цьому установити на вході *V2* високий рівень сигналу. Послідовність подачі сигналів на входи *C2*, *D4* виконати на зразок рис. 8.5, в.

8.3.4. Написати таблицю істинності і накреслити часову діаграму роботи регістра при послідовному вводі інформації із зсувом праворуч. На діаграмі зобразити сигнали $C1$, $V1$, $Q1$, $Q2$, $Q3$, $Q4$.

8.3.5. Написати таблицю істинності і накреслити часову діаграму роботи регістра при паралельному вводі інформації. На діаграмі зобразити сигнали $C2$, $D1$, $D2$, $D3$, $D4$, $Q1$, $Q2$, $Q3$, $Q4$.

8.3.6. Написати таблицю істинності і накреслити часову діаграму роботи регістра при послідовному вводі інформації із зсувом ліворуч. На діаграмі зобразити сигнали $C2$, $D4$, $Q1$, $Q2$, $Q3$, $Q4$.



а – вхідні сигнали при дослідженні режиму: увід інформації послідовним кодом із зсувом праворуч;

б – вхідні сигнали при дослідженні режиму: увід інформації паралельним кодом;

в – вхідні сигнали при дослідженні режиму: увід інформації послідовним кодом із зсувом ліворуч

Рисунок 8.5 - Послідовність подачі сигналів на входи регістра

8.4 Вимоги до звіту

Звіт повинен містити:

- найменування та мету роботи;
- логічну структуру мікросхеми K155IP1;
- вимоги пунктів 8.3.4 – 8.3.6;
- стислі висновки.

8.5 Контрольні запитання

- 1 Які типи регістрів Ви знаєте?
- 2 Призначення регістра пам'яті.
- 3 Призначення зсувового регістра.
- 4 Які входи має регістр K155IP1 і яке у них призначення?
- 5 Як здійснити увід інформації послідовним кодом із зсувом ліворуч? Дослідити проходження інформації на виходи у цьому режимі (за логічною схемою).
- 6 Як здійснити увід інформації паралельним кодом? Дослідити проходження інформації на виходи у цьому режимі (за логічною схемою).
- 7 Як здійснити увід інформації послідовним кодом із зсувом праворуч? Дослідити проходження інформації на виходи у цьому режимі (за логічною схемою).
- 8 Що таке “ефект деренчання контактів”?
- 9 Де використовується мікросхема K155IP1?
- 10 Що означає символ X в таблиці 8.1?
- 11 Які додаткові з'єднання у схемі необхідно зробити при дослідженні режиму: увід інформації послідовним кодом із зсувом ліворуч?
- 12 З якою метою у схемі регістра K155IP1 використовується два синхровходи?
- 13 Чи буде правильно спрацьовувати зсувовий регістр K155IP1, якщо подати на його вхід живлення напругу 5,6 В?
- 14 Чи буде правильно спрацьовувати зсувовий регістр K155IP1, якщо переплутати вивід живлення і спільний вивід?

9 РЕКОМЕНДОВАНА ЛІТЕРАТУРА

- 1 **Колонтаєвський, Ю.П.** Промислова електроніка та мікросхемотехніка: теорія і практикум [Текст] / Ю.П.Колонтаєвський, А.Г. Сосков – К.: Каравела, 2003.–368 с.
- 2 **Алексенко, А.Г.** Мікросхемотехніка [Текст] / А.Г.Алексенко, И.И. Шагурин – М.: Радио и связь, 1990. – 496 с.
- 3 **Руденко, В.С.** Промислова електроніка [Текст] / В.С. Руденко, В.Я. Ромашко, В.В. Трифонюк. – К.: Либідь, 1993. – 432 с.
- 4 **Бабіч, М.П.** Комп'ютерна схемотехніка [Текст] / М.П Бабіч, І.А. Жуков. – К.: МК-Прес, 2004.–412 с.