

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ**  
**Запорізький національний технічний університет**

**МЕТОДИЧНІ ВКАЗІВКИ**

**для самостійної роботи студентами всіх форм навчання  
при вивченні дисципліни  
„ Основи мікропроцесорної техніки ”  
для підготовки бакалаврів  
напряму 050702 «Електромеханіка»  
спеціальностей  
8.05070201 «Електричні машини та апарати»  
зі спеціалізацією «Електричні апарати»  
та 8.05070207 «Електромеханічне обладнання  
енергоємних виробництв»**

Методичні вказівки для самостійної роботи студентами всіх форм навчання при вивченні дисципліни «Основи мікропроцесорної техніки» для підготовки бакалаврів напряму 050702 «Електромеханіка» спеціальностей 8.05070201 «Електричні машини та апарати» зі спеціалізацією «Електричні апарати» та 8.05070207 «Електромеханічне обладнання енергоємних виробництв» / Укл.: Л.Б. Жорняк, В.І. Осинська. – Запоріжжя: ЗНТУ, 2016. – 46 с.

Укладачі:	Л.Б. Жорняк, доцент, к.т.н. В.І. Осинська, ст. викладач
Рецензент:	О.В. Близняков, доцент, к.т.н.
Відповідальний за випуск:	П.Д. Андрієнко, професор, д.т.н.

Затверджено  
на засіданні НМК ЕТФ  
протокол №1  
від 20.09.2016  
Затверджено  
на засіданні кафедри  
"ЕЕА", протокол  
№1 від 16.09.2016

**ЗМІСТ**

1	Мета та задача вивчення дисципліни .....	4
2	Програма та методичні вказівки по вивченню курсу .....	4
3	Контрольна робота № 1. Системи числення та цифрові коди..	11
4	Контрольна робота № 2. Вивчення логічних елементів і цифрових пристроїв .....	25
5	Контрольна робота № 3. Опрацювання даних у мікропроцесорах.....	26
6	Контрольна робота № 4. Розробка загальносистемних блоків МП систем .....	27
7	Контрольна робота № 5. Розробка пристрою, що задає час, МП системи .....	37
	Перелік посилань .....	46

## **1 МЕТА ТА ЗАДАЧА ВИВЧЕННЯ ДИСЦИПЛІНИ**

Метою вивчення дисципліни є формування у студентів знань про сучасний стан і можливості використання засобів мікропроцесорної (МП) техніки, знання основних функціональних вузлів, які використовуються при побудові мікропроцесорних систем керування.

Задача при вивченні дисципліни - ознайомлення з елементною базою МП систем, основними принципами побудови МП систем на базі мікропроцесорів із фіксованою розрядністю, системою команд і мовою Асемблер мікропроцесора.

У результаті вивчення студент повинен знати елементну базу, систему команд, принципи програмно-апаратної реалізації МП систем керування. На основі отриманих знань студент повинен уміти розробляти принципіві схеми МП систем, програмувати мікропроцесор серії KP580 у машинних кодах, розробляти прості програми на мові Асемблер.

Матеріал дисципліни базується на знаннях, отриманих студентами при вивченні дисциплін: „Вища математика”, „Електроніка та мікросхемотехніка”, „Фізика” та ін.

## **2 ПРОГРАМА ТА МЕТОДИЧНІ ВКАЗІВКИ ПО ВИВЧЕННЮ КУРСУ**

### **2.1 Вступ**

#### **2.1.1 Мета та задача вивчення дисципліни**

Мета та задача вивчення дисципліни. Історія розвитку МП техніки. Основні поняття і визначення. Області застосування мікропроцесорів. Мікропроцесори в електричних апаратах [1-4,7,8,12].

#### **2.1.2 Методичні вказівки**

При вивченні матеріалу розділу необхідно звернути увагу на місце і роль мікропроцесорної техніки в створенні високоефективних електричних апаратів.

### **2.1.3 Контрольні питання**

2.1.3.1 Мета та задача курсу, його вплив на кваліфікацію спеціаліста.

2.1.3.2 Основні етапи розвитку мікропроцесорних засобів.

2.1.3.3 Визначення мікропроцесора, мікропроцесорного комплексу, системи цифрового автоматичного керування.

2.1.3.4 Приклад застосування мікропроцесорів в електричних апаратах.

## **2.2 Арифметичні та логічні основи МП техніки**

### **2.2.1 Зміст розділу**

Системи числення. Переклад чисел з однієї системи числення в іншу. Арифметичні дії над двійковими числами.

Алгебра логіки функції двох змінних. Логічні елементи, основні типи логічних елементів. Логічний елемент І-НІ ТТЛ-типу: принцип роботи, основні параметри і характеристики. Серії інтегральних логічних елементів. Система маркірування інтегральних схем.

### **2.2.2 Методичні вказівки**

При вивченні матеріалу розділу необхідно звернути увагу на основні визначення систем числення, форми запису чисел у різних системах і у виді поліному від основи системи. Правила перекладу з однієї системи числення в іншу і правила двійкової арифметики доцільно закріпити рішенням прикладів. При вивченні логічних функцій двох змінних звернути увагу на функції кон'юнкції, диз'юнкції, додавання по модулю два, АБО-НІ, І-НІ і їхні реалізації в логічних елементах [3,4].

### **2.2.3 Контрольні питання**

2.2.3.1 Визначення системи числення, позиційної системи числення, основи системи числення, розряду числа.

2.2.3.2 Представлення числа у виді поліному від основи системи числення у всіх системах числення.

2.2.3.3 Арифметичні дії над двійковими числами.

2.2.3.4 Переклад чисел з однієї системи числення в іншу.

2.2.3.5 Змінні операції в алгебрі логіки.

2.2.3.6 Реалізація операцій алгебри логіки за допомогою релейно-контактних ланцюгів.

2.2.3.7 Функції двох змінних. Повна система функцій.

2.2.3.8 Визначення логічного елемента (ЛЕ) і зображення ЛЕ на принципових схемах.

2.2.3.9 Типи ЛЕ.

2.2.3.10 Серії ЛЕ.

2.2.3.11 Робота ТТЛ- елемента І-НІ.

2.2.3.12 Основні параметри і характеристики ТТЛ–ЛЕ.

2.2.3.13 Система маркірування інтегральних схем.

## **2.3 Елементна база мікропроцесорів**

### **2.3.1 Зміст розділу**

Цифрові пристрої комбінаційного типу, призначення, умовне графічне позначення в схемах, призначення виводів, таблиця істинності шифратора, дешифратора, мультиплексора і суматора. Цифрові пристрої послідовного типу. Призначення, умовне графічне позначення в схемах, призначення виводів, таблиця станів, часові діаграми RS, D-тригерів, реверсивних і нереверсивних лічильників і регістрів. Класифікація пристроїв, що запам'ятовують (ЗП). Основні параметри, умовне графічне позначення, структурна схема ВІС ЗП [4,5,8].

### **2.3.2 Методичні вказівки**

При вивченні матеріалу розділу необхідно звернути увагу на призначення цифрових пристроїв, уміти по таблицях істинності і станів визначати значення вхідних і вихідних змінних.

### **2.3.3 Контрольні питання**

2.3.3.1 Відмінність пристроїв комбінаційного типу від послідовних.

2.3.3.2 Шифратор, дешифратор, мультиплексор, суматор: позначення в схемі, призначення виводів, таблиця істинності.

2.3.3.3 Визначення і класифікація тригерів.

2.3.3.4 RS і Д-тригери.

2.3.3.5 Лічильники: визначення, класифікація.

2.3.3.6 Приклад лічильника на Д-тригерах.

2.3.3.7 Приклад реверсивного лічильника на інтегральній схемі.

2.3.3.8 Регістри: призначення, класифікація, приклади регістрів пам'яті і зсуву.

2.3.3.9 Основні класифікаційні ознаки ЗП.

2.3.3.10 ВІС ОЗП: умовне графічне позначення, структурна схема, призначення виводів.

## **2.4 Архітектура мікропроцесорів**

### **2.4.1 Зміст розділу**

Узагальнена логічна структура мікроЕОМ. Принципи взаємодії мікропроцесора із зовнішніми пристроями. Архітектура однокристалного мікропроцесора з фіксованою системою команд: призначення основних елементів, виконання команди як послідовності мікрокоманд. Архітектура мікропроцесора КР580ВМ80А й основні параметри [1,2,4,5-8].

### **2.4.2 Методичні вказівки**

При вивченні матеріалу розділу необхідно звернути увагу на призначення елементів, схеми і їхні взаємодії в процесі виконання команд.

### **2.4.3 Контрольні питання**

2.4.3.1 Назвіть основні елементи узагальненої структурної схеми мікро ЕОМ.

2.4.3.2 Принципи взаємодії мікропроцесора з зовнішніми пристроями.

2.4.3.3 Призначення елементів структурної схеми мікропроцесора з фіксованою системою команд.

2.4.3.4 Етапи виконання команди.

2.4.3.5. Назвіть основні елементи архітектури мікропроцесора KP580BM80A.

## **2.5 Система команд мікропроцесора**

### **2.5.1 Зміст розділу**

Методи адресації операндів у мікропроцесорах. Система команд мікропроцесора KP580BM80A. Основні групи команд і їхнє призначення. Команди пересилки даних, виконання арифметичних і логічних операцій, команди керування, зв'язку з підпрограмами, оперативні команди, команди уведення та виведення [1-8].

### **2.5.2 Методичні вказівки**

При вивченні матеріалу розділу необхідно звернути увагу на наявність модифікацій команд одного призначення, які відрізняються методами адресації операндів. Закріпити знання мнемочодів команд і методів адресації доцільно шляхом виконання вправ на навчальному мікропроцесорному комплекті (НМК).

### **2.5.3 Контрольні питання**

2.5.3.1 Основні методи адресації операндів у мікропроцесорі.

2.5.3.2 Основні групи команд і їхнє призначення.

2.5.3.3 Основні мнемочоди команд.

## **2.6 Архітектура процесорного вузла**

### **2.6.1 Зміст розділу**

Склад мікропроцесорного комплекту. Умовне графічне позначення, призначення виводів процесора КР580ВМ80А.

Генератор тактових імпульсів КР580ГФ24: призначення, умовне графічне позначення, призначення виводів, схема підключення до процесора. Системний контролер і шинний формувач КР580ЗК28: призначення, умовне графічне позначення, призначення виводів, схема підключення до процесора.

Шинний формувач КР580ВЛ86: призначення, умовне графічне позначення, призначення виводів. Побудова процесорного вузла з використанням системного контролера [1,8,10].

### **2.6.2 Методичні вказівки**

При вивченні матеріалу розділу необхідно звернути увагу на призначення окремих мікросхем процесорного вузла і їхню взаємодію в цьому вузлі.

### **2.6.3 Контрольні питання**

2.6.3.1 Склад мікропроцесорного комплекту.

2.6.3.2 Генератор тактових імпульсів.

2.6.3.3 Системний контролер.

2.6.3.4 Шинний формувач.

2.6.3.5 Структура процесорного вузла.

## **2.7 Побудова мікропроцесорної системи**

### **2.7.1 Зміст розділу**

Структурна схема мікропроцесорного приводу, що стежить. Поняття системної магістралі. Призначення і функції окремих елементів системи. Карта пам'яті. Реалізація пам'яті програм. Реалізація пам'яті даних. Дешифрація адресного простору. Реалізація функцій зовнішнього таймера-лічильника з використанням КР580ВВ55. Умовне гра-

фічне позначення, призначення виводів. Схема підключення до системної магістралі.

Основні режими роботи. Програмування таймера-лічильника. Уведення (виведення) інформації із застосуванням ВІС, що програмується, паралельного інтерфейсу (ПРІ) KP580BB55. Умовне графічне позначення, призначення виводів, схема підключення до системної магістралі, основні режими роботи, програмування. Приклад підключення дискретних датчиків і силових ключів за допомогою ПРІ. Принципи організації послідовного інтерфейсу з використанням ВІС KP580BB51.

Сполучення ЦАП із мікропроцесорними системами: характеристики інтегральних ЦАП, засоби сполучення. Сполучення АЦП із мікропроцесорними системами: характеристики інтегральних АЦП, умовне графічне позначення, призначення виводів АЦП і засоби сполучення [1-11].

## **2.7.2 Методичні вказівки**

Даний розділ є підсумковим у курсі і тому його вивченню необхідно приділити особливу увагу, а саме, розглянути режими ВІС таймера-лічильника, ПРІ, послідовного інтерфейсу, ЦАП і АЦП, вміти визначати значення розрядів керуючих слів відповідних обраним режимам.

## **2.7.3 Контрольні питання**

2.7.3.1 Призначення елементів мікропроцесорного приводу, що стежить.

2.7.3.2 Основні елементи системної магістралі.

2.7.3.3 Адресний простір мікропроцесорної системи.

2.7.3.4 Принципи побудови пам'яті програм.

2.7.3.5 Принципи побудови пам'яті даних.

2.7.3.6 Основні режими роботи таймера-лічильника.

2.7.3.7 Порядок програмування таймера-лічильника.

2.7.3.8 Принципи введення (виведення) інформації із використанням ВІС ПРІ KP580BB55.

2.7.3.9 Принципи організації послідовного інтерфейсу з використанням ВІС KP580BB55.

2.7.3.10 Принципи сполучення ЦАП із МП системами.

2.7.3.11 Принципи сполучення АЦП із МП системами.

## 3 КОНТРОЛЬНА РОБОТА № 1 СИСТЕМИ ЧИСЛЕННЯ ТА ЦИФРОВІ КОДИ

### 3.1 Загальні відомості

Система числення – сукупність цифрових знаків і правил їх запису, які приймаються для однозначного запису чисел.

Системи числення підрозділяються на непозиційні і позиційні. Непозиційною називають систему числення, в якій положення цифри не залежить від її положення в ряду цифр, зображуючих число. Прикладом може бути римська система числення, в якій для позначення чисел служать букви римського алфавіту:

1 – I, 5 – V, 10 – X, 50 – L, 100 – C і т.і.

Запис числа здійснюється по правилу: менший знак справа від більшого прибавляється до його значення, а зліва – віднімається від нього. Тому XC – 90, а CX – 110. При запису довгих послідовностей чисел непозиційні системи громіздкі, здійснювати арифметичні дії в них незручно. Тому ці системи для розрахунків не використовуються.

Позиційною є така система числення, в якій значення цифри залежить від її положення в ряду цифр, зображуючих число, тобто ваги розряду. В десятковій системі вага розряду – 10. Позиційна система числення характеризується кількістю символів, які використовуються для запису чисел. Максимальна їхня кількість, яка використовується для запису чисел у цій системі числення, зветься основою системи числення.

Для позиційної системи числення з спільною основою є слухним рівняння

$$X(q) = a_n q^n + a_{n-1} q^{n-1} + \dots + a_1 q^1 + a_0 q^0 + a_{-1} q^{-1} + \dots + a_{-m} q^{-m} = \sum_{i=-m}^{i=n} a_i q^i,$$

де  $q$  – основа позиційної системи числення – ціле додатне число;  
 $X(q)$  – довільне число, записане в системі числення з основою  $q$ ;

$a_i$  – коефіцієнт ряду (цифри системи числення);  
 $n, m$  – кількість цілих та дробових розрядів.

### 3.1.1 Характеристика основних систем числення

3.1.1.1 Десяткова система – найбільш розповсюджена. Має основу 10. Використовує 10 символів (0...9). Позначається виказанням основи або символом D (Decimal). Наприклад,  $1=1D$ .

Декодування здійснюється по схемі

$$\begin{aligned} 1\ 9\ 9\ 2\ D &= 1*10^3 + 9*10^2 + 9*10^1 + 2*10^0, \\ 2\ 1\ 0.\ 4\ 5\ 6\ D &= 2*10^2 + 1*10^1 + 0*10^0 + 4*10^{-1} + 5*10^{-2} + 6*10^{-3}. \end{aligned}$$

3.1.1.2 Двійкова система найбільш проста по будуванню. В ній використовуються тільки два символи: 0 та 1, що узгоджується з технічними характеристиками цифрових схем. При порівнянні запису чисел в різних системах з'ясовується, що в двійковій системі використовується значно більше позицій, оскільки для подання використовують тільки два символи. Кожній позиції присвоєна своя вага, яка кратна 2. Вага позицій для розрядів двійкового числа має такі ж значення. В позначенні використовують символ B (Binary). Вага розрядів така:

$$\begin{array}{cccccccccc} 2^8 & 2^7 & 2^6 & 2^5 & 2^4 & 2^3 & 2^2 & 2^1 & 2^0 & \\ 256 & 128 & 64 & 32 & 16 & 8 & 4 & 2 & 1 & \\ 101101\ B & = & 1*2^5 & + & 0*2^4 & + & 1*2^3 & + & 1*2^2 & + & 0*2^1 & + & 1*2^0 & = & 45D \end{array}$$

3.1.1.3 Вісімкова система числення має основу 8. В ній використовують символи від 0 до 7. Вона вигідна як компактна форма запису трьохрозрядних двійкових чисел, зручна для користувача ( $8=2^3$ ). Вісімкове подання двійкового числа дозволяє суттєво скоротити довжину запису числа. Позначається символом Q або O (Octal).

Наприклад,  
 $176\ Q = 1*8^2 + 7*8^1 + 6*8^0 = 64 + 56 + 6 = 126\ D$ .

3.1.1.4 Шістнадцятирічна система числення є засобом скорочення запису 4-розрядного двійкового числа, тому, що  $16=2^4$ . Для кодування використовується 16 символів: 0...9, A, B, C, D, E, F. Перетворення двійкового числа в шістнадцяткове засноване на об'єднанні розрядів, починаючи з молодшого значущого, в групи по чотири. Кожній групі ставиться у відповідність шістнадцятковий символ. Для позначення використовується символом Н (Hecadecimal).

Наприклад,

0010 1010 B = 2A H.

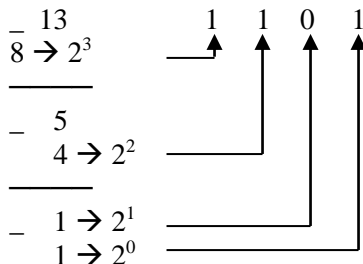
Так як найбільш розповсюджена і практично використовується десяткова форма запису чисел, а цифрові пристрої використовують двійкову систему запису, частіше за усе виникає потреба перекладу чисел між вказаними системами.

### 3.1.2 Перевід десяткового числа в двійкове

Десяткове число може мати цілу та дрібкову частину. Кожна з них переводиться в двійковий еквівалент окремо. Повне подання двійкового числа одержується шляхом об'єднання цих двох частин, з зазначенням місця двійкової коми. Для перекладу частіше за усе використовують методи: віднімання, ділення, множення.

#### 3.1.2.1 Метод віднімання

Віднімається число, відповідне максимальному можливому ступеню числа 2 та записується 1 у відповідний розряд. Якщо після віднімання наступного ступеня числа, 2 з залишку не віднімається, записується 0 у відповідний розряд. Процедура продовжується доки десяткове число не зменшиться до 0.



---

 0

### 3.1.2.2 Метод ділення

Для переводу D-числа у B-еквівалент використовується ділення на 2. Якщо є залишок, то в молодший розряд записують 1, якщо залишку немає, то записують 0. Вказаний процес продовжується при діленні залишка, доки результат не зменшиться до 0.

2	15	Залишок	-	15	2		
2	7	→ 1			14	2	
2	3	→ 1			1	7	2
2	1	→ 1			6	3	2
2	0	→ 1			1	2	1

$$15 D = 1111 B$$

### 3.1.2.3 Метод множення

Якщо необхідно дрібне число D перевести у B-еквівалент, то використовують послідовне множення на 2. Якщо перший результат менше 1, то старший двійковий розряд є 0. Якщо результат більше або дорівнює 1, то старший двійковий розряд є 1. Процедура повторюється до отримання заданого степеня точності.

0,5625	*	2	=	1,1250	→	1
0,1250	*	2	=	0,250	→	0
0,25	*	2	=	0,5	→	0
0,5	*	2	=	1,0	→	1
0,0	*	2	=	0,0	→	0

$$0,5625 D = 0,10010 B$$

### 3.1.3 Перевід двійкового числа в інші

3.1.3.1 Перевід числа з двійкової системи в десяткову можна виконати викладеним раніше засобом, наводячи його в розгорненому вигляді, шляхом складання усіх результатів множення цифри кода на вагу позиції.

Наприклад:

$$0111 \text{ B} = 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 0 + 4 + 2 + 1 = 7 \text{ D}$$

Існує і інший підхід. Він заснований на запису двійкового числа та порозрядному підрахунку десяткових цифр. Для цього напроти розряду двійкового числа записується 1 та кожний наступний розряд помножується на 2. Якщо відповідному двійковому розряду відповідає 1, то до результату додається 1. Напроти молодшого розряду двійкового числа виходить шукане десяткове число.

Наприклад:

1	0	1	0	0	1	1
1	2	5	10	20	41	83

$$1010011 \text{ B} = 83 \text{ D}$$

Слід відзначити, що по вказаній методиці можна виконати перехід у будь-яку позиційну систему, користуючись її основою.

3.1.3.2 Правила перекладу вісімкових, шістнадцяткових чисел у двійкові та навпаки виключно прості тому, що їх основою є цілі ступені числа 2. Для перекладу вісімкового (шістнадцяткового) числа в двійкову форму достатньо замінити кожну цифру такого числа відповідним трьохрозрядним (чотирьохрозрядним) двійковим числом.

Наприклад:

$$2516,1 \text{ Q} = 010101001110,001 \text{ B}$$

$$7\text{B3}, \text{ E H} = 011110110011,1110 \text{ B}$$

При перекладі з двійкової у вісімкову (шістнадцяткову) систему виконують таке: від коми вліво та вправо розбивають двійкове число відповідно на групи по три (триади) або чотири (тетради) розряди, доповнюючи при необхідності нулями крайні ліву та праву групи. Потім кожну групу заміняють відповідною цифрою.

Наприклад:

011 001 111, 110 100 В = 317,64 Q  
0011 0001, 1011 1000 В = 31, В8 Н

Існують процедури перетворення вісімкових чисел у шістнадцяткові та навпаки. Однак необхідність в їх використанні виникає дуже рідко, так як вказані системи служать тільки формою наведення чисел для користувачів та безпосередньо цифровими приладами не використовуються. Шістнадцяткова система зручна для наведення двійкових чисел розрядністю кратній 4, а вісімкова, в свою чергу, для чисел розрядністю кратній 3. Якщо проблема перекладу з'явилася, то найбільш простим засобом її рішення є наведення початкового числа в двійковій формі, потім перетворення отриманого числа у потрібну систему числення.

3.1.3.3 Найбільш зручною для сприйняття людиною є десяткова система числення. Отож багато приладів зв'язку з оператором повинні працювати так, щоб з боку цифрового приладу забезпечити роботу в двійковій системі числення, а на виході забезпечити роботу в десятковій системі. Вказаним цілям служить двійково-десятькове представлення чисел. Воно створюється прямою заміною цифр двійково-десятьковими еквівалентами:

0110	0011	0100	0111
6	3	4	7

Код (фр. Code) – універсальний засіб відображення інформації, який задається відповідністю між елементами повідомлень та сигналами, за допомогою яких вони фіксуються. Код задається взаємно однозначною відповідністю між елементами повідомлень та словами у даному алфавіті, число букв якого називають основою.

В цифровій техніці сукупність символів, обробляємих паралельно, звать словом. Слово виражається двійковим числом з заданою розрядністю.

Розряд двійкового числа звать бітом (Binary digit – двійкова цифра). Вага розрядів збільшується справа наліво. Сукупність восьми бітів звать байтом. Цифрові прилади можуть оперувати 4, 8, 12, 16, 24,

32 – розрядними словами. Ефективність обробки інформації збільшується, якщо в слові ціла кількість байтів. Збільшення розрядності слова сприяє збільшенню швидкості.

Крім розглянутих раніше кодів для реалізації окремих можливостей цифрової техніки використовується додатковий код, зворотній код, код Грея та ін.

Двійкове доповнення, будучи доданим до основного числа, в сумі з ним дає 1. Зворотній код отримується за рахунок інвертування кожного біта. Код Грея відноситься до групи рефлексно-двійкових кодів. Орієнтований на роботу з датчиками положення. Має ту ж розрядність та такий же старший розряд, що й двійковий. Відмінність полягає в тому, що два сусідніх числа кода Грея відрізняються тільки одним бітом, що знижує перехідні похибки автоматичних виконавчих приладів. Коди найбільш розповсюджених систем наведення чисел приведені в табл.3.1.

Таблиця 3.1 – Числа в різних системах числення

D	B	Q	H
0	0000	0	0
1	0001	1	1
2	0010	2	2
3	0011	3	3
4	0100	4	4
5	0101	5	5
6	0110	6	6
7	0111	7	7
8	1000	10	8
9	1001	11	9
10	1010	12	A
11	1011	13	B
12	1100	14	C
13	1101	15	D
14	1110	16	E
15	1111	17	F

### 3.1.4 Особливості арифметичних дій

3.1.4.1 Арифметичні дії над числами в двійковій системі проводяться таким чином.

Знак числа: “+” позначається цифрою 0, “-” – 1.

Таблиця множення:

$$0*0=0; 0*1=1*0=0; 1*1=1$$

Таблиця додавання:

$$0+0=0; 0+1=1+0=1; 1+1=10 \text{ (Перенос в старший розряд).}$$

Віднімання представляє собою алгебраїчне додавання.

Додатні числа пишуться в прямому двійковому коді, перед ними ставиться знак 0. Від’ємні числа можуть бути записані в зворотному (інверсному) або додатковому двійковому коді. При цьому старший біт, сьомий, індицирує знак ( $0^{“+”}$ ,  $1^{“-”}$ ).

Цифровий пристрій, на відміну від людини, здійснює операції над числами паралельно, одразу у всіх розрядах, тому вони повинні бути заповнені. Розглянемо процес додавання:

	<b>7</b>	<b>6</b>	<b>5</b>	<b>4</b>	<b>3</b>	<b>2</b>	<b>1</b>	<b>0</b>	
	1	0	0	1	1	0	0	1	
-									додаток
	<u>0</u>	1	1	0	1	0	1	0	
1	0	0	0	0	0	0	1	1	результат

Починаючи з четвертого розряду (біта) з’явився перенос (результат підкреслений), який викликав в результаті переповнення розрядної сітки. Така ситуація може викликати хибний результат. Тому цифрові пристрої мають спеціальний пристрій керування, який змінює свій стан при переповненні розрядної сітки і звертає слово стану у додатковому пристрої.

Вісім розрядів двійкового числа потенційно можуть представляти числа:

- а) без знаку 0...255;
- б) зі знаком (без сьомого біту) від -128 до +127.

Наприклад:

- а) числа без знака:

0	0	0	0	0	0	0	0	= 0 D;
1	1	1	1	1	1	1	1	= 255 D.

б) числа зі знаком:

0	1	1	1	1	1	1	1	= +127 D;
1	1	1	1	1	1	1	1	= -1 D;
1	0	0	0	0	0	0	0	= - 128 D.


На практиці при запису знаковий біт часто виділяють крапкою. Виконаємо в двійковій формі дію:

$$3D - 83D = -80D.$$

$$\begin{array}{r}
 0.000011 \\
 + \\
 \underline{1.0101100} \\
 1.0101111
 \end{array}$$

Результат записаний в зворотному двійковому коді та він від'ємний. Зараз необхідно виконати дію:

$$83D - 3D = +80D.$$

$$\begin{array}{r}
 0.1010011 \\
 + \\
 \underline{1.1111100} \\
 \text{результат 1} \leftarrow 0.1001111 + 1 = 0.1010000 = \\
 80D
 \end{array}$$


Ми отримали суму 79D та переклали 1 у молодший розряд. Тільки після складання перекладу з молодшим розрядом отримується вірний результат. Таким є правило складання в зворотному коді. Нуль в зворотному коді може мати значення:

$$+0 = 0.0000000$$

$$-0 = 1.1111111$$

Правило кодування віднімаємих чисел у додатковому кодi. Число записують у зворотному кодi, потiм до молодшого розряду додається 1. Це дає можливість складати без переносу iз знакового розряду в молодший. В додатковому кодi  $-83D$  має вид:

$$\begin{array}{r} 1.0101100 \\ \quad \quad +1 \\ \hline 1.0101101 \end{array}$$

Число  $-3D$ :

$$\begin{array}{r} 1.1111100 \\ \quad \quad +1 \\ \hline 1.1111101 \end{array}$$

Складання чисел  $+83D - 3D = 80D$  має вигляд:

$$\begin{array}{r} 0.1010011 \\ + \\ \quad 1.1111101 \\ \hline \hline 1.1010000 \end{array}$$

У цьому випадку суму коректувати не треба.

Множення в двійковій системі робиться послідовним зсувом множимого вліво і складанням його з накопичуємою сумою по такому правилу:

Якщо в розряді множника 1, то множиме складається з накопичуємою сумою і потім зсувається: якщо в розряді множника 0, то множене зсувається на 1 розряд вліво.

Наприклад, перемножити  $25,5D$  і  $6,5D$  в двійковій формі,

$$\begin{array}{r}
 11001.1 \\
 * \quad 110.1 \\
 \hline
 110011 \\
 000000 \\
 110011 \\
 \hline
 110011 \\
 \hline
 10100101.11 = 165.75D
 \end{array}$$

Алгоритм ділення заснований на здобутті оберненої величини дільника і множення на цю величину діленого:  $A:B=A*1/B=C$ . Найбільш просте ділення реалізується методом віднімання. Після кожного віднімання дільник зсувається вправо по відношенню до діленого. Якщо залишок після віднімання додатний, в розряд частки записують 1, якщо від'ємний – 0. На практиці від'ємний залишок не записують, а дільник зсувають додатково на 1 розряд.

Наприклад, поділити 110111 В на 101 В

$$\begin{array}{r}
 - \quad 110111 \quad \left| \begin{array}{l} 101 \\ \hline \end{array} \right. \\
 \quad \underline{101} \\
 \quad \quad \_111 \quad \quad \quad \left| \begin{array}{l} 1011 \\ \hline \end{array} \right. \text{ – частка} \\
 \quad \quad \quad \underline{101} \\
 \quad \quad \quad \quad \_101 \\
 \quad \quad \quad \quad \quad \underline{101} \\
 \quad \quad \quad \quad \quad \quad \underline{000} \text{ – залишок}
 \end{array}$$

Поділити 1000100110 В на 11001 В

$$\begin{array}{r}
 - \quad 1000100110 \quad \left| \begin{array}{l} 11001 \\ \hline \end{array} \right. \\
 \quad \underline{11001} \\
 \quad \quad \_00100101 \quad \quad \quad \left| \begin{array}{l} 10110 \\ \hline \end{array} \right. \text{ – частка} \\
 \quad \quad \quad \underline{11001} \\
 \quad \quad \quad \quad \_0011001 \\
 \quad \quad \quad \quad \quad \underline{11001} \\
 \quad \quad \quad \quad \quad \quad \underline{00000} \text{ – залишок}
 \end{array}$$

3.1.4.2 Арифметичні дії в вісімковій та шістнадцятковій системах проводяться таким чином.

Арифметичні операції в вісімковій та шістнадцятковій системах не відрізняються від прийнятих в десятковій системі з урахуванням використання символів цієї системи та оснований на порозрядній обробці чисел. Вірні всі правила для десяткових чисел.

Наприклад:

1) складання шістнадцяткових чисел:

$$\text{a) } FH + 1H = 10H = 1 * 16^1 + 0 * 16^0 = 16D$$

$$\text{б) } \begin{array}{r} FF \\ + 1 \\ \hline 100 \end{array} \quad \begin{array}{r} AB \\ + CD \\ \hline 178 \end{array} \quad \begin{array}{r} AB \\ + D \\ \hline B8 \end{array}$$

2) складання вісімкових чисел:

$$\begin{array}{r} 417Q \\ + 125Q \\ \hline 544Q \end{array} \quad \begin{array}{r} 677Q \\ + 565Q \\ \hline 1464Q \end{array}$$

### 3.2 Завдання на контрольну роботу

Варіанти завдань на контрольну роботу наведені в табл. 3.2.

Таблиця 3.2 - Варіанти завдань до виконання контрольної роботи №1

Варіант	D		B		Q		H	
1	26	101	0001	00100011	12	1036	70	1AB2
2	37	112	0011	00110010	23	2147	81	A23C
3	48	123	0101	10000001	34	3254	92	FA31
4	59	134	0111	00010111	45	4365	12	35EF
5	61	145	0110	01001000	56	5476	23	7DF1
6	72	156	1000	01110100	67	1123	34	65FF
7	83	167	1100	11000110	13	2134	45	ABCD
8	94	178	1010	10100101	24	3245	56	ACBD
9	25	189	1011	11100100	35	4356	67	CDEF
10	36	190	1111	10011100	46	5467	78	AD7E
11	47	202	1101	01100101	57	1023	89	6AB1
12	58	213	1001	01101001	14	2134	9A	A5C7
13	69	224	1110	01111111	25	3145	13	6CFE
14	70	235	1001	10111101	36	4256	24	BCEF
15	81	246	0110	11011011	47	5367	35	EEFF
16	92	253	0101	11111000	21	2123	46	30AC
17	24	107	1101	01111110	32	3234	57	6F3C
18	35	119	1011	01001001	43	4345	68	E71F
19	46	120	1100	00111010	54	5456	79	FEFF
20	57	132	1001	10100101	65	6567	8A	312C
21	68	143	0111	11011011	76	3201	9B	4516
22	79	155	0110	10010101	11	4312	1C	3892
23	80	169	1010	01110110	21	5423	2D	4516
24	91	176	1110	01011000	32	6534	E1	1318
25	27	187	0101	00101010	42	7645	FC	318A
26	16	102	0110	01001001	15	7123	A1	3AB2
27	27	113	1001	01101100	26	7234	B2	2BC3
28	38	124	1101	01011010	37	7345	C3	2112

## Продовження таблиці 3.2

Вариант	D		B		Q		H	
29	49	135	0101	00111100	23	7456	D4	3223
30	50	146	1110	01111010	45	7567	E5	45AB
31	61	157	1010	11010110	56	6012	F6	36EF
32	72	168	0101	10000100	67	6123	7A	4A6F
33	83	179	0100	10100011	31	6234	8B	21D3
34	94	180	1100	10110110	42	5345	9C	4312
35	17	191	0111	10010101	53	4256	0D	2630
36	28	201	1111	01011011	64	3167	AE	37AF
37	39	212	0001	11110111	75	1012	BF	3120
38	40	223	0011	11101100	20	2123	A0	4630
39	51	234	1011	11001010	30	3134	B1	2781
40	62	245	1000	10110101	41	4235	C2	3A6E
41	73	255	0010	00011001	52	4346	D3	3780
42	84	103	0101	11111000	63	5457	E4	8170
43	95	114	1010	10111101	74	1021	F5	9210
44	18	125	1011	10001010	17	2132	AB	8697
45	29	136	1110	10010110	16	3243	BC	7180
46	30	147	1100	00111101	27	4354	CD	7620
47	41	158	0111	01110101	41	5465	DE	7733
48	52	169	1001	10100110	52	6576	EF	2345
49	63	170	1101	01101110	63	1234	BD	3615
50	74	181	0101	11100101	74	2345	EA	3276

**3.3 Методичні вказівки**

Перевести числа всіх систем числення в інші та провести дії складання та віднімання над числами в межах однієї системи. В двійковій системі також провести множення та ділення.

## **4 КОНТРОЛЬНА РОБОТА № 2 ВИВЧЕННЯ ЛОГІЧНИХ ЕЛЕМЕНТІВ І ЦИФРОВИХ ПРИСТРОЇВ**

### **4.1 Варіанти контрольних завдань**

1. Логічні елементи І-НІ.
2. Логічні елементи АБО, АБО-НІ.
3. Логічні елементи НІ, І-АБО-НІ.
4. Шифратор.
5. Дешифратор 2x4.
6. Дешифратор 3x8.
7. Дешифратор 4x16.
8. RS - тригер.
9. D-тригер.
10. JK-тригер.
11. Лічильник двійковий неререверсивний.
12. Лічильник десятковий неререверсивний.
13. Лічильник двійковий реверсивний.
14. Лічильник десятковий реверсивний.
15. Регістр зсуву неререверсивний.
16. Регістр зсуву реверсивний.
17. Регістр пам'яті.
18. Однорозрядний суматор.
19. ОЗП, ємністю 1024x1 біт.
20. ПЗП, ємністю 1024x8 біт.

### **4.2 Методичні вказівки**

Знайти по довіднику [8-11] мікросхему, що реалізує заданий логічний елемент або цифровий пристрій. Вивчити функціональну схему цього елемента або пристрою, його умовне графічне позначення в електричних схемах, призначення входів і виходів, таблицю істинності або станів і технічні характеристики. Перераховані дані навести в звіті. Вміти по станах на входах елемента визначати логічні рівні на його виходах і навпаки.

## 5 КОНТРОЛЬНА РОБОТА № 3 ОПРАЦЬОВУВАННЯ ДАНИХ У МІКРОПРОЦЕСОРАХ

### 5.1 Варіанти контрольних завдань

Таблиця 5.1

1	2	3
1. [2AH - (0907) + (0908)]	→	(0A02)
2. [(0904)-2AH+(0908)]	→	(0902)
3. [(09AB)-(09AC)+FE]	→	(09A3)
4. [IF - (0907) - (9808)]	→	(09AE)
5. [(0901)-(0902)-A9]	→	(HL)
6. [(0800) + (080A) - 1C]	→	(BC)
7. [1E - 3A + (0902)]	→	(0900)
8. [(0923) + 2A - CC]	→	(DE)
9. [(0901)+0C-(0888)]	→	(8100)
10.[EE+(0888) - 0C]	→	(HL)
11.[CD/4+(8100)*8]	→	(8110)
12.[(8100)/3-CD*4]	→	(8102)
13.[0D/2-AB*2]	→	(BC)
14.[(855A)*7+IE/8]	→	(0800)
15.[3F/7-(8572)*8]	→	(0800)
16.[07EI+(8101)]	→	(8102)
	→	(8103)
17.[0871+08BA]	→	(HL)
18.[(08AB)+(0807)]	→	(BC)
19. [08A3-080F9]	→	(800)
20. [08F9 - (800)]	→	(DE)
21. [0805 -0850]	→	(0800)
22. [0805 - (800)]	→	(842)
	→	(841)
	→	(840)
23. [08A9+(0900)]	→	(840)
	→	(841)

## 5.2 Методичні вказівки

Скласти програму на асемблері процесора КР580ВМ80А рішення математичного рівняння. Привести покомандні коментарі, опис використаних команд, операндів і методів адресації. Звернути увагу, що в приведених нижче рівняннях адреси і константи виражені в шістнадцяткових кодах. При цьому константи - це числа без дужок, а адреси - у круглих дужках.

# 6 КОНТРОЛЬНА РОБОТА № 4 РОЗРОБКА ЗАГАЛЬНОСИСТЕМНИХ БЛОКІВ МП СИСТЕМ

## 6.1 Загальні відомості

В роботі треба розробити мікропроцесорну систему, яка містить процесорний вузол та модуль пам'яті. Процесорний вузол повинен бути побудований на базі МП КР580ВМ80А. Параметри модуля пам'яті: вид - ЗП-ОЗП, ємність-2 кбайта, початкова адреса-4000, організація ВІС ЗП-1024х1 біт.

Оперативні запам'ятовуючі пристрої (ОЗП)призначені для збереження змінної інформації. Вони дозволяють змінювати те, що містять у ході виконання процесором розрахункових операцій з даними. Це означає, що процесор може вибрати з ОЗП код пам'яті і дані (режим зчитування) і після обробки помістити в ОЗП отриманий результат (режим запису). В останній час ОЗП працює у режимі збереження. В якості мікросхеми з організацією 1024х1 біт для ОЗП обирається мікросхема К134РУ6А. Мікросхема К134РУ6А містить запам'ятовуючі елементи (І<sup>2</sup>Л вентилей), які складаються з р-п-р транзистора, який відіграє роль генератора струму (інжектора), та багатоклекторного п-р-п транзистора, який виконує роль інвертора. І<sup>2</sup>Л вентилялі мають широкий діапазон робочих струмів живлення, що дозволяє забезпечити їх роботу як в мікропотужних, так і в швидкодіючих режимах. Мікросхема К134РУ6А є мікросхемою з повним оточенням. Зміст високої швидкодії, середньої розсіюваної потужності

та великої інформаційної місткості дозволяє розробляти на базі цієї мікросхеми високовиробні ОЗП.

Мікросхема конструктивно виконана у 16-выводному планарному корпусі 402.16-11. Структурна схема мікросхеми K134 PУ6A при ведена на рисунку 6.1.

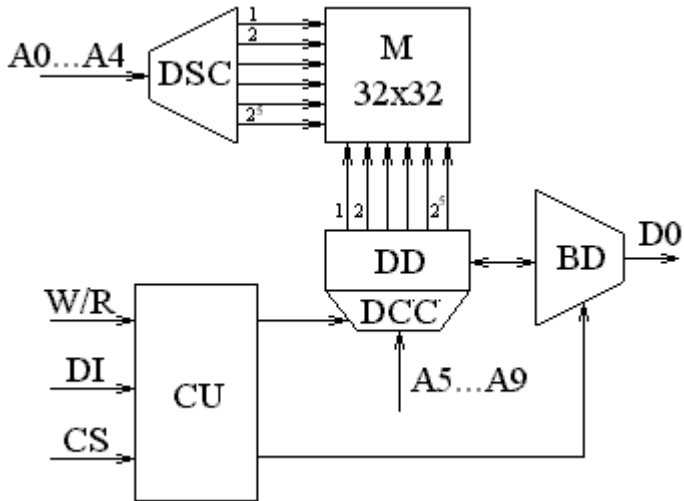


Рисунок 6.1 – Структурна схема мікросхеми K134PУ6A

Мікросхема K134PУ6A містить на одному кристалі накопичувач-матрицю M та 1024 запам'ятовуючих елемента (ЗЕ), які складаються з 32 рядків та 32 колонок і схему оточення, яка складається з: шифратора адреси рядків DCS, дешифратора адреси колонок DCC, пристрою керування CU, буфера даних BD, підсилювачів запису зчитування DD.

Біти 10-розрядного коду адреси поділені на адреси рядків A0, A1, A2, A3, A4 та адреси колонок A5, A6, A7, A8, A9 і визначають один з 1024 ЗЕ. Дешифратор рядків DSC обирає один з 32 рядків. Вхідний сигнал адреса колонки не тільки обирає колонку через дешифратор колонок DCC, але й відчиняє відповідні схеми уведення-виводу, які містять формувачі сигналів запиту та підсилювачі запису-зчитування DD. Наявність одного входу DI і одного виходу DO вказує

на однорозрядну організацію мікросхеми 1024x1 біт. Передбачені два сигнали:  $\overline{CS}$  (вибір мікросхеми) та W/R (Запис-зчитування). Керуючий сигнал  $\overline{CS}$  є інверсним та дозволяє або заперечує звертання до мікросхеми по входу і виходу. У відповідності з таблицею істинності (таблиця 6.1) наявність сигналу  $\overline{CS}$  з рівнем логічної 1 однозначно визначає режим збереження.

Умове графічне позначення – на рисунку 6.2.

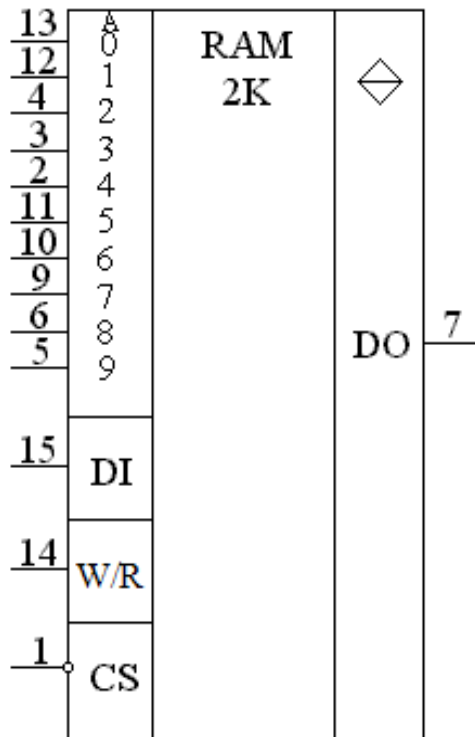


Рисунок 6.2 – Умове графічне позначення мікросхеми K134PY6A

При цьому вихід приймає високоомний стан (Z), при якому він електрично відключений від приймача інформації. Маючи на увазі те, що у мікросхемах вихід може знаходитись у одному з двох станів: 0 або 1, то високоомний стан називають третім. Наявність у мікросхемі

виходу на три стани вказується в правому верхньому кутку позначкою  $\diamond$  (рисунок 6.2).

Таблиця 6.1 – Таблиця істинності мікросхеми K134PY6A (x – один з двох станів (0 чи 1), Z -високоомний стан, D - дані)

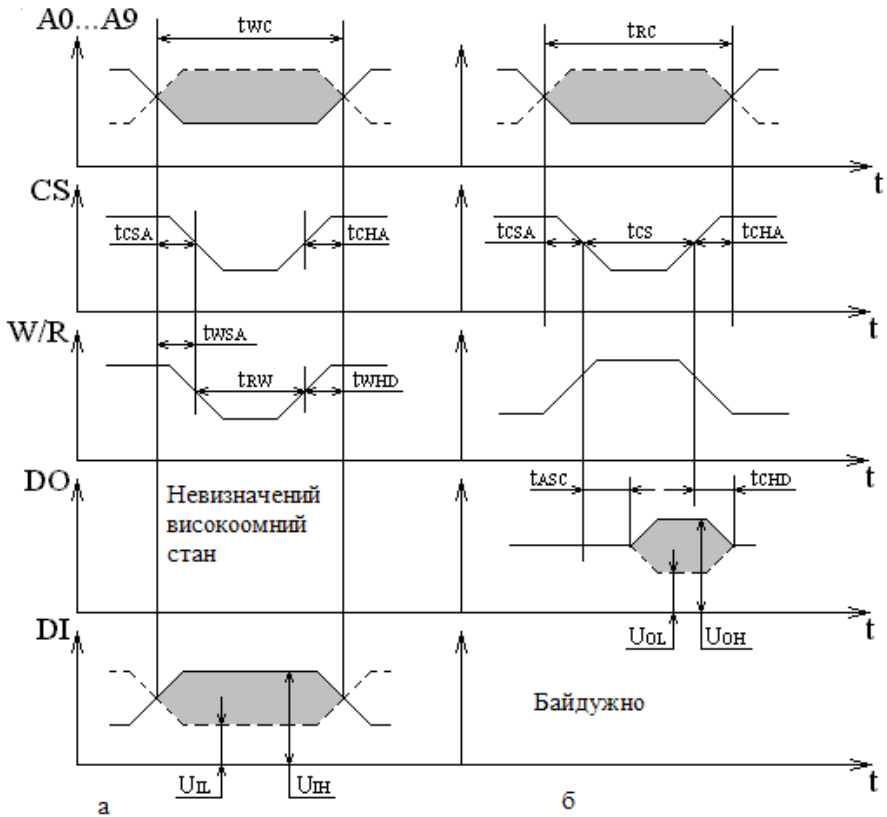
Логічний стан				Режим роботи
$\overline{CS}$	W/R	DI	DO	
1	x	x	Z	збереження
0	0	0	Z	запис 1
0	0	1	Z	запис 0
0	1	x	D	зчитування

RAM означає мікросхему статичного ОЗП. Для характеристики роботи мікросхем пам'яті широко застосовують часові діаграми, які визначають послідовність адресних та керуючих сигналів, їх довжину та взаємний зсув. Діаграми роботи мікросхеми K134PY6A у режимах запису та зчитування приведені на рисунку 6.3. У заштрихованих областях сигнали можуть мати різні стани: 0 чи 1.

У режимах запису до виводів мікросхеми спочатку підводять сигнали коду адреси  $A = |A_0 - A_9|$ , сигнал запису  $W/R = 0$  та інформаційний сигнал DI. Потім встановлюють сигнал  $\overline{CS}$  з затримкою у часі  $t_{CSA}$  відносно сигналів адреси. Довжину сигналу  $\overline{CS}$  визначають по довжині сигналу запису  $t_{RM}$ .

Сигнали адреси необхідно зберігати на час  $t_{CHA}$  після сигналу CS. На протязі усього циклу запису  $t_{WC}$  вихід мікросхеми DO знаходиться у третьому (високоомному) стані. У циклі зчитування порядок подачі сигналу той же, що й при запису, але при умові  $W/R = 1$ . Час появи та зникнення сигналу на виході DO визначають: час вибірки, відносно  $\overline{CS}$   $t_{ASC}$  та час збереження вихідної інформації після сигналу  $\overline{CS}$   $t_{CHD}$ . При цьому на вході може бути X, 0 або 1.

Основні електричні та часові параметри мікросхеми K134PY6A зведені у таблиці 6.2.



а) режим запису; б) режим зчитування

Рисунок 6.3 – Часова діаграма роботи ВІС К134РУ6А

У зв'язку з тим, що МП КР580ВМ80А виконує дії над восьмирозрядними даними, а ВІС К134РУ6А запам'ятовує тільки один розряд (біт) даних, то для потрібної розрядності необхідно встановлювати 8 ВІС К134РУ6А, що дозволяє записувати 1024 байта даних.

Таким чином, субмодуль (сторінка) складається з 8 ВІС ОЗП. Для забезпечення потрібної ємності 2К(2048 байта) необхідно встано-

вити два субмодуля, отже взагалі 16 ВІС ОЗП. Простіше кількість ВІС розрахувати згідно з формулою

$$\text{кількість ВІС} = \frac{\text{ємність ЗП}}{\text{ємність ВІС ЗП}} \cdot \frac{\text{розрядність МП}}{\text{розрядність ВІС МП}} = \frac{2048}{1024} \cdot \frac{8}{1} = 16.$$

Електрична функціональна схема приведена на рисунку 6.4. Адресні виходи ( $A_0 \dots A_9$ ) кожної ВІС К134РУ6А з'єднуються між собою паралельно. З'єднані адресні входи кожної з 8 ВІС ОЗП під'єднуються до 8 молодших розрядів шини адреси АВ (кожний з'єднаний адресний вх ід під'єднується до одного розряду шини, 8 старших розрядів шини адреси АВ використовуються для сигналів вибору модулів). З них використовуються тільки два, так як субмодулів тільки два. Входи D1 перших 4-х ВІС ОЗП кожного субмодуля під'єднуються до 4-ох виводів 8-розрядного шинного формувача. Виходи D0 перших 4-ох ВІС ОЗП кожного субмодуля під'єднуються до 4-ох виводів того ж шинного формувача, які залишились.

Аналогічно під'єднуються виходи D1 та виходи D0 решти 4-х ВІС ОЗП до іншого шинного формувача. З кожного шинного формувача по чотири виводи під'єднуються до 8-розрядної шини даних DB. На електричній схемі КР580ВК28 – системний контролер з шинним формувачем, який використовується для виробки системних керуючих пам'яттю сигналів (для шини керування СВ) та буферизації шини даних DB. Керуючі сигнали за допомогою дешифратора вибору мікросхеми DC здійснюють вибір даної ВІС ОЗП. Генератор тактових імпульсів КР580ГФ24 використовується для виробки тактових імпульсів, а також сигналів початкового встановлення МП. На схемі також показані постійний запам'ятовуючий пристрій ПЗП (ROM), який використовується для постійного збереження констант та програм мікропроцесора та ВФ – буфер адреси. Шина даних (DB)-двоспрямована 8-розрядна шина, по ній дані можуть спрямовуватись або в МП або із нього. Шина адреси (AB) – односпрямована шина, по ній інформація передається тільки від МП до ВІС ОЗП. Вона 16-розрядна.

Таблиця 6.2 – Основні електричні та часові параметри ВІС К134РУ6А

Напруга живлення $U_{cc}$ , В	4.95-5.05
Вхідна напруга низького рівня $U_{IL}$ , В	$\leq 0.4$
Вхідна напруга високого рівня $U_{IH}$ , В	$\geq 2.4$
Вихідна напруга низького рівня $U_{OL}$ , В	$\leq 0.45$
Вихідна напруга високого рівня $U_{OH}$ , В	$\geq 2.4$
Вхідний струм низького рівня $I_{IL}$ , мкА	$\leq 0.35$
Вхідний струм високого рівня $I_{IH}$ , мкА	$\leq 20$
Вихідний струм низького рівня $I_{OL}$ , мкА	$\leq 16$
Вихідний струм високого рівня $I_{OH}$ , мкА	$\leq 0.8$
Вихідна ємність $C_o$ , пФ	$\leq 10$
Ємність навантаження $C_L$ , пФ	$\leq 100$
Струм споживання $I_{CC}$ , мА	$\leq 80$
Час циклу запису $t_{WC}$ , нс	$\geq 300$
Час зсуву сигналу $CS$ відносно сигналу адреса $t_{CSA}$ , нс	$\geq 0$
Час збереження сигналу адреса після сигналу $\overline{CS}$ $t_{CHA}$ , нс	$\geq 0$
Час зсуву сигналу $W/R$ відносно сигналу адреса $t_{WSA}$ , нс	$\geq 100$
Довжина сигналу запису $t_{RW}$ , нс	$\geq 290$
Час збереження вхідної інформації після сигналу запису $t_{WHD}$ , нс	$\geq 10$
Час циклу зчитування $t_{RC}$ , нс	$\geq 300$
Довжина сигнал $\overline{CS}$ $t_{CS}$ , нс	$\geq 290$
Довжина циклу зчитування $t_{WW}$ , нс	$\geq 290$
Час виборки відносно $CS$ $t_{ACS}$ , нс	$\leq 100$
Час збереження вихідної інформації після сигналу $\overline{CS}$ $t_{CHD}$ , нс	$\leq 120$

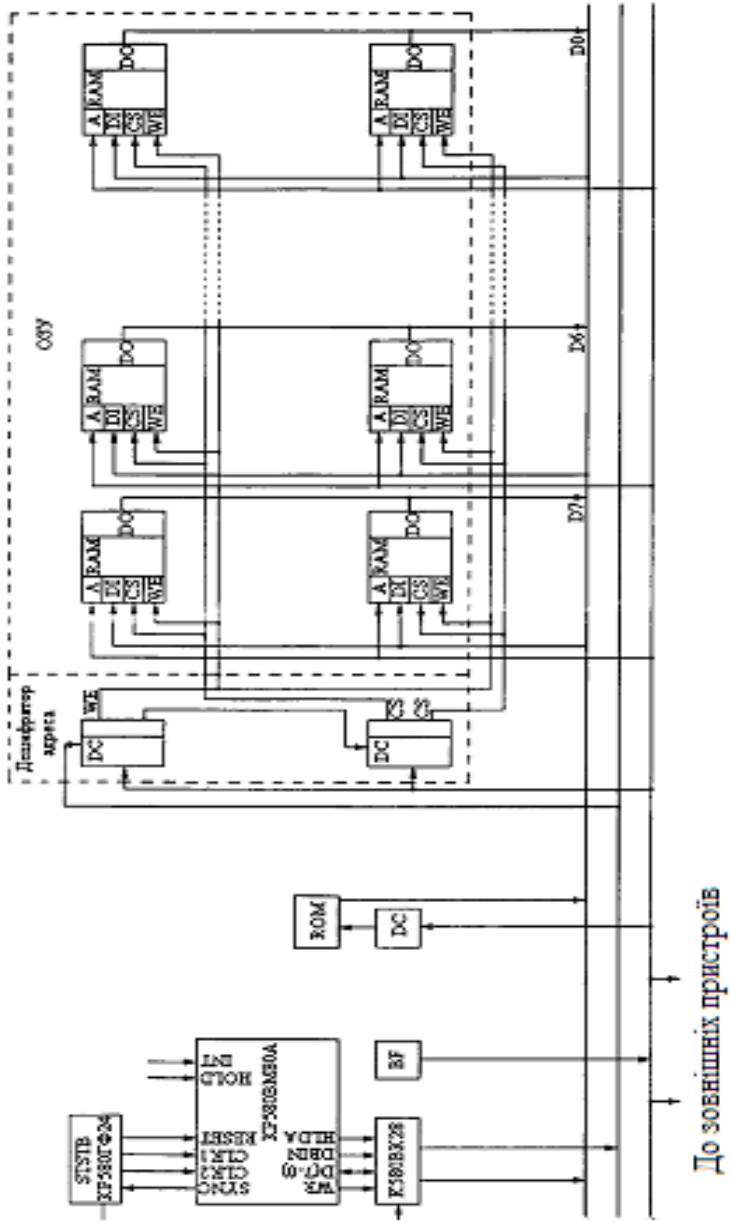


Рисунок 6.4 - Електрична функціональна схема МП системи

Шина керування використовується для передачі сигналів, які обумовлюють взаємодію усіх модулів мікропроцесорної системи. Згідно з завданням початкова адреса для ОЗП = 4000. На рисунку 6.5 зображена карта пам'яті. Ємність ОЗП складає  $2K = 2048_{10} = 800_{16}$ ,  $4000 + 800 = 4800$ . Так як 4000-й байт використовується, то кінцевий байт ОЗП – 47FF.

0000	} Не використовується
...	
3FFF	
4000	} ОЗП 2К
...	
47FF	
4800	} Не використовується
...	
FFFF	

Рисунок 6.5 – Карта пам'яті МП системи.

### 6.3 Методичні вказівки

Розробити мікропроцесорну систему, що містить процесорний вузол і модуль пам'яті. Процесорний вузол повинний бути побудований на базі МП КР580ВМ80А. Параметри модуля пам'яті взяти з таблиці 6.3.

Звіт повинен містити:

- електричну функціональну схему системи;
- опис ВІС ЗП відповідної організації (тип ВІС, умовне графічне позначення, призначення виводів, основні параметри);
- розраховане значення найбільшої адреси в розробленому ЗП, карту пам'яті.

## 6.2 Варіанти контрольних завдань

Таблиця 6.3 – Параметри модуля пам'яті

№	Вид ЗП	Ємність, байт	Початко- ва адреса	Організація ВІС ЗП, біт
1	ОЗП	256	0000	64x4
2	ОЗП	256	1000	256x1
3	ОЗП	1024	2000	512x1
4	ОЗП	2К	4000	1024x1
5	ОЗП	1К	2000	1024x1
6	ОЗП	8К	4000	4096x1
7	ОЗП	4К	A000	2048x8
8	ОЗП	16К	1000	16384x1
9	ПЗП	512	3000	256x4
10	ПЗП	512	8000	256x8
11	ПЗП	2К	2000	512x8
12	ПЗП	4К	4000	2048x8
13	ПЗП	16К	2000	8192x8
14	ПЗП	32К	0	16384x8
15	ПЗП	2К	5000	2048x2
16	ПЗП	1К	1000	512x2
17	ПЗП	2К	2000	1024x8
18	ПЗП	12К	B000	1024x4
19	ПЗП	4К	C000	2048x4
20	ОЗП	64	0800	16x1

## **7 КОНТРОЛЬНА РОБОТА №5 РОЗРОБКА ПРИСТРОЮ, ЩО ЗАДАЄ ЧАС, МП СИСТЕМИ**

### **7.1 Загальні відомості**

Для організації часових інтервалів при роботі МП може бути використано будь-який лічильник сигналу, працюючий на складання або віднімання. В якості входних імпульсів на лічильник подають будь-які синхросигнали тактового генератора МП ВІС, або сигнали окремого задаючого генератора. Для організації часових інтервалів в МП серії 580 використовується спеціальна ВІС інтервального програмуемого таймера (ПТ) КР580ВИ53. ВІС КР580ВИ53 являє собою програмуемий трьохканальний таймер-лічильник, виробляючий часові інтервали, керуємі програмою. Тривалість сигналів може задаватись програмно в двійковій або двійково-десятьковій формі запису. Процес формування часових інтервалів в кожному каналі може керуватися (починатися, зупинятися або ініціюватися знову) зовнішнім сигналом, який подається на вход дозволу роботи. Робота схеми тактується сигналами зовнішнього генератора з частотою від 0 до 2 МГц. Кожний з каналів може працювати в одному з 6-ти режимів: 0 – програмуєма затримка, 1 – програмуемий чекаючий мультівібратор, 2 – програмуємий генератор тактових імпульсів, 3 – генератор прямокутних сигналів, 4 – програмно-керуємий строб, 5 – апаратно-керуємий строб. Кожний з каналів містить 16-розрядний лічильник, працюючий на віднімання. Так як лічильник працює на віднімання, то кінцевим числом, на яке він буде реагувати є число “0”, а початковим – число М, загрузене в лічильник з шини даних МП за допомогою команд виводу (OUT). Зпрощена структурна схема ПТ приведена на рисунку 7.1. До складу ПТ входять: буфер даних (BD), який використовується для обміну даними і керуючими словами між МП і ПТ; схема керування читанням-записом (RWCU), яка забезпечує виконання операцій уведення-виводу інформації в ПТ; восьмирозрядні регістри керуючого слова (RGR), які використовуються для запису керуючого слова кожного каналу, задаючого режими роботи лічильника; лічильник каналів (СТ0 – СТ2).

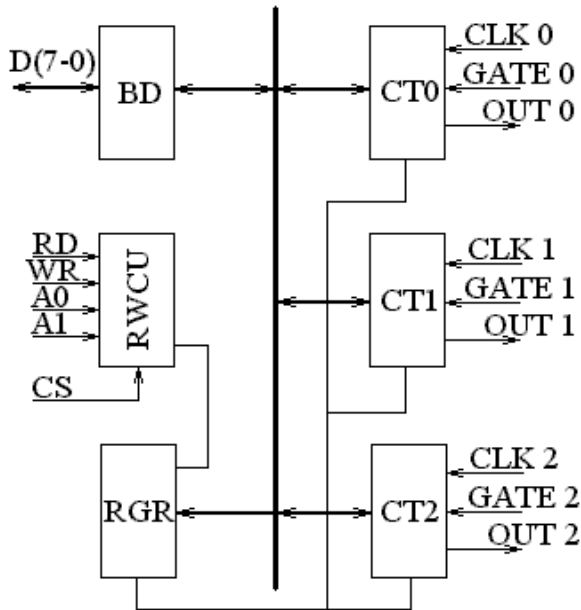


Рисунок 7.1 – Структурна схема ПТ

Керуюче слово записується в програмуємий канал завжди першим командою OUT по шині даних з мікропроцесора і складається з восьмирозрядів: D0 – D7. Керуюче слово задає номер лічильника (D7, D6), послідовність запису лічіння вмісту лічильника (D5, D4), режим роботи (D3, D2, D1), вигляд використовуваного кода D0. В процесі роботи ПТ вміст будь-якого із лічильників можливо прорахувати двома засобами:

1) з зупиненням лічильника. Виробляється за допомогою подачі сигналу на вході GATE низького рівня (знімання сигналу) або блокуванням тактових імпульсів;

2) без зупинки лічильника. Вміст лічильника читається двома командами. Призначення вхідних, вихідних і керуючих сигналів ПТ показано в таблиці 7.1.

Таблиця 7.1 – Описання виводів ПТ

Позначення вивода	Номер контакта	Призначення вивода
D(7-0)	1; 2; 3; 5; 6; 7; 8	Канал даних
RD	22	Сигнал “читання”
WR	23	Сигнал “запис”
A0, A1	19, 20	Адресні входи, які вибирають один із каналів ПТ або керуючий регістр
CS	21	Вибір мікросхеми
CLK0-CLK2	9; 15; 18	Входи синхронізації лічильників
GATE0-GATE2	11; 14; 16	Входи керування лічильників
OUT0-OUT2	10; 13; 17	Вихідні сигнали лічильників
U <sub>CC</sub>	24	Напруга живлення (+5В)
GND	12	Напруга живлення (0В)

Підключення ПТ до шин МП показано на рисунку 7.2.

На рисунку 7.2 – АВ – шина адреси, СВ – шина керування, DB – шина даних. Операції обміну інформацією між ПТ і МП, які задаються сигналами керування та адресними входами, приведені в таблиці 7.2.

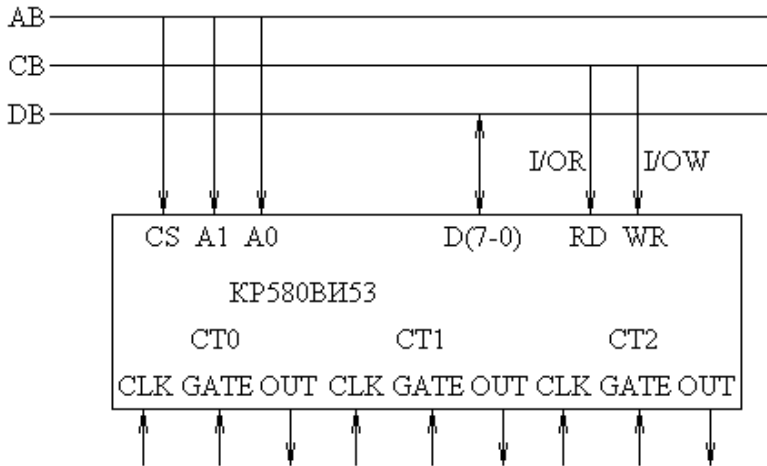


Рисунок 7.2 - Підключення ПТ к шинам МП

Таблиця 7.2 - Операції обміну інформацією між ПТ і МП

Операція	Сигнали керування				
	WR	RD	CS	A1	A0
Запис керуючого слова в ре-гістр керуючого слова з МП	0	1	0	1	1
Завантаження СТ0 CD (7-0)	0	1	0	0	0
Завантаження СТ1 CD (7-0)	0	1	0	0	1
Завантаження СТ2 CD (7-0)	0	1	0	1	0
Читання СТ0 CD (7-0)	1	0	0	0	0
Читання СТ1 CD (7-0)	1	0	0	0	1
Читання СТ2 CD (7-0)	1	0	0	1	0
Відключення ПТ від D (7-0)	1	1	0	x	x
Теж саме	1	0	0	1	1
Теж саме	x	x	1	x	x

В таблиці 7.2 x – стан байдужості.

Схема підключення ПТ до МП зображена на рисунку 7.3 (з урахуванням того, що за умовою номер лічильника є 0).

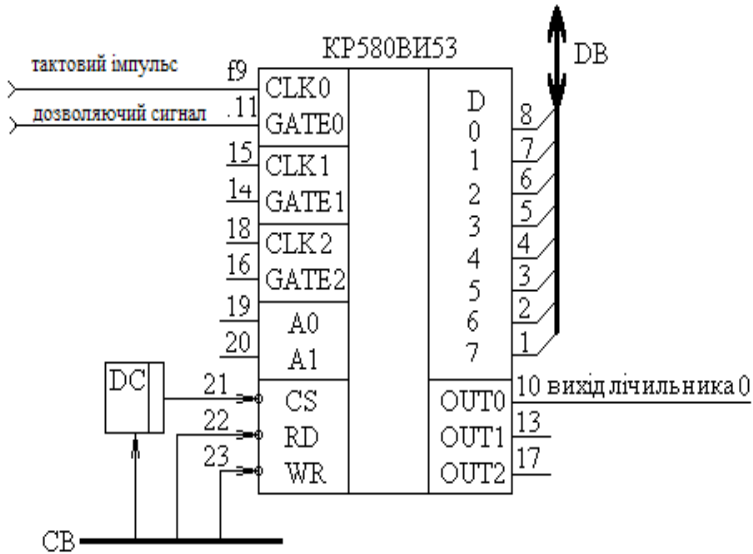


Рисунок 7.3 – Підключення ПТ до МП

Вхід CS (вибір мікросхеми) підключений до шини керування СВ через дешифратор DC. Карта пам'яті (з урахуванням адресного пристрою модулів пам'яті) МП – система з гізначенням адреси регістрів ПТ зображена на рисунку 7.4.

За умовою завдання частота генератора тактових імпульсів  $f_{cx} = 20\text{КГц}$ , тривалість затримки  $t_3 = 300\text{мс}$ . Період синхронізуючих імпульсів  $T_{cx} = 1/f_{cx} = 1/20\text{мс}$

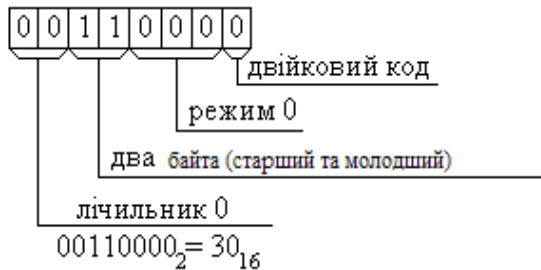
Кількість імпульсів затримки (коефіцієнт перерахунку)

$$K_n = \frac{t_3}{T_{cx}} = \frac{300 \cdot 10^{-3}}{1/20 \cdot 10^{-3}} = 6000_{10} = 1770_{16}$$

0000	Лічильник 0	 адресний простір лічильника
0001	Лічильник 1	
0002	Лічильник 2	
0003	Регістр кер. слова	
0004	Не використовується	
...		
3FFF		
4000	ОЗП 2К	
...		
47FF	Не використовується	
4800		
...		
FFFF		

Рисунок 7.4 –Карта пам'яті МП системи

Таким чином, початковий код, який заноситься в лічильник 0, має інформацію як в старшому, так і в молодшому байтах. Внаслідок цього керуюче слово буде мати вигляд:



При роботі в режимі 0 (програмуема затримка) з моменту запису числа  $6000_{10} = 1770_{16}$  у лічильник 0 до закінчення відліку на виході OUT 0 тримається сигнал L-рівня (низький рівень). Після закінчення відліку на виході OUT 0 тримається сигнал H-рівня (високий рівень) та зберігається таким до наступного завантаження лічильника. Відлік (зменшення вмісту лічильника) починається при H-рівні сигналу до-

зволу GATE 0. L-рівень цього сигналу забороняє лічення. Перезавантаження лічильника у час лічення молодшим байтом числа зупиняє поточний відлік, а завантаження старшим байтом числа запускає лічильник з початку.

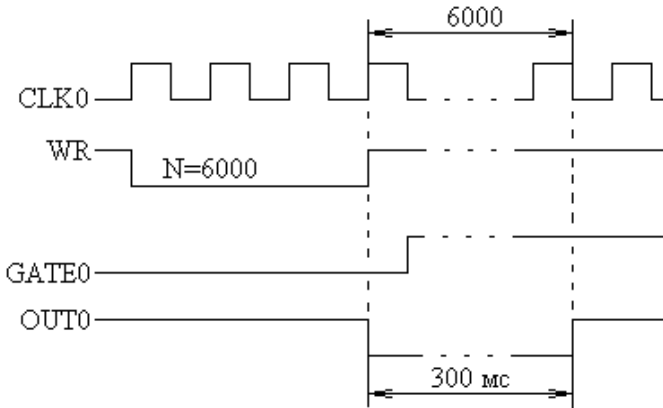


Рисунок 7.5 – Часові діаграми роботи МП у режимі програмуємої затримки

Таблиця 7.3 – Програма ініціалізації ПТ

Команда	Код	Коментар
LXI H, 00 03	21 03 00	Завантажити регістрову пару HL адресою регістра керуючого слова
MVI A, 30	3E 30	Завантажити в регістр A керуюче слово
MOV M, A	77	Переслати вміст регістру A в комірку пам'яті M, адреса якої записана в HL
LXI H, 0000	21 00 00	Завантажити в HL адрес лічильника 0
MVI A, 70	3E 70	Завантажити в A молодший байт $K_n$
MOV M, A	77	Переслати вміст A в M по адресу HL
MVI A, 17	3E 17	Завантажити в A старший байт $K_n$
MOV M1, A	77	Переслати вміст A в M по адресу HL

## 7.2 Варіанти контрольних завдань

Таблиця 7.4 - Параметри пристрою, що задає час

Варіант	Реалізуєма функція	Номер т-л	Частота синхр. $f_{сх}$ , кГц	Тривалість затримки $t_z$ , мс	Частота, $f$ , кГц
1	Програмуєма затримка	0	10,0	500	
2		1	12,5	400	
3		2	15,0	600	
4		0	20,0	300	
5		1	25,0	200	
6		2	30,0	500	
7		0	40,0	250	
8		1	50,0	125	
9		2	60,0	300	
10	Мультивібратор, що чекає	0	100,0	500	
11		1	10,0	250	
12		2	12,5	200	
13		0	20,0	75	
14		1	25,0	40	
15		2	30,0	50	
16		0	40,0	150	
17		1	50,0	200	
18	Генератор тактових імпульсів	0	-	0,010	10,0
19		1	-	0,010	12,5
20		2	-	0,007	15,0
21		0	-	0,005	20,0
22		1	-	0,004	25,0
23		2	-	0,003	30,0
24		0	-	0,002	50,0

### 7.3 Методичні вказівки

Доповнити розроблену в контрольній роботі №4 мікропроцесорну систему таймером-лічильником КР580ВИ53. При цьому адресний простір таймера-лічильника не повинний перекриватися з адресним простором модулів пам'яті. Реалізувати програмно-апаратними засобами функції із таблиці 7.4.

Звіт повинен мати: електричну схему підключення таймера-лічильника до розробленої системи; карту пам'яті з вказівкою адреси регістрів таймера-лічильника; розрахунок констант визначальної частоти і тривалості вихідних сигналів із вказівкою похибки перетворення; програму ініціалізації таймера-лічильника на мові асемблера із коментарями; часові діаграми, опис роботи таймера-лічильника у заданому режимі; опис констант для ініціалізації ППІ та виконання заданої функції; програму ініціалізації ППІ і уведення (виведення) інформації в (з) об'єкт(а) керування; часові діаграми. Опис роботи ВІС ППІ в заданому режимі.

**ПЕРЕЛІК ПОСИЛАНЬ**

1. Микропроцессоры. В 3-х книгах. Учебник для ВТУЗов / П.В. Нестеров, В.Ф. Шаньгин, В.Д. Горбунов и др.; под ред. Л.Н. Преснухина. – М.: Высш. шк., 1986.
2. Стрыгин Б.В., Щарев Л.С. Основы вычислительной, микропроцессорной техники и программирования. – М.: Высш. шк., 1989. – 479с.
3. Гилмор Ч. Введение в микропроцессорную технику. – М.: Мир, 1984. – 334с.
4. Майоров С.А. и др. Введение в микроЭВМ. – Л.: Машиностроение, 1988. – 304с.
5. Майоров В.Г., Гаврилов А.И. Практический курс программирования микропроцессорных систем. – М.: Машиностроение, 1989. – 272с.
6. Соучек Б. Микропроцессоры и микроЭВМ. – М.: Советское радио, 1979. – 520с.
7. МикроЭВМ, микропроцессоры и основы программирования. / А.Н. Морозевич, А.Н. Дмитриев, В.Н. Мухаметов и др. – М.: Высш. шк., 1990. – 352с.
8. С.Т. Хвоц и др. Микропроцессоры и микроЭВМ в системах автоматического управления: Справочник. – Л.: Машиностроение, 1987. – 640с.
9. Интегральные микросхемы: Справочник. / под ред. В.Б. Табурдина. – М.: Энергоатомиздат, 1985.-240с.
10. Цифровые и аналоговые интегральные микросхемы: Справочник. / под ред. С.В. Якубовского. – М.: Радио и связь, 1989.-496с.
11. Богданович М.И. Цифровые интегральные микросхемы: Справочник. – Минск: Беларусь, 1991.-606с.
12. В.Г. Файнштейн, Э.Г. Файнштейн. Микропроцессорные системы управления электроприводами. – М.: Энергоатомиздат, 1986. – 240с.
- 13.