

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Національний університет «Запорізька політехніка»



Факультет комп'ютерних наук та технологій
Кафедра «Комп'ютерні системи та мережі»

ШАДРІН МИХАЙЛО АНАТОЛІЙОВИЧ
Група КНТ-612м

СИСТЕМА ПАРАЛЕЛЬНОГО ФУНКЦІОНУВАННЯ
МІКРОПРОГРАМНИХ ПРИСТРОЇВ КЕРУВАННЯ НА FPGA

АВТОРЕФЕРАТ

магістерської роботи на здобуття освітньо-кваліфікаційного
рівня «магістр» 123 «Комп'ютерна інженерія»
освітньої програми «Спеціалізовані комп'ютерні системи»

2023 р.

Магістерська робота є рукописом.

Робота виконана в Національному університеті «Запорізька політехніка», на кафедрі комп'ютерних систем та мереж

Керівник

кандидат технічних наук, доцент
Зеленьова Ірина Яківна,
Національний університет «Запорізька
політехніка», доцент кафедри
комп'ютерних систем та мереж

**Офіційний
рецензент:**

кандидат технічних наук, доцент
Козіна Галина Леонідівна,
Національний університет «Запорізька
політехніка», доцент кафедри
«Інформаційної безпеки та
наноелектроніки»

Захист відбудеться "13" грудня 2023р.

Секретар екзаменаційної комісії, старший викладач
кафедри комп'ютерних систем та мереж Н.А. Куликовська

ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

Актуальність проблеми. Вбудована система визначається сьогодні, як спеціалізована обчислювальна система, яка в силу вирішуваного завдання безпосередньо взаємодіє з фізичними об'єктами та процесами.

Очікується, що індустрія вбудованих систем продовжуватиме швидко розвиватися завдяки постійному розвитку штучного інтелекту (AI), віртуальної реальності (VR) і доповненої реальності (AR), машинного навчання, глибокого навчання та Інтернету речей (IoT). Когнітивна вбудована система стане основою таких тенденцій, як: зменшення споживання енергії, покращена безпека для вбудованих пристроїв, підключення до хмари та сітчаста мережа, програми глибокого навчання та інструменти візуалізації з даними в реальному часі.

Пристрій керування є важливою частиною вбудованої системи та взагалі більшості цифрових пристроїв. Керуючий автомат може мати різноманітну структуру. Це може бути автомат Мура або автомат Мілі, або композиційний мікропрограмний керуючий автомат і т.д. Залежно від структури автомата може зменшуватися або збільшуватись кількість займаних розподілених ресурсів на кристалі, кількість вбудованої пам'яті, часові затримки та розподіленість ресурсів на кристалі. Тобто одна структура може бути продуктивнішою за іншу. Залежно від алгоритму роботи та критеріїв проектування вбудованої системи, обирається той чи інший тип керуючого автомату для керування цією вбудованою системою.

Композиційний мікропрограмний пристрій керування найкраще підходить для пристроїв, алгоритм роботи яких має багато розгалужень, тобто логічних умов, та містить довгі ланцюги операторних вершин. Такі алгоритми часто відповідають функціонуванню вбудованої системи.

У даній роботі розглянуто композиційний мікропрограмний пристрій керування, реалізований на сучасних мікросхемах ПЛІС. Унікальна універсальність і обчислювальна потужність FPGA роблять їх чудовим рішенням для задоволення зростаючих потреб сучасної індустрії вбудованих систем.

Мета і задачі дослідження. Метою даного еспериментального дослідження є прискорення виконання

алгоритмів керування різними блоками складної вбудованої системи шляхом паралельної роботи декількох схем пристроїв керування.

В даному дослідженні кожний пристрій керування відповідає за функціонування одного блока вбудованої системи. Імплементація декількох пристроїв на одному кристалі ПЛІС дозволяє досягти мікромініатюризації вбудованої системи. При цьому паралельна робота алгоритмів керування дозволяє досягти прискорення і підвищення продуктивності. В задачі досліджень входить також порівняння характеристик, отриманих при імплементації паралельної системи з декількома композиційними мікропрограмними пристроїв керування на різних мікросхемах ПЛІС.

Об'єктом дослідження є засоби апаратного прискорювання алгоритмів керування на ПЛІС.

Предметом дослідження є паралельний запуск декількох керуючих автоматів на одному кристалі FPGA, що може значно зменшувати габарити, вагу та енергоспоживання вбудованого обчислювального пристрою.

Матеріали і методи. Теоретичною основою розробки схеми пристрою керування в даних дослідженнях є метод синтезу композиційного мікропрограмного пристрою керування (КМПК). Такий пристрій є комбінацією автоматів зі схемною і програмованою логікою. За рахунок такої комбінації КМПК виконує паралельний аналіз логічних умов, і це забезпечує швидкодію. Разом з тим, формування блоку керуючої пам'яті для зберігання мікропрограми у вигляді двійкового масиву, дозволяє ефективно використовувати архітектурні особливості ПЛІС. Таким чином, при реалізації КМПК на ПЛІС, розподілені ресурси чіпа використовуються для комбінаційної логіки і регістра станів автомата, а керуюча мікропрограма зберігається у вбудованих блоках пам'яті (ЕМВ) ПЛІС.

Елементна база FPGA забезпечує багато переваг:

- Універсальність. ПЛІС дуже універсальні завдяки можливості програмування та реконфігурації, що дозволяє використовувати їх у широкому діапазоні програм.

- Швидкість і ефективність. ПЛІС підтримують паралельну обробку, що дозволяє їм запропонувати вищу швидкість, вищу потужність обробки, кращий час відгуку та загальну покращену продуктивність порівняно з іншими типами обладнання.

- Вартість. Порівняно з ASIC, FPGA забезпечують нижчі початкові витрати через їх здатність перепрограмувати знову і знову. Це особливо корисно для малих і середніх обсягів виробництва, де початкові витрати на тривалий цикл проектування та розробки ASIC можуть бути невиправданими. [8]

- Конфігурація. Основна перевага FPGA полягає в тому, що вони перепрограмовані. Ця якість дозволяє швидко й легко модифікувати FPGA відповідно до потреб користувача.

- Інтеграція. Завдяки своїй гнучкій природі FPGA можна легко інтегрувати у більші системи та швидко оновлювати, що є корисним для розробки вбудованих систем.[8]

До популярних постачальників у сфері FPGA належать Xilinx (придбана AMD у 2022 році), Altera (придбана Intel у 2015 році), Lattice Semiconductor, Microchip (раніше Microsemi) і QuickLogic Corporation. [8]

Спостерігається суттєве зростання внутрішніх ресурсів ПЛІС (в еквівалентних вентилях) від сімейства до сімейства. Практично щороку виходить нова родина кристалів. Йде постійне зменшення технологічних норм виготовлення мікросхем. Щодо фірми Altera\Intel, існує три гілки сімейств – недорогі Cyclone, середньої цінової категорії Arria, топові найдорожчі та продуктивні кристали Stratix. Першим за новими технормами випускається чергове сімейство Stratix, пізніше Cyclone і Arria.

У цій роботі здійснюються тестування розроблюваних схем на трьох основних сімействах мікросхем Cyclone, Stratix та Arria.

Щодо програмного забезпечення даних досліджень, використовується Quartus II — це програмний пакет, розроблений корпорацією Altera для проектування та програмування пристроїв

FPGA (Field-Programmable Gate Array). Програмне забезпечення надає дизайнерам комплексне середовище розробки, яке включає інструменти для компіляції, моделювання та синтезу цифрових схем.

За допомогою Quartus II дизайнери можуть створювати цифрові схеми за допомогою різних мов програмування, таких як Verilog, VHDL і AHDL. Програмне забезпечення також надає велику бібліотеку попередньо розроблених блоків IP (інтелектуальна власність), які можна використовувати для прискорення процесу проектування схеми.

Однією з ключових особливостей Quartus II є його здатність виконувати аналіз синхронізації, що допомагає розробникам переконатися, що їхні схеми відповідають вимогам синхронізації та працюють правильно. Програмне забезпечення також містить функцію моделювання, яка дозволяє дизайнерам тестувати свої проекти перед програмуванням їх на фізичному пристрої.

Quartus II підтримує широкий спектр пристроїв Altera FPGA, включаючи сімейства Cyclone, Stratix, Arria та MAX. Програмне забезпечення доступне для операційних систем Windows і Linux. [6]

Наукова новизна отриманих результатів:

Наукова новизна роботи полягає в теоретичній пропозиції та експериментальному дослідженні паралельної роботи декількох незалежних пристроїв керування на одному кристалі.

Практичне значення отриманих результатів:

Практична цінність результатів роботи полягає у тому, що розроблений паралельний прискорювач поліпшує продуктивність, енергоефективність та зменшує габарити обчислювального пристрою.

Апробація результатів магістерської роботи. Основні положення магістерської роботи та результати досліджень опубліковані при доповіді на конференціях:

1. Шадрін М.С. Зеленьова І.Я., Грушко С.С. Порівняльне дослідження структур суміщеного пристрою керування вбудованою системою в базисі FPGA // Збірник тез доповідей щорічної

науково-технічної конференції серед студентів, викладачів, науковців, молодих учених і аспірантів "Тиждень науки-2021. Факультет комп'ютерних наук і технологій", 18–22 квітня 2022 р. - Редкол. : В. В. Наумик (відпов. ред.) Електрон. дані. – Запоріжжя : НУ «Запорізька політехніка», 2022. – 1 електрон. опт. диск (DVD-ROM); 12 см. – Назва з тит. екрана. – С. 812.

2. Synthesis of a Finite State Machine With Elementary Chains of States / Alexander Barkalov, Larysa Titarenko, Irina Zeleneva, Svitlana Hrushko, Tetiana Holub, Mykhailo Shadrin // Problems of Infocommunications. Science and Technology PIC S&T'2022: October 10-12, 2022, – Kharkiv, Ukraine, 2022 – pp. 25-28.

3. Parallel organisation of an embedded system control on a single FPGA chip / Irina Zeleneva, Tetiana Holub, Svitlana Hrushko, Mykhaylo Shadrin // Innovative scientific research: theory and practice: int. conf., 21-24 november 2023 – Stockholm, Sweden, 2023 – P. 453-459.

Структура та обсяг роботи. Магістерська робота складається зі вступу, чотирьох розділів, висновків, списку використаних джерел. Основна частина містить 129 сторінок, 88 рисунків і 37 таблиць, список використаних джерел зі 16 найменувань.

ОСНОВНИЙ ЗМІСТ РОБОТИ

У першому розділі надаються теоретичні відомості щодо вбудованих систем, принципів роботи FPGA, сучасних FPGA мікросхем, пристроїв керування та обраних засобів розробки.

У другому розділі здійснюється синтез та розробка моделей у пакеті Quartus II керуючих автоматів різних структур різних алгоритмів.

У ході роботи розглядалися керуючі автомати трьох різних структур:

- автомат Мура (базова структура)
- композиційний автомат на розподілених ресурсах
- композиційний автомат з використанням вбудованої пам'яті.

Спочатку були синтезовані та потім побудовані у Quartus II три автомата Мура. Кожен працює за своїм алгоритмом. На рисунку нижче представлений автомат Мура, який працює за першим алгоритмом.

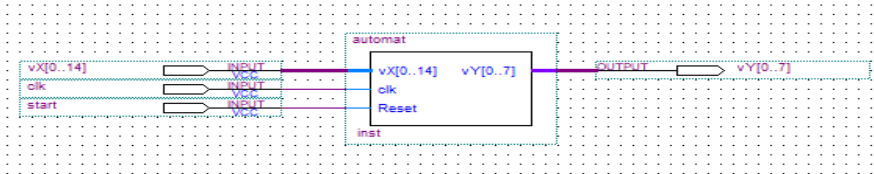


Рисунок 2.12– Схема базового пристрою керування – автомат МУРА

Ці три автомата Мура повинні бути запущені паралельно на одному кристалі.

Далі були синтезовані та потім побудовані у Quartus II три автомата композиційної структури на розподілених ресурсах. Кожен працює за своїм алгоритмом. На рисунку нижче представлений автомат композиційної структури на розподілених ресурсах, який працює за першим алгоритмом.

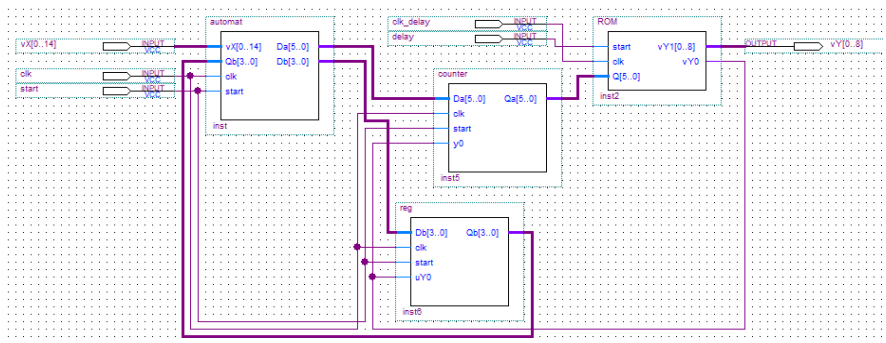


Рисунок 2.14– Схема композиційного мікропрограмного автомату керування

Ці три автомата композиційної структури повинні бути запущені паралельно на одному кристалі.

Далі були синтезовані та потім побудовані у Quartus II три автомата композиційної структури з використанням вбудованої пам'яті. Кожен працює за своїм алгоритмом. На рисунку нижче представлений автомат композиційної структури з використанням вбудованої пам'яті, який працює за першим алгоритмом.

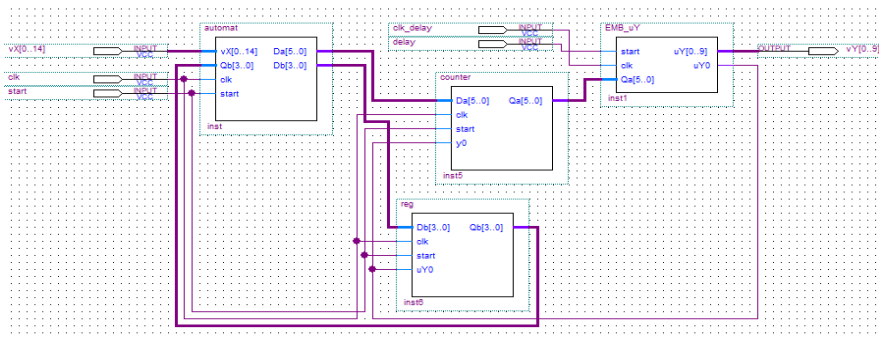


Рисунок 2.17– Схема композиційного мікропрограмного автомату керування з вбудованою пам'яттю

Ці три автомата композиційної структури повинні бути запущені паралельно на одному кристалі.

У третьому розділі здійснюється розробка паралельних схем у пакеті Quartus II керуючих автоматів різних структур різних алгоритмів.

Була здійснена розробка схем для паралельного запуску на одному кристалі декількох автоматів однієї і тієї самої структури, які працюють за різними алгоритмами. Наприклад на малюнку нижче зображено три автомати Мура розміщені на одному кристалі. Один з автоматів працює за ГСА1, другий за ГСА2, третій за ГСА3.

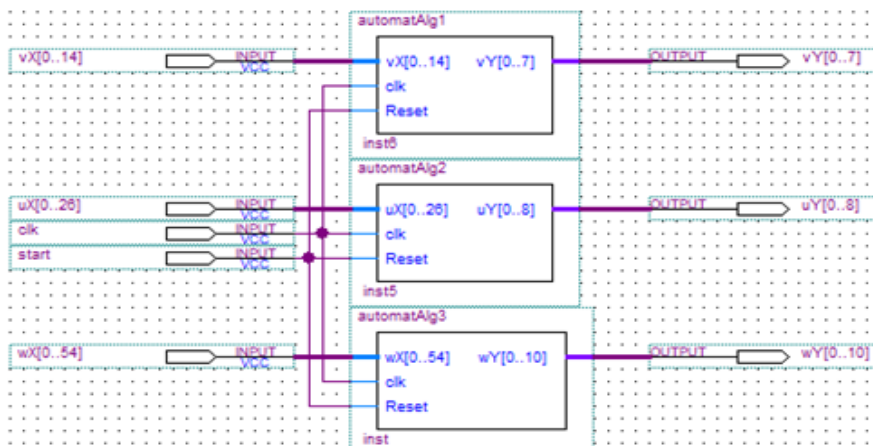


Рисунок 3.1 – Паралельна схема базових структур

У четвертому розділі здійснюється експериментальне дослідження розроблених схем окремо, а також їхньої паралельної роботи на кристалі FPGA Altera\Intel. Тестування виконано на різних мікросхемах – дешевого, середнього і коштовного сегментів. Наводяться графіки стосовно основних характеристик продуктивності.

Було здійснено тестування розроблених автоматів та з отриманих часових діаграм зроблені висновки відносно відповідності їх роботи до ГСА.

На рисунках нижче зображені часові діаграми роботи трьох автоматів різних структур, які працюють за першим алгоритмом

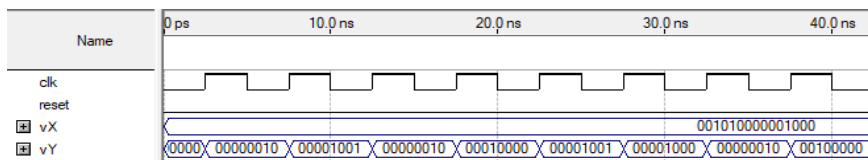


Рисунок 4.1 - Часова діаграма роботи першої частини ГСА1 рис. 2.1 (основного блоку) зі значенням входів `vX` в «001010000001000»

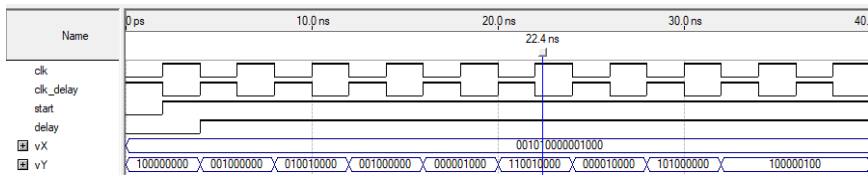


Рисунок 4.2 - Часова діаграма роботи першої частини ГСА1 рис. 2.1 (основного блоку) зі значенням входів vX в «001010000001000»

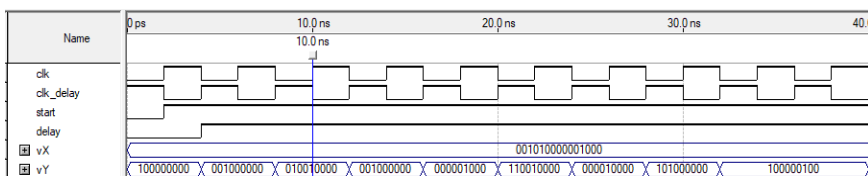


Рисунок 4.3 - Часова діаграма роботи першої частини ГСА1 рис. 2.1 (основного блоку) зі значенням входів vX в «001010000001000»

Ці три автомата композиційної структури повинні бути запущені паралельно на одному кристалі.

Було здійснено тестування розроблених паралельних схем та з отриманих часових діаграм зроблені висновки відносно відповідності їх роботи до ГСА.

На рисунку нижче зображена часова діаграма паралельної роботи трьох автоматів Мура, які працюють за різними ГСА.

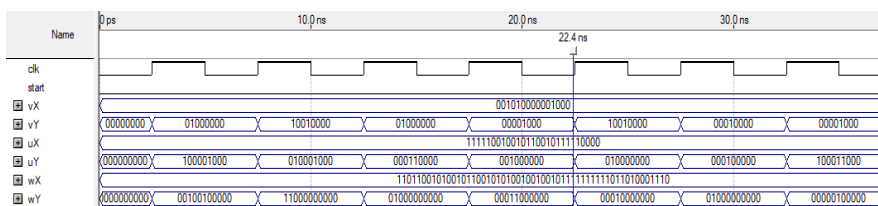


Рисунок 4.50 – Часові діаграми паралельної схеми базових структур

Далі було здійснено тестування структур АЛГОРИТМІВ на різних мікросхемах та порівняння апаратних витрат.

На графіку нижче наведені апаратні затрати на різних мікросхемах для різних структур третього алгоритму. Для інших алгоритмів були здійснені подібні заміри.

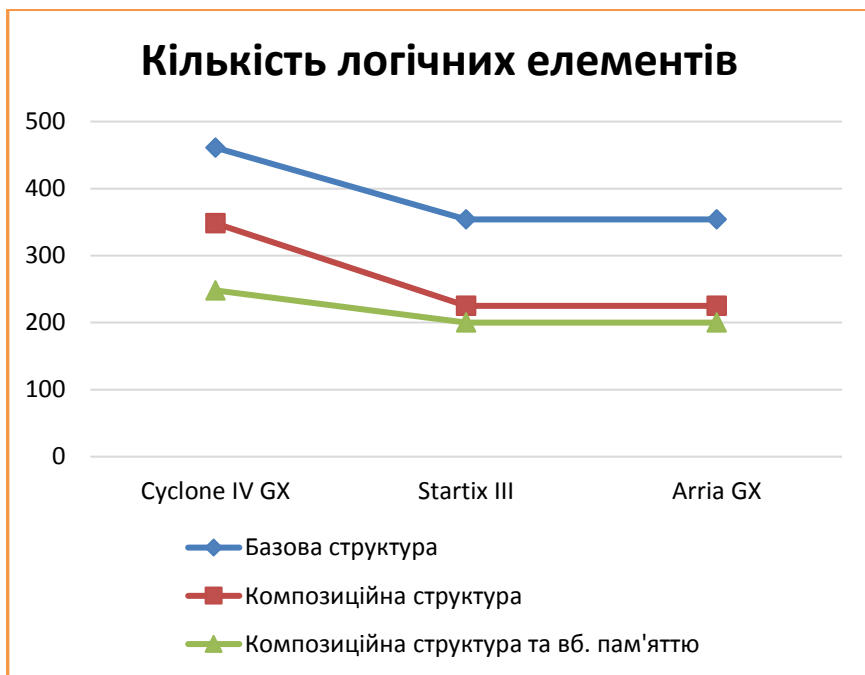


Рисунок 4.42 – Затрати логічних елементів на різних структурах та мікросхемах.

Далі було здійснено порівняння часових затримок

На графіку нижче наведені часові затримки на різних мікросхемах для різних структур третього алгоритму. Для інших алгоритмів були здійснені подібні заміри.

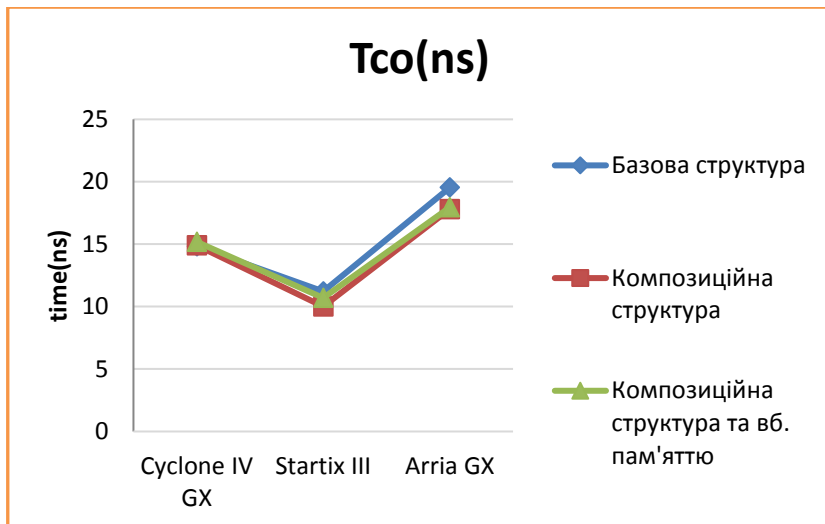


Рисунок 4.31 – Затримка tco при тестуванні різних структур автомату, який працює за третьою ГСА на різних мікросхемах

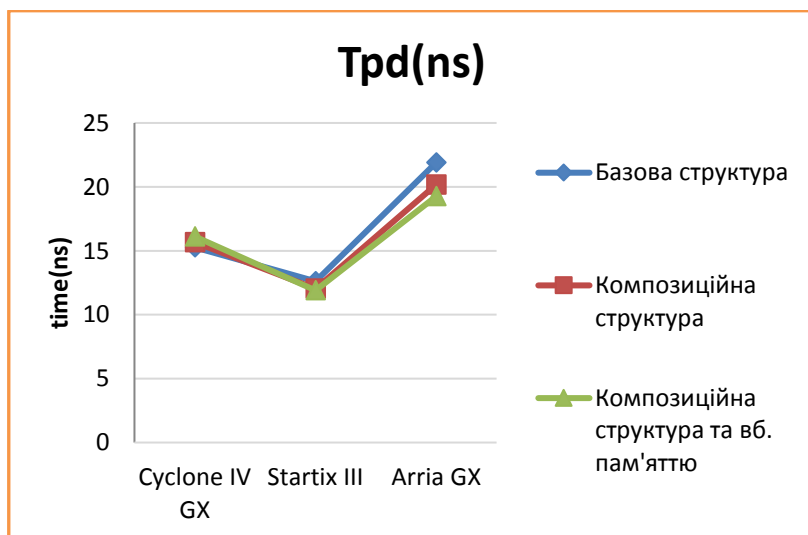


Рисунок 4.32 – Затримка tpd при тестуванні різних структур автомату, який працює за третьою ГСА на різних мікросхемах

Тестування паралельних схем на різних мікросхемах.

На графіку нижче наведені апаратні затрати паралельної схеми першого, другого та третього алгоритму на різних мікросхемах.

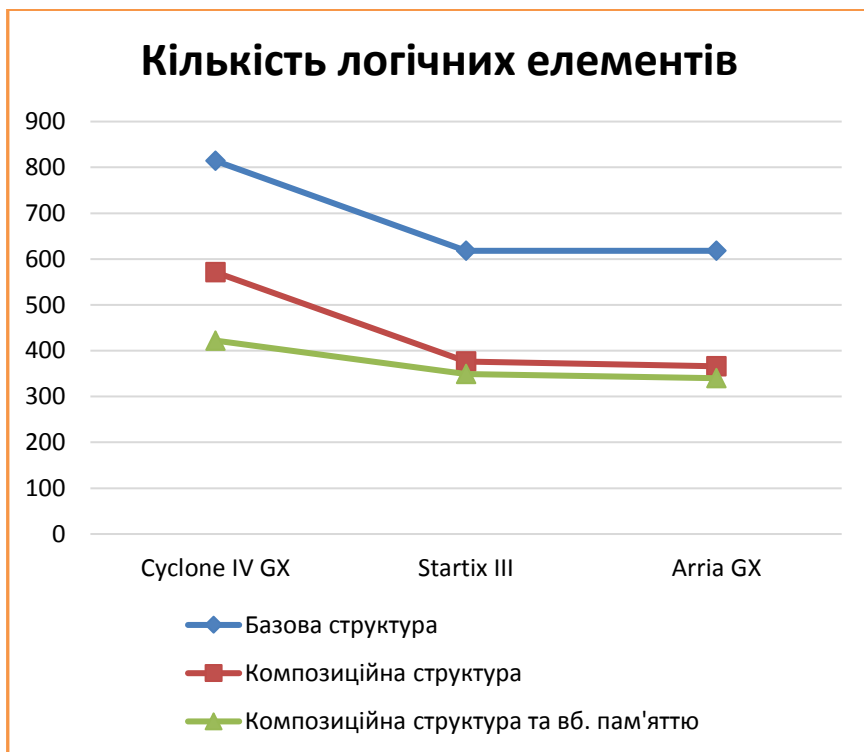


Рисунок 4.55 – Затрати логічних елементів на різних структурах та мікросхемах

Тестування паралельних схем на різних мікросхемах.

На графіку нижче наведені часові затримки паралельної схеми першого, другого та третього алгоритму на різних мікросхемах.

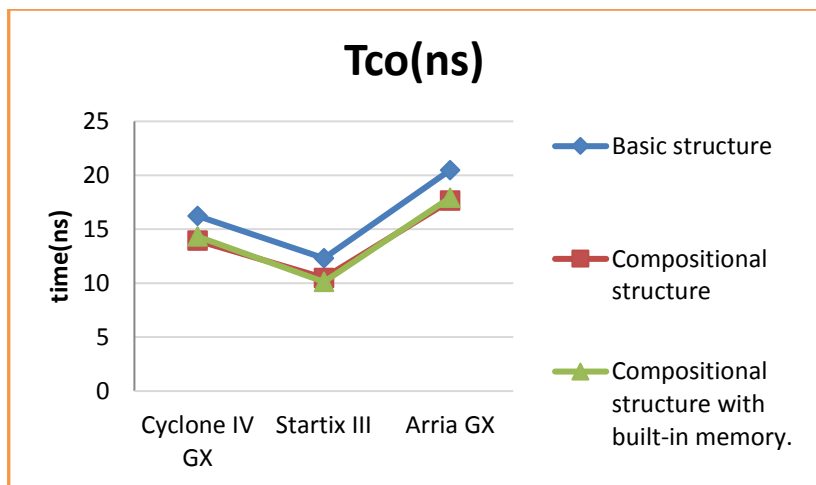


Рисунок 4.57 – Затримка tco при тестуванні різних структур паралельної схеми, яка працює за першою, другою та третьою ГСА на різних мікросхемах

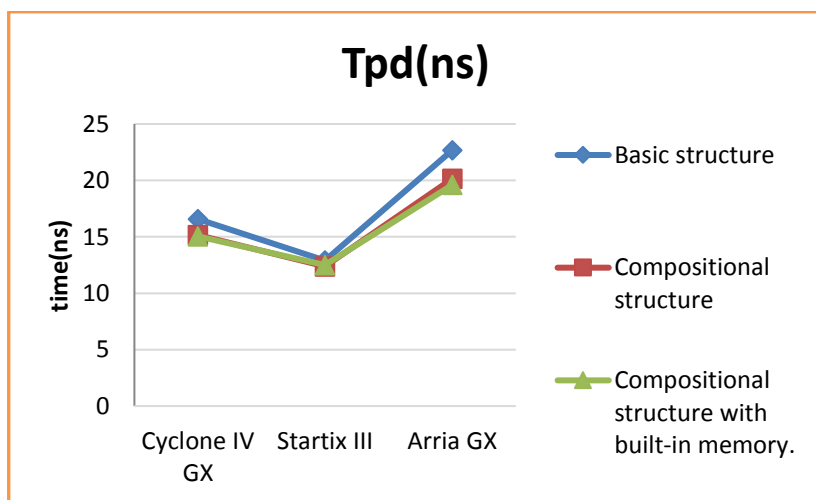


Рисунок 4.58 – Затримка tpd при тестуванні різних структур паралельної схеми, яка працює за першою, другою та третьою ГСА на різних мікросхемах

На рисунках нижче наведені топології мікросхеми Startix III на яких розміщені паралельні схеми першого, другого та третього алгоритму. Можна прослідкувати зменшення логічних елементів в залежності від структури.

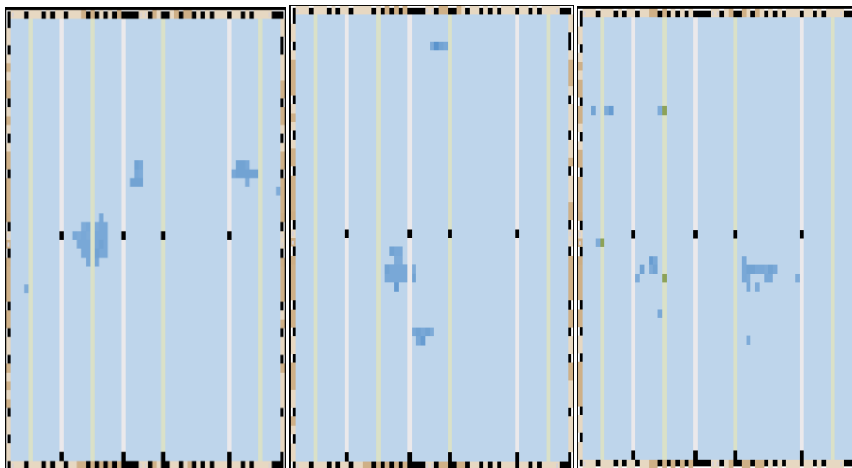


Рисунок 4.61 – Розміщення базової структури (зліва), композиційної структури (посередині) та композиційної структури з вбудованою пам'яттю (справа) на мікросхемі Startix III.

З раніш наведених часових діаграм можна зробити висновки відносно швидкості роботи паралельної схеми на якій працюють три алгоритми одночасно порівняно з тим якщо запускати ці алгоритми послідовно. На графіку наведено порівняння часу.



Рисунок 4.53 – Порівняння часу роботи

На графіку часу роботи можна побачити, що якщо запускати схеми першого, другого та третього алгоритму окремо та послідовно то загалом час їх виконання буде значно вище часу їх виконання при запуску їх паралельно на одному кристалі. Якщо запускати схеми алгоритмів паралельно то час роботи буде дорівнювати часу найдовшого алгоритму з тих що запускаються паралельно тобто в нашому випадку третьому алгоритму.

ВИСНОВКИ

За підсумками результатів експериментального дослідження можна зробити практично корисні висновки.

По-перше з точки зору економії апаратних ресурсів можна побачити зменшення кількості логічних елементів залежно від структури. Порівняно з базовою структурою, кількість

логічних елементів у композиційній структурі зменшилася за рахунок введення лічильника, і як результат, скорочення формул для формування наступного стану автомата.

За рахунок використання вбудованої пам'яті при імплементації композиційного автомата також зменшується кількість логічних елементів та регістрів. Очевидно, такий перерозподіл ресурсів є дуже вигідним, оскільки звільнені логічні елементи потенційно можуть бути задіяні для імплементації інших функціональних вузлів загальної системи.

Отже, за результатами тестувань можна зробити висновок, що композиційна структура пристрою керування із вбудованою пам'яттю є найкращою серед інших структур оскільки займає найменше логічних елементів і регістрів.

За результатами аналізу часу виконання алгоритмів, за всіма експериментами можна помітити, що головні затримки t_{co} та tpd у композиційних структур в цілому менші, ніж у базової структури. Найбільше це видно на мікросхемі Aggia. Це свідчить про перевагу композиційних структур перед базовою.

Отже, за результатами заміру часових характеристик можна зробити висновок, що серед усіх мікросхем, на яких проводилися тестування, найкращою з точки зору часу буде Aggia. Часові затримки t_{co} та tpd майже за всіма результатами на цій мікросхемі стабільно нижчі, ніж у інших.

Стосовно топологій, за результатами тестувань можна було прослідкувати зменшення логічних елементів на схемі залежно від структури. Також можна побачити, що як правило, логічні елементи у всіх топологіях, окрім винятків, в цілому розташовані щільно поблизу один одного, що добре з точки зору швидкості роботи.

У ході роботи було доведено, що паралельний запуск декількох пристроїв керування на одному кристалі можливий.

Завдяки цьому можна значно зменшувати габарити, вагу та енергоспоживання бортового обчислювального пристрою.

За результатами тестування паралельної схеми з часових діаграм можна зробити висновки, що час виконання схем на одному кристалі дорівнює часу роботи алгоритму, час виконання якого найдовший. Таким чином, загальний час виконання декількох алгоритмів паралельно значно зменшується порівняно з тим, якщо запускати їх всіх послідовно один за одним.

Підсумкові результати експериментальних досліджень дозволяють визначити, що композиційний мікропрограмний пристрій керування доцільно використовувати для вбудованих систем. Паралельна організація роботи декількох незалежних пристроїв керування дозволяє прискорити виконання керуючих алгоритмів, а також розташувати на одному кристалі схеми пристроїв для керування різними блоками складної системи. Таким чином, мета досліджень досягнута і всі поставлені задачі вирішені.