

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Національний університет «Запорізька політехніка»

МЕТОДИЧНІ ВКАЗІВКИ

до практичних занять

з дисципліни

„СХЕМОТЕХНІКА АНАЛОГОВИХ І ЦИФРОВИХ ПРИСТРОЇВ ОБРОБКИ СИГНАЛІВ“

ЧАСТИНА ДРУГА

для студентів спеціальностей

175 „Інформаційно-вимірювальні технології“,

освітня програма: „Інформаційні системи моніторингу і контролю“;

176 „Мікро- та наносистемна техніка“,

освітня програма: „Мікро- та наноелектронні прилади і пристрої“

першого (бакалаврського) рівня вищої освіти

денної й заочної форм навчання

Методичні вказівки до практичних занять з дисципліни „Схемотехніка аналогових і цифрових пристроїв обробки сигналів“. Частина друга. Для студентів спеціальностей: 175 „Інформаційно-вимірювальні технології“, освітня програма: „Інформаційні системи моніторингу і контролю“; 176 „Мікро- та наносистемна техніка“, освітня програма: „Мікро- та наноелектронні прилади і пристрої“ першого (бакалаврського) рівня вищої освіти денної й заочної форм навчання / Укл.: Ніна НАГОРНА. – Запоріжжя: НУ «Запорізька політехніка», 2025. – 59 с.

Укладач: Ніна НАГОРНА, ст. викладач,

Рецензент: Валентин ПОГОСОВ, проф., д-р фіз.-мат. наук

Відповідальний за випуск: Андрій КОРОТУН, канд. фіз.-мат. наук,
професор

Затверджено
на засіданні кафедри
інформаційної безпеки та
наноелектроніки

Протокол № 5
від “22” січня 2025 р.

Рекомендовано до видання
НМК ФІБЕК
Протокол № 7
від “24” лютого 2025 р.

ЗМІСТ

Частина друга	
5 Практичне заняття №5 „Синтез схем у заданому базисі”	94
5.1 Теоретичні відомості	94
5.1.1 Математичний апарат цифрової схемотехніки	94
5.1.2 Логічні базиси і логічні елементи	95
5.2 Завдання	97
5.3 Контрольні запитання	98
6 Практичне заняття №6 „Мінімізація логічних функцій”	99
6.1 Теоретичні відомості	99
6.1.1 Мінімізація функцій за допомогою карт Карно	99
6.1.2 Мінімізація функцій методом Квайна	102
6.2 Завдання	105
6.3 Контрольні запитання	106
7 Практичне заняття №7 „ТТЛ, ТТЛШ-логіки”	108
7.1 Теоретичні відомості	108
7.1.1 Схеми транзисторно-транзисторної логіки	108
7.1.2 Інтегровані схеми ТТЛ з діодами Шоттки (ТТЛШ)	112
7.2 Завдання	115
7.3 Контрольні запитання	115
8 Практичне заняття №8 „Емітерно-зв’язана-логіка”	118
8.1 Теоретичні відомості	118
8.1.1 Принцип роботи ЕЗЛ	118
8.1.2 Використання монтажно-логіки	123
8.2 Завдання	125
8.3 Контрольні запитання	125
9 Практичне заняття №9 „n-МОН, КМОН-логіки”	126
9.1 Теоретичні відомості	126
9.1.1 Схемотехніка базових n-МОН логічних елементів	126
9.1.2 Схемотехніка базових логічних елементів КМОН	127
9.2 Завдання	128
9.3 Контрольні запитання	130
10 Практичне заняття №10 „Програмовані логічні матриці”	131
10.1 Теоретичні відомості	131
10.1.1 Підкласи простих програмованих логічних пристроїв	131
10.1.2 Програмовані логічні матриці (ПЛМ)	131
10.1.3 Однорівневі програмовані логічні матриці	132
10.1.4 Дворівневі ПЛМ комбінаційного типу	133
10.1.5 Трирівневі ПЛМ комбінаційного типу	135
10.1.6 Програмовані матриці вентилів (ПМВ)	137
10.1.7 Програмовані матриці логіки (ПМЛ)	138
10.2 Завдання	138
10.3 Контрольні запитання	140
11 Практичне заняття №11 „Синтез функціональних вузлів із використанням ПЗП”	141
11.1 Теоретичні відомості	141
11.1.1 Основні відомості про ПЗП	141
11.1.2 Реалізація комбінаційних схем на ПЗП	144
11.2 Завдання	147
11.3 Контрольні запитання	149
Рекомендована література	149

5 ПРАКТИЧНЕ ЗАНЯТТЯ №5 „СИНТЕЗ СХЕМ У ЗАДАНОМУ БАЗИСІ“

Мета роботи – засвоєння аксіом та законів алгебри логіки, виконання синтезу схем у базисах АБО-НЕ, І-НЕ.

5.1 Теоретичні відомості

5.1.1 Математичний апарат цифрової схемотехніки

Теоретичною основою проектування цифрових систем є алгебра логіки, розробка основ якої пов'язана з ім'ям англійського математика Джорджа Буля (1815 - 1864 рр.). Тому алгебра логіки називається також булевою алгеброю. У булевій алгебрі різноманітні логічні вирази можуть приймати лише два значення – 0 або 1. Під час подачі цифрових сигналів у додатній логіці логічному нулеві відповідає низький рівень напруги U^0 , а логічній одиниці – високий рівень U^1 .

Логічні функції утворюються з логічних змінних, об'єднаних знаками логічних операцій. Як і логічні змінні, логічні функції можуть приймати лише значення логічного нуля та логічної одиниці.

Якщо кількість логічних змінних дорівнює k , то вони можуть утворити 2^k можливих логічних

наборів з нулів і одиниць. Наприклад, у випадку двох логічних змінних ($k=2$) утворюється 4 набори: 00, 01, 10, 11. Для кожного набору змінних логічна функція може приймати тільки одне з двох значень: 0 або 1. Оскільки логічна функція приймає тільки два значення, то можна утворити 2^{2^k} функцій.

Усі можливі логічні функції k змінних можна утворити за допомогою трьох основних операцій під назвами:

- *логічне заперечення* (інверсія, операція НЕ), що позначається символом "—" над відповідною змінною або символом \neg ;
- *логічне додавання* (диз'юнкція, операція АБО), що позначається символами "+", "U";
- *логічне множення* (кон'юнкція, операція І), що позначається символами " \cap ", " \cdot ". Знак " \cdot " на практиці найчастіше опускають.

Для розглянутих логічних операцій справедливий ряд аксіом і законів.

Аксіоми алгебри логіки:

$$1 + A = 1; \quad 0 \cdot A = 0; \quad A + \bar{A} = 1;$$

$$0 + A = A; \quad 1 \cdot A = A; \quad A \cdot \bar{A} = 0;$$

$$A + A = A; \quad A \cdot A = A; \quad \overline{\bar{A}} = A.$$

Закони алгебри логіки:

- закон комутативності:

$$X_1 + X_2 = X_2 + X_1;$$

$$X_1 \cdot X_2 = X_2 \cdot X_1;$$

- закон асоціативності:

$$X_1 + (X_2 + X_3) = (X_1 + X_2) + X_3;$$

$$X_1 \cdot (X_2 \cdot X_3) = (X_1 \cdot X_2) \cdot X_3;$$

- закон дистрибутивності:

$$X_1 (X_2 + X_3) = X_1 X_2 + X_1 X_3;$$

$$X_1 + (X_2 \cdot X_3) = (X_1 + X_2)(X_1 + X_3);$$

- закон дуальності (де Моргана):

$$\overline{X_1 + X_2} = \overline{X_1} \cdot \overline{X_2};$$

$$\overline{X_1 \cdot X_2} = \overline{X_1} + \overline{X_2};$$

- закон поглинання:

$$(X_1 + X_2)X_1 = X_1 + X_1X_2 = X_1(1 + X_2) = X_1;$$

$$(X_1X_2) + X_1 = X_1.$$

Аксиоми і закони алгебри логіки дозволяють спрощувати логічні вирази і на основі спрощених виразів синтезувати більш прості логічні схеми.

5.1.2 Логічні базиси і логічні елементи

Функціонально повним логічним базисом називається набір логічних операцій, за допомогою якого можна представити будь-яку логічну функцію.

Прикладом такого набору є сукупність операцій диз'юнкції, кон'юнкції та інверсії.

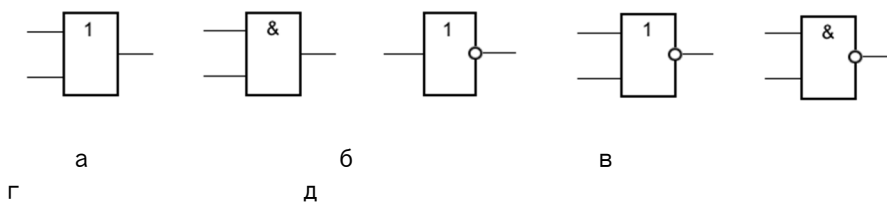
Логічний базис називається **мінімальним**, якщо виключення хоча б однієї з його операцій перетворює цей набір у функціонально неповний.

Логічний базис І, АБО, НЕ не є мінімальним, тому що за допомогою законів дуальності можна виключити з логічних виразів функцію І чи АБО. В цьому разі будуть одержані мінімальні базиси

I, НЕ чи АБО, НЕ. Існують мінімальні логічні бази, що містять тільки одну функцію: I-НЕ (штрих Шеффера), АБО-НЕ (стрілка Пірса) тощо.

Схеми, які реалізують одну з елементарних операцій, називаються логічними елементами. Логічний елемент, який реалізує операцію диз'юнкції, називається диз'юнктором; кон'юнкції - кон'юнктором; інверсії - інвертором; "АБО-НЕ" - елементом Пірса; "I-НЕ" - елементом Шеффера.

Позначення найпростіших логічних елементів та їх таблиці істинності наведені на рис. 5.1 та в табл. 5.1.



- а - двовходовий диз'юнктор;
- б - двовходовий кон'юнктор;
- в - інвертор;
- г - двовходовий елемент Пірса;
- д - двовходовий елемент Шеффера

Рисунок 5.1 - Схемні позначення логічних елементів

Таблиця 5.1 - Таблиці істинності логічних елементів

Диз'юнктор			Кон'юнктор			Інвертор		Елемент Пірса (АБО-НЕ)			Елемент Шеффера (І-НЕ)		
x_1	x_2	F	x_1	x_2	F	x	F	x_1	x_2	F	x_1	x_2	F
0	0	0	0	0	0	0	1	0	0	1	0	0	1
0	1	1	0	1	0	1	0	0	1	0	0	1	1
1	0	1	1	0	0			1	0	0	1	0	1
1	1	1	1	1	1			1	1	0	1	1	0

5.2 Завдання

Синтезуйте дві схеми в базисах І-НЕ та АБО-НЕ, які виконують задану логічну функцію.

Індивідуальні завдання за варіантами представлені у табл. 5.2.

Таблиця 5.2 – Індивідуальні завдання

№ вар.	Функція	№ вар.	Функція
1	$F = X_1\bar{X}_3\bar{X}_4 + X_2\bar{X}_4 + \bar{X}_1\bar{X}_3X_4$	11	$F = \bar{X}_1\bar{X}_2 \oplus X_3\bar{X}_4$
2	$F = \overline{(X_1\bar{X}_2 \oplus \bar{X}_1X_2)X_3}(X_1 + \bar{X}_2X_3)$	12	$F = \bar{X}_1X_2 \oplus \bar{X}_3\bar{X}_4$
3	$F = \bar{X}_1X_2X_3 + \bar{X}_2X_4$	13	$F = \overline{(X_1\bar{X}_2 + X_3\bar{X}_1)X_4} \cdot \bar{X}_2\bar{X}_3X_4$
4	$F = \bar{X}_1 + \bar{X}_2 + X_3X_4 + \bar{X}_2(X_1 + X_3\bar{X}_4)$	14	$F = (\bar{X}_1\bar{X}_2)(\bar{X}_4X_3)(X_3 + X_1)$
5	$F = \bar{X}_1X_4 + \overline{(\bar{X}_1\bar{X}_3 + X_2X_3)}$	15	$F = \overline{(X_1 + X_2)}(\bar{X}_3 + X_4)\bar{X}_2\bar{X}_3$
6	$F = \overline{X_1X_2 + \bar{X}_3 + X_4}$	16	$F = \overline{(X_1X_4 + \bar{X}_3\bar{X}_1)X_2\bar{X}_4}$

7	$F = \overline{X_1 X_3} + \overline{X_2 X_3} + X_1 \overline{X_2 X_3}$	17	$F = \overline{X_1 X_2 X_3} \cdot \overline{X_2 X_4} + \overline{X_1 X_3 X_4}$
8	$F = \overline{(X_1 \overline{X_2} + \overline{X_2 X_3})(X_1 + X_2)}$	18	$F = \overline{X_1 X_2} \oplus \overline{X_3} + \overline{X_4}$
9	$F = \overline{\overline{(X_1 X_2 \oplus X_3)} X_4}$	19	$F = \overline{(\overline{X_1 X_2 X_4} + \overline{X_2 X_3})(X_1 + X_2)}$
10	$F = \overline{\overline{X_1 X_2} \cdot \overline{X_4} + X_1 \overline{X_3 X_4}}$	20	$F = \overline{\overline{\overline{\overline{(X_1 + X_2)} X_3 X_4} + X_3}}$

Приклад виконання завдання.

Необхідно синтезувати дві схеми в базисах І-НЕ та АБО-НЕ, які виконують логічну функцію: $f = (x_1 + x_2) \overline{(\overline{x_3} + x_4)} x_3 x_1$.

Для реалізації функції в базисі АБО-НЕ необхідно, скориставшись законами алгебри логіки, перетворити заданий вираз, як показано нижче:

$$\begin{aligned}
 f &= (x_1 + x_2) \overline{(\overline{x_3} + x_4)} \overline{(\overline{x_3} + \overline{x_1})} = (x_1 + x_2) \left[(\overline{x_3} + x_4) + (\overline{x_3} + \overline{x_1}) \right] = \\
 &= \overline{\overline{(x_1 + x_2)} + \overline{\overline{x_3} + x_4 + \overline{x_1}}}.
 \end{aligned}$$

За отриманим виразом синтезована схема, яка показана на рис. 5.2.

Для реалізації функції в базисі І-НЕ перетворений вираз має вигляд:

$$f = \overline{(\overline{x_1} \cdot \overline{x_2})} \cdot \overline{(x_3 \cdot \overline{x_4})} x_3 x_1 = \overline{(\overline{x_1} \cdot \overline{x_2})} \cdot x_3 \overline{x_4} x_1.$$

За отриманим виразом синтезована схема, яка показана на рис. 5.3.

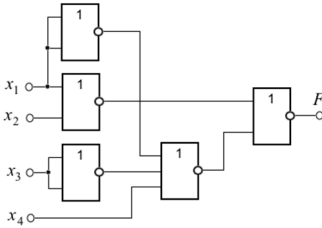


Рисунок 5.2 – Синтезована схема в базисі АБО-НЕ

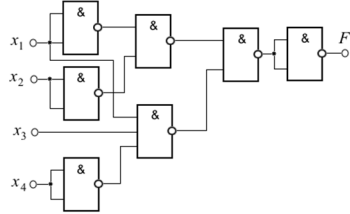


Рисунок 5.3 – Синтезована схема в базисі І-НЕ

5.3 Контрольні запитання

1. Що таке логічний базис?
2. Скільки логічних наборів можуть утворити k логічних змінних?
3. Назвіть аксіоми та закони алгебри логіки.
4. Яка логічна функція позначається символом \oplus ?

6 ПРАКТИЧНЕ ЗАНЯТТЯ №6 «МІНІМІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ»

Мета роботи: освоєння мінімізації логічних функцій методом карт Карно та методом Квайна.

6.1 Теоретичні відомості

6.1.1 Мінімізація функцій за допомогою карт Карно

Логічні функції можливо мінімізувати за допомогою аксіом і законів булевої алгебри. В процесі мінімізації функції використовують поняття суміжних мінтермів та імплікант. *Суміжними* називають мінтерми, які відрізняються значенням лише однієї змінної. Наприклад, мінтерми $\overline{x_1}x_2x_3$ та $x_1x_2x_3$ відрізняються лише значеннями змінної x_1 : $\overline{x_1}$ та x_1 . Над суміжними мінтермами проводять операцію склеювання. В результаті формується результуюча кон'юнкція, яка називається *імплікантою*:

$$\overline{x_1}x_2x_3 + x_1x_2x_3 = x_2x_3.$$

Ранг – кількість змінних в мінтермі чи імпліканті. При операції склеювання ранг результуючої кон'юнкції зменшується на одиницю відносно рангів мінтермів.

Карта Карно – прямокутник, розбитий на клітини, кількість яких дорівнює кількості наборів функції, що мінімізується (2^n , де n – кількість змінних). По суті карта Карно - це таблиця істинності, складена в двовимірному вигляді. Клітини карти Карно розмічають так, щоб у поруч стоячих клітинах знаходилися суміжні мінтерми. Карта Карно має тороїдальну властивість, це означає, що клітини у крайніх рядках і стовпцях теж мають суміжні мінтерми. Приклад розмітки карт Карно для трьох, чотирьох, п'яти змінних приведений на рис. 6.1.

При заповненні карти Карно на перетині рядка і стовпця проставляється відповідне значення функції з таблиці істинності. Після того, як карта заповнена, можна мінімізувати функцію. Якщо необхідно отримати мінімальну диз'юнктивну нормальну форму (ДНФ) функції, то в карті розглядають лише ті клітини, які містять

одиниці; якщо ж потрібна мінімальна кон'юнктивна нормальна форма (КНФ) функції, то розглядають лише ті клітини, які містять нулі.

C \ AB	00	01	11	10
0				
1				

CD\AB	00	01	11	10
00				
01				
11				
10				

а

б

DE\ABC	000	001	011	010	110	111	101	100
00								
01								
11								
10								

в

- а – карта Карно для трьох змінних;
 б - карта Карно для чотирьох змінних;
 в - карта Карно для п'яти змінних

Рисунок 6.1 – Карти Карно

Мінімізація зводиться до виділення областей з одиницями (ДНФ) чи нулями (КНФ) та запису мінімізованої функції.

Покриття карти Карно областями (другий термін: охоплення овалами) виконується за правилами (на прикладі ДНФ):

- 1) об'єднують суміжні клітини з одиницями в одну область так, щоб вказана область містила 2^n (де n - ціле число) клітин, причому, в області не повинні бути клітини з нулями;
- 2) будь-яка область має містити якомога більше одиниць, а кількість областей повинна бути якомога менше;
- 3) області можуть перетинатися;
- 4) можливі декілька варіантів покриття карти Карно областями.

Для кожної області записується відповідна кон'юнкція за правилом: якщо змінна приймає постійне значення в межах області і воно дорівнює «1», то змінна у кон'юнкцію записується у прямому вигляді, якщо «0», - то в інверсному. Якщо значення змінної у межах

області приймає різне значення, то ця змінна у кон'юнкцію не входить. Кон'юнкції усіх областей об'єднують диз'юнкцією.

При мінімізації функції чотирьох змінних використовують наступні правила:

1) якщо овалом охоплені два поруч розташованих стовпця або два поруч розташованих рядка (з урахуванням тороїдальності карти Карно), то результуюча імпліканта буде мати перший ранг і складатися зі змінної, значення якої в овалі незмінне (рис. 6.2);

2) якщо овалом охоплений один стовпець, або один рядок, або чотири поруч розташованих клітини з суміжними мінтермами, то результуюча імпліканта буде мати другий ранг і складатися з двох змінних з незмінними значеннями в овалі;

3) якщо овалом охоплені дві клітини з суміжними мінтермами, то імпліканта буде мати третій ранг і складатися з трьох змінних, значення яких в овалі незмінне.

Наприклад, функція задана таблицею істинності (табл. 6.1).

Таблиця 6.1 – Таблиця істинності функції F

A	B	C	D	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

Карта Карно для мінімізації функції F представлена на рис. 6.2.

CD \ AB	00	01	11	10
00	1			1
01	1	1	1	1
11	1	1	1	1
10		1		

Рисунок 6.2 – Карта Карно функції з табл. 6.1 з виділеними областями

На основі карти Карно формується мінімізована функція:

$$F = D + \bar{B}\bar{C} + \bar{A}BC.$$

6.1.2 Мінімізація функцій методом Квайна

При мінімізації логічних функцій, що мають 5 і більше логічних аргументів використовують методи, які підлягають алгоритмізації з метою подальшого використання ЕОМ. Таким методом є метод Квайна. Необхідна умова використання методу – логічна функція повинна бути представлена в досконалій диз'юнктивній нормальній формі (ДДНФ).

Розглянемо роботу методу Квайна на прикладі. Мінімізуємо логічну функцію:

$$\begin{aligned} F(X_1, X_2, X_3, X_4) &= \bigvee_1 (3, 4, 5, 7, 9, 11, 12, 13) = \\ &= \bar{X}_1\bar{X}_2X_3X_4 + \bar{X}_1X_2\bar{X}_3\bar{X}_4 + \bar{X}_1X_2\bar{X}_3X_4 + \bar{X}_1X_2X_3X_4 + X_1\bar{X}_2\bar{X}_3X_4 + \\ &\quad + X_1\bar{X}_2X_3X_4 + X_1X_2\bar{X}_3\bar{X}_4 + X_1X_2\bar{X}_3X_4, \end{aligned}$$

де \bigvee_1 - знак диз'юнкції, що з'єднує усі мінтерми з одиничними значеннями.

Процес мінімізації можна розбити на етапи.

На **етапі 1** шляхом повного порівняння всіх мінтермів знаходяться суміжні мінтерми. Потім за допомогою склеювання суміжні мінтерми покриваються імплікантами, які мають на одиницю менший ранг порівняно з мінтермами. Для виконання вказаних дій складається перша таблиця (табл. 6.2) з шапкою, у рядках і стовпцях якої розташовуються початкові мінтерми.

Таблиця 6.2 – Таблиця з початковими мінтермами у шапці

Мінтерми	$\bar{X}_1\bar{X}_2X_3X_4$	$\bar{X}_1X_2\bar{X}_3\bar{X}_4$	$\bar{X}_1X_2\bar{X}_3X_4$	$\bar{X}_1X_2X_3\bar{X}_4$	$X_1\bar{X}_2\bar{X}_3X_4$	$X_1\bar{X}_2X_3\bar{X}_4$	$X_1X_2\bar{X}_3\bar{X}_4$	$X_1X_2\bar{X}_3X_4$
	0011	0100	0101	0111	1001	1011	1100	1101
$\bar{X}_1\bar{X}_2X_3X_4$	1			$\bar{X}_1X_3X_4$		$\bar{X}_2X_3X_4$		
$\bar{X}_1X_2\bar{X}_3\bar{X}_4$		1	$\bar{X}_1X_2\bar{X}_3$				$X_2\bar{X}_3\bar{X}_4$	
$\bar{X}_1X_2\bar{X}_3X_4$		$\bar{X}_1X_2\bar{X}_3$	1	$\bar{X}_1X_2X_4$				$X_2\bar{X}_3X_4$
$\bar{X}_1X_2X_3\bar{X}_4$	$\bar{X}_1X_3X_4$		$\bar{X}_1X_2X_4$	1				
$X_1\bar{X}_2\bar{X}_3X_4$					1	$X_1\bar{X}_2X_4$		$X_1\bar{X}_3X_4$
$X_1\bar{X}_2X_3\bar{X}_4$	$\bar{X}_2X_3X_4$				$X_1\bar{X}_2X_4$	1		
$X_1\bar{X}_2\bar{X}_3\bar{X}_4$		$X_2\bar{X}_3\bar{X}_4$					1	$X_1X_2\bar{X}_3$
$X_1\bar{X}_2\bar{X}_3X_4$			$X_2\bar{X}_3X_4$		$X_1\bar{X}_3X_4$		$X_1X_2\bar{X}_3$	1

На основі властивості того, що мінтерми самі із собою не склеюються, по діагоналі ставляться одиниці. Таблиця симетрична відносно головної діагоналі. Спочатку заповнюють верхню частину таблиці результуючими імплікантами, а потім можна дзеркально відносно головної діагоналі перенести отримані імпліканти у нижню частину таблиці. Для даного прикладу в кожному стовпці і кожному рядку таблиці є імпліканти, отже усі мінтерми підверглися склеюванню.

Потім складається друга таблиця (табл. 6.3), яка включає мінтерми, що не підверглися склеюванню (таких у прикладі немає), а також результуючі імпліканти третього рангу. У прикладі сформовано 9 імплікант, отже, таблиця 2.3 має розміри 9x9.

Далі знаходяться суміжні імпліканти (вони включають однакові змінні).

Ідентичні таблиці складаються до тих пір, поки ще можна буде проводити операцію склеювання. Імпліканти, які не можна вже склеїти, називаються **простими**. Прості імпліканти з мінтермами, які не підверглися склеюванню, утворюють *скорочену диз'юнктивну нормальну форму (СДНФ)*. У деяких випадках в ній можуть міститися зайві імпліканти, які можна відкинути без зміни значення функції. ДНФ, яка не містить зайвих імплікант називається **тупиковою**. Деякі функції можуть мати декілька тупикових форм. Тупикова форма, що містить мінімальну кількість аргументів називається **мінімальною диз'юнктивною формою**.

Таблиця 6.3 – Таблиця з результуючими імплікантами у шапці

Імпліканти	$\bar{X}_1 X_3 X_4$	$\bar{X}_2 X_3 X_4$	$\bar{X}_1 X_2 \bar{X}_3$	$X_2 \bar{X}_3 \bar{X}_4$	$\bar{X}_1 X_2 X_4$	$X_2 \bar{X}_3 X_4$	$X_1 \bar{X}_2 X_4$	$X_1 \bar{X}_3 X_4$	$X_1 X_2 \bar{X}_3$
$\bar{X}_1 X_3 X_4$	1								
$\bar{X}_2 X_3 X_4$		1							
$\bar{X}_1 X_2 \bar{X}_3$			1						$X_2 \bar{X}_3$
$X_2 \bar{X}_3 \bar{X}_4$				1		$X_2 \bar{X}_3$			
$\bar{X}_1 X_2 X_4$					1				
$X_2 \bar{X}_3 X_4$				$X_2 \bar{X}_3$		1			
$X_1 \bar{X}_2 X_4$							1		
$X_1 \bar{X}_3 X_4$								1	
$X_1 X_2 \bar{X}_3$			$X_2 \bar{X}_3$						1

На **етапі 2** з метою одержання мінімальної диз'юнктивної нормальної форми складається таблиця 6.4, у стовпцях якої розташовуються початкові мінтерми, а в рядках – прості імпліканти.

Якщо у вихідний мінтерм входить проста імпліканта, то на перетині стовпця і рядка ставлять мітку.

Таблиця 6.4 – Таблиця з розставленими мітками

Прості імпліканти	Початкові мінтерми							
	$\bar{X}_1 \bar{X}_2 X_3 X_4$	$\bar{X}_1 X_2 \bar{X}_3 \bar{X}_4$	$\bar{X}_1 X_2 \bar{X}_3 X_4$	$\bar{X}_1 X_2 X_3 X_4$	$X_1 \bar{X}_2 \bar{X}_3 X_4$	$X_1 \bar{X}_2 X_3 X_4$	$X_1 X_2 \bar{X}_3 \bar{X}_4$	$X_1 X_2 \bar{X}_3 X_4$
$\bar{X}_1 X_3 X_4$	Y			Y				
$\bar{X}_2 X_3 X_4$	Y					Y		
$\bar{X}_1 X_2 X_4$			Y	Y				
$X_1 \bar{X}_2 X_4$					Y	Y		
$X_1 \bar{X}_3 X_4$					Y			Y
$X_2 \bar{X}_3$		Y	Y				Y	Y

На **етапі 3**, якщо в таблиці 6.4 є стовпець з однією міткою, то такий стовпець викреслюється, а також викреслюється рядок на перетині якого із стовпцем є мітка. Імпліканта, що знаходиться в цьому рядку, включається у мінімальну ДНФ. Якщо у викреслюваному рядку є ще мітки, то стовпці з такими мітками теж викреслюються.

На **етапі 4** на основі табл. 6.4 будується таблиця 6.5, що складається з імплікант і термів, які не були викресленими в таблиці 6.4.

Таблиця 6.5 – Скорочена таблиця з розставленими мітками

Прості імпліканти	Мінтерми			
	$\bar{X}_1\bar{X}_2X_3X_4$	$\bar{X}_1X_2X_3X_4$	$X_1\bar{X}_2\bar{X}_3X_4$	$X_1\bar{X}_2X_3X_4$
$\bar{X}_1X_3X_4$	Y	Y		
$\bar{X}_2X_3X_4$	Y			Y
$\bar{X}_1X_2X_4$		Y		
$X_1\bar{X}_2X_4$			Y	Y
$X_1\bar{X}_3X_4$			Y	

Якщо в таблиці 6.5 є стовпці з однаковими мітками, то один з них відкидається, бо інший стовпець покриває мінтерми, які мають мітки на перетині з цим стовпцем.

На **етапі 5** з таблиці 6.5 вибираються імпліканти, що покривають усі терми таким способом, щоб їх кількість була мінімальною і вони мали найменшу кількість елементів. Ці імпліканти утворюють мінімальну ДНФ:

$$F = X_2\bar{X}_3 + \bar{X}_1X_3X_4 + X_1\bar{X}_2X_4.$$

6.2 Завдання

6.2.1 Мінімізувати не повністю визначену логічну функцію (табл. 6.6) $f(X_1, X_2, X_3, X_4)$ за допомогою карти Карно.

6.2.2 Мінімізувати логічну функцію (табл. 6.7) $f(a, b, c, d)$ за допомогою методу Квайна.

Таблиця 6.6 – Вихідні дані до завдання 6.2.1

№ вар.	Логічна функція	№ вар.	Логічна функція
1	$V(0,1^*,2^*,3^*,4^*,5,6,7,8,12)$ 1	11	$V(0^*,2^*,4,6,8^*,10^*,12,13,14,15)$ 1
2	$V(1,5^*,9^*,10^*,12^*,13,14,15)$ 1	12	$V(1^*,4,5,6,7,9^*,11,13^*)$ 1
3	$V(0^*,1,8,9,10^*,11,12^*,13^*,14,15^*)$ 1	13	$V(2^*,3,4^*,6,7^*,10,11^*,12^*,15)$ 1
4	$V(0,1^*,2^*,3,6^*,8,9^*,10^*,11,13^*)$ 1	14	$V(0^*,1^*,4^*,5,6^*,7^*,8,10^*,12)$ 1
5	$V(1,5,7,8,9,10^*,11^*,13,15^*)$ 1	15	$V(0^*,4,5,6,7^*,9^*,11,12,13^*,14,15)$ 1
6	$V(0,1,2,3^*,4,5^*,6^*,7^*,9,11)$ 1	16	$V(0^*,1^*,2^*,3^*,4^*,5,6,7,8,12)$ 1
7	$V(3^*,4,5^*,6^*,7,11,14,15^*)$ 1	17	$V(0,1^*,2^*,3^*,4^*,5,6,7,8,12)$ 1
8	$V(4,5,6,7^*,8^*,9,12,13^*)$ 1	18	$V(0,1^*,2^*,3^*,4^*,5,6,7,8,12)$ 1
9	$V(1,3^*,4,5,6^*,7,9,11,13^*,15^*)$ 1	19	$V(0,1^*,2^*,3^*,4^*,5,6,7,8,12)$ 1
10	$V(0^*,1,2^*,3,5,8,9^*,10^*,11)$ 1	20	$V(0,1^*,2^*,3^*,4^*,5,6,7,8,12)$ 1

У табл.6.6 позначення * означає, що на даному наборі функція є невизначеною; позначення V_1 означає диз'юнкцію перелічених термів при одиничних значеннях функції на відповідних наборах.

6.3 Контрольні запитання

1. Що таке карта Карно?
2. За якими правилами виділяють області на карті Карно?
3. В чому переваги та недоліки методу карт Карно?
4. В чому переваги та недоліки методу Квайна?
5. Які мінтерми називаються суміжними?
6. В чому заключається операція склеювання?
7. При якій операції утворюється імпліканта?
8. Які імпліканти називаються простими?
9. Яка ДНФ називається тупиковою?
10. Яка ДНФ називається мінімальною диз'юнктивною формою?

7 ПРАКТИЧНЕ ЗАНЯТТЯ №7 «ТТЛ-, ТТЛШ-ЛОГІКИ»

Мета роботи: ознайомлення зі схемотехнічними особливостями ТТЛ- та ТТЛШ-логік.

7.1 Теоретичні відомості

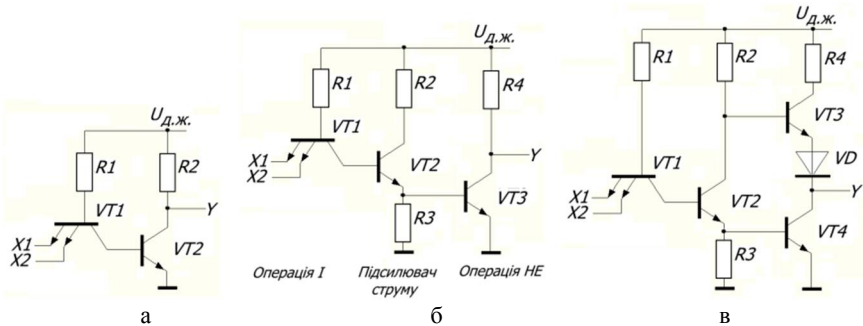
7.1.1 Схеми транзисторно-транзисторної логіки

Схеми транзисторно-транзисторної логіки (ТТЛ) будуються на основі багатоемітерних транзисторів, кожний з яких має від 2 до 8 емітерів. Багатоемітерний транзистор (БЕТ) є інтегральним елементом з декількома емітерами, розташованими так, що пряма взаємодія між ними виключається. Отже, БЕТ є сукупністю декількох транзисторних структур, що мають спільний колектор, спільну базу, а також декілька емітерів, безпосередньо взаємодіючих між собою за рахунок руху основних носіїв заряду. Електрична схема найпростішого логічного елемента ТТЛ (однополярний ключ із простим інвертором) приведена на рисунку 7.1,а.

Якщо на усі входи БЕТ подані напруги, що відповідають "1", то усі емітерні переходи вхідного транзистора оберненозміщені, а колекторний перехід прямозміщений. Усі транзисторні структури БЕТ працюють у інверсному активному режимі. При цьому струм, що тече від джерела $U_{дж}$ через резистор R_1 , втікає у базу БЕТ, а потім у ланцюг колектора, утворюючи струм I_k . Струм I_k втікає в базу VT_2 . Транзистор VT_2 при цьому знаходиться в режимі насичення, і напруга на виході схеми відповідає "0".

Якщо хоча б на один вхід БЕТ подана напруга "0", відповідний перехід база-емітер БЕТ зміщується в прямому напрямку. Струм бази, значення якого задається резистором R_1 , тече в ланцюг цього емітера. При цьому колекторний струм БЕТ зменшується, транзистор VT_2 зачинається, і напруга на виході стає рівною "1". Отже, схема здійснює логічну операцію І-НЕ.

Схема на рис. 7.1, а має низьку навантажувальну здатність, низьку стійкість до завад, а також низьку швидкодію при роботі на сміснє навантаження.



- а – елемент І-НЕ ТТЛ з простим інвертором;
 б – ТТЛ-схема з середньою навантажувальною здатністю;
 в – елемент І-НЕ ТТЛ зі складним інвертором

Рисунок 7.1 – Базові елементи транзисторно-транзисторної логіки

У схему ТТЛ із середньою навантажувальною здатністю (рис. 7.1, б) доданий підсилювач струму на транзисторі VT_2 , що дозволяє на базі транзистора VT_3 сформувати потенціал достатньої величини, щоб швидко відкривати VT_3 . Транзистор VT_3 відкритий тоді, коли відкритий VT_2 , і навпаки. Отже, транзистор VT_2 не має прямого відношення до логічної операції, яку виконує схема.

З розвитком і удосконалюванням технології базовим для ТТЛ схем став ключ зі складним інвертором – двополярний ключ (рис. 7.1, в). Використання складного інвертора дозволило збільшити швидкодію, стійкість до завад, навантажувальну здатність і знизити вимоги до параметрів транзисторів, що привело, у свою чергу, до підвищення відсотка виходу придатних ІС.

Схема на рисунку 7.1, в складається з наступних каскадів: вхідного багатоємірного транзистора VT_1 з малим інверсним коефіцієнтом підсилення за струмом, фазорозщеплюючого каскаду, побудованого на транзисторі VT_2 (цей каскад працює в режимі з малим робочим струмом і має малі ємності $p-n$ переходів); двотактового вихідного каскаду (VT_3 , VT_4 , VD).

Фазорозщеплюючий каскад забезпечує керуючі сигнали для протифазного переключення вихідних транзисторів VT_3 , VT_4 .

Транзистор VT_4 вихідного каскаду розрахований на великий робочий струм і має малий час виходу з режиму насичення при

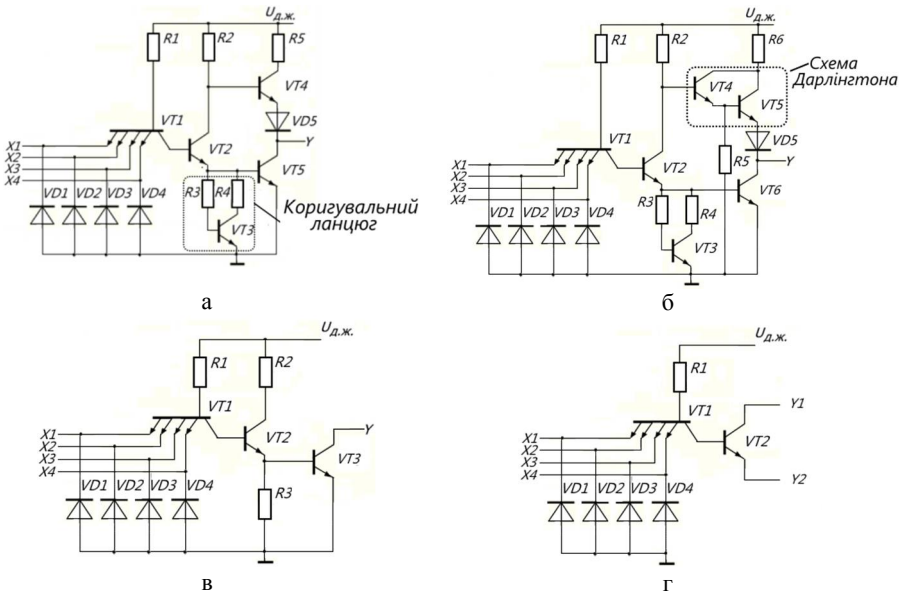
переключенні схеми. Через цей транзистор стікають у землю вхідні струми ключів-навантажень. Діод VD служить для надійного запирання $VT3$. Резистор $R4$ служить для обмеження струму у вихідному каскаді під час вимикання схеми, коли транзистор $VT3$ ще знаходиться в режимі насичення, а транзистор $VT4$ вже починає відкриватися.

Реальні цифрові сигнали на вході ІС не мають строго прямокутної чи трапецієдальної форми. У момент закінчення сигналу в монтажних ланцюгах можуть виникати згасаючі коливання, наслідком чого схема може помилково спрацювати. Для придушення коливань до кожного входу БЕТ були підключені так називані **демпферні** діоди $VD1...VD4$ (рис. 7.2, а).

Якщо на вході немає викидів напруги, демпферний діод закритий, він додатково на вхід схеми вносить ємність меншу, ніж 1 пФ, що практично не погіршує динамічних характеристик схеми. Першим негативним імпульсом, амплітуда якого перевищує 0,8 В, демпферний діод прямозміщується і шунтує паразитний коливальний контур, утворений монтажними ланцюгами. Тому наступний позитивний імпульс не буде мати істотну амплітуду.

У реальних схемах ТТЛ (рис. 7.2, а), на відміну від спрощеної схеми І-НЕ (рис. 7.1, в), до бази вихідного транзистора замість резистора $R3$ приєднаний коригувальний ланцюжок, що складається з резисторів $R3$, $R4$ і транзистора $VT3$. Він дозволяє одержати передавальну характеристику елемента за формою ближче до прямокутної, що підвищує заводозахищеність елемента у стані "1" порівняно з заводозахищеністю схеми, представленої на рис. 7.1, в.

Опір коригувального ланцюжка має меншу, ніж резистор $R3$, залежність від температури, що забезпечує ряд особливих властивостей схеми. При підвищеній температурі (125°C) час розсмоктування неосновних носіїв заряду у базі транзистора $VT5$ (рис. 7.2,а) малий, що сприяє швидкому вимиканню схеми. Це, у свою чергу, зменшує тривалість імпульсного наскрізного струму (який виникає, коли транзистори $VT4$ і $VT5$ відкриті одночасно), тобто, і динамічну потужність споживання. При зниженій температурі (мінус 60°C) опір коригувального ланцюжка перевищує опір резистора $R3$, що збільшує струм бази транзистора $VT5$ при його включенні та, відповідно, приводить до зменшення часу вмикання схеми.



- а - логічний елемент І-НЕ (ІС 133ЛА1, К155ЛА1);
 б - логічний елемент І-НЕ з великим коефіцієнтом розгалуження по виходу (ІС 133ЛА6, К155ЛА6);
 в - схема з відкритим колектором (ІС 133ЛА7, К155ЛА7);
 г - розширник по АБО (ІС 133ЛД1, К155ЛД1)

Рисунок 7.2 – Базові логічні елементи стандартних серій ІС ТТЛ

У схемі на рис. 7.2, б застосована **схема Дарлінгтона** (транзистори $VT4$ і $VT5$), яка дозволяє підвищити коефіцієнт підсилення за струмом пари Дарлінгтона порівняно з одним транзистором, а також забезпечити приблизно рівні значення вихідних опорів схеми при її вмиканні (визначається верхнім емітерним повторювачем $VT5$) і вимиканні (визначається насиченим транзистором $VT6$), що дає майже симетричні значення затримки розповсюдження сигналу.

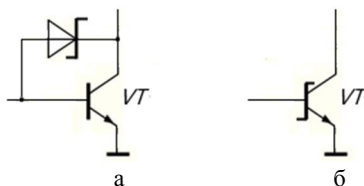
Базовий логічний елемент, показаний на рис. 7.2, в, використовується при виконанні монтажного “Г”, коли виходи двох ЛЕ з’єднуються безпосередньо. Використання для зазначених цілей схем типу представленої на рис. 7.2, а не допускається.

Розширник по входу АБО разом з логічним елементом І-НЕ утворює логічний елемент І-АБО-НЕ (рис. 7.2, г). Для цього в логічному елементі І-НЕ створюються два додаткових виводи, що приєднані до колектора і емітера транзистора VT_2 (на рис. 7.2, а або 7.2, б). Приєднуючи ще розширники до вказаних виводів, можна збільшити число об'єднань по логічному входу АБО. Для всіх схем ТТЛ максимальне число об'єднань дорівнює 8. У випадку приєднання розширника затримка розповсюдження сигналу схеми збільшується (приблизно на 5 нс), збільшується також споживана потужність (приблизно на 5 мВт).

В даний час існує кілька серій ІС ТТЛ. Це ІС стандартних серій 133, К155 (функціональні аналоги ІС серій SN54/SN74, розроблених фірмою Texas Instruments); ІС з високою швидкістю серій 130, К131 (функціональні аналоги ІС серій SN54Н/SN74Н, тут Н означає підвищену швидкість); ІС мікропотужної серії 134 (функціональні аналоги ІС серій SN54L, тут L означає малу споживану потужність).

7.1.2 Інтегровані схеми ТТЛ з діодами Шотткі (ТТЛШ)

До мікросхем ТТЛШ відносяться мікросхеми серій К531, К555, КМ555, КР1531, КР1533. У якості активних елементів в цих серіях використовуються транзистори з діодами Шотткі (рис. 7.3, а), транзистори Шотткі (рис. 7.3, б), а в окремих вузлах транзистори без діодів Шотткі.



- а - транзистор з діодом Шотткі;
- б - транзистор Шотткі

Рисунок 7.3 – Транзистор з діодом Шотткі та транзистор Шотткі

Щоб транзистор не входив у насичення, між його базою і колектором вмикають діод (рис. 7.3, а). Для цього випадку ідеальним

діодом є діод з бар'єром Шотткі. Пряме падіння напруги на діоді Шотткі менше, ніж на $p-n$ переході, тому при прямому зміщенні колекторного $p-n$ переходу транзистора струм через нього буде текти дуже малий, тому що більша частина струму потече через прямозмщений діод Шотткі. Струм у діоді Шотткі визначається тільки основними носіями заряду, тоді як у $p-n$ переході він обумовлений як основними, так і неосновними носіями заряду. Отже, у відкритому транзисторі з діодом Шотткі кількість неосновних носіїв заряду в базі істотно менше, ніж у звичайному транзисторі. Тому транзистор з діодом Шотткі перемикається з відкритого стану в закритий набагато швидше.

Базовий логічний елемент серії K555 (рис. 7.4) складається з трьох основних каскадів: вхідного (реалізує функцію І, на діодах $VD3$, $VD4$ і резисторі $R1$); фазорозщеплюючого (на транзисторі $VT1$, на резисторі колекторного навантаження $R2$ і на резисторно-транзисторному ($R3$, $R4$, $VT2$) емітерному навантаженні); вихідного двоканального підсилювача з верхнім плечем (складається з транзисторів $VT3$, $VT4$, включених за схемою Дарлінгтона з резистором навантаження $R5$ (навантаження $VT3$) і обмежувальним струм резистором $R6$), і нижнім плечем на транзисторі $VT5$.

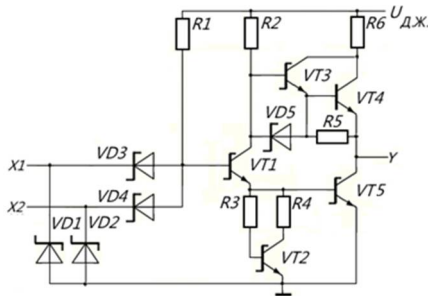


Рисунок 7.4 – Базовий логічний елемент серії 555

При напрузі низького рівня на одному з входів (або на усіх входах) напруга на виході вхідного каскаду $U_{ВИХ_1} = U_{BX}^0 + U_{VD}$. Значення її для цього режиму нижче $2U_{EБ}$ послідовно включених транзисторів $VT1$, $VT5$. Струм через резистор $R1$ з шини живлення протікає через вхідний діод на вхід елемента. Значення струму

визначається різницею напруги живлення і вхідної напруги з урахуванням прямого падіння напруги на вхідному діоді, а також номіналом резистора $R1$:

$$I_{BX}^0 = [U_{\text{д.ж.}} - (U_{BX}^0 + U_{VD})] / R1.$$

При цьому на базі транзистора $VT1$ встановлюється низький рівень напруги, він буде закритим, тому падіння напруги на його емітерному навантаженні близьке до нуля. Потенціал колектора U_K транзистора $VT1$ дещо перевищує падіння напруги на двох емітерних переходах ($2U_{БЭ}$) транзисторів $VT3$, $VT4$. Базові струми втікають у бази цих транзисторів. Тому верхнє плече вихідного каскаду буде відкритим (відкрита пара Дарлінгтона), а нижнє - закритим. Вихідна напруга ЛЕ відповідає високому рівню $U_{ВИХ}^1 \approx U_{\text{д.ж.}} - 2U_{BE} - I \cdot R2$.

При напрузі високого рівня на усіх входах ЛЕ вихідна напруга вхідного каскаду перевищує сумарне пряме спадання напруги на переходах база-емітер транзисторів $VT1$ і $VT5$. Через резистор $R1$ з шини живлення протікає струм, що втікає у базу транзистора $VT1$ другого каскаду. Вхідні струми елемента відповідають зворотним струмам вхідних діодів, вони є дуже малими і втікають в елемент. Транзистор $VT1$ відкритий у цьому режимі, на його емітерному навантаженні падає напруга, що дорівнює падінню напруги U_{BE} транзистора $VT5$. У вихідному каскаді нижнє плече (транзистор $VT5$) знаходиться у відкритому стані за рахунок струму, що втікає в базу $VT5$, верхнє ж плече закрите. Вихідна напруга каскаду відповідає напрузі на колекторі відкритого транзистора з діодом Шоттки $U_{ВИХ}^0 \approx U_{BE} - U_{VD}$. Струм навантаження на виході ЛЕ для цього режиму є втікаючим.

Резистор $R5$ верхнього плеча вихідного каскаду створює падіння напруги на емітерному переході транзистора $VT4$, достатнє для його відкриття. Для зменшення споживаної потужності при напрузі високого рівня на виході схеми резистор $R5$ підключений не до спільної шини (землі), а до виходу елемента. Діод $VD5$, включений послідовно з $R5$ і паралельно резистору колекторного навантаження

фазорозщеплюючого каскаду $R2$, дозволяє зменшити затримку включення схеми за рахунок використання частини енергії, запасеної в ємності навантаження, для збільшення колекторного струму транзистора $VT1$ у перехідному режимі.

Верхнє плече вихідного каскаду виконано за схемою Дарлінгтона, що забезпечує високий коефіцієнт підсилення каскаду за струмом у стані високого рівня, підвищує навантажувальну здатність схеми і поліпшує динамічні властивості.

7.2 Завдання

Виконайте розрахунки заданого режиму роботи схеми, дайте відповідь на запитання. Режим роботи та параметри схеми, представлені на рис. 7.5, задані у таблиці 7.1.

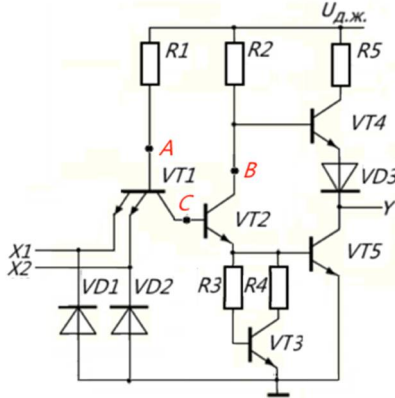


Рисунок 7.5 – Схема елемента 2I-HE

7.3 Контрольні запитання

- 1 Принцип роботи базового елемента ТТЛ.
- 2 Призначення демпферних діодів в схемі рис. 7.2.
- 3 Яке призначення фазорозщеплюючого каскаду?
- 4 Переваги і недоліки транзисторно-транзисторної логіки.
- 5 Переваги та недоліки ТТЛШ.
- 6 Як впливає схема Дарлінгтона на роботу вихідного каскаду елемента?

Таблиця 7.1 – Індивідуальні завдання

№ вар.	Завдання
1	Дано: $U_{д.ж.}=5$ В, $U_{ВХ1}=U_{ВХ2}=3$ В, $U_{ВИХ}=0,3$ В, $R1=2,8$ кОм, $R2=900$ Ом, $R3 = 500$ Ом, $R4= 250$ Ом, $R5 = 200$ Ом. 1 Визначте потенціал т. В, якщо прийняти, що падіння напруги на всіх відкритих транзисторах однакове і складає $U_{КЕ}=0,3$ В 2 Поясніть призначення в схемі резистора R5.
2	Дано: $U_{д.ж.}=5$ В, $U_{ВХ1}=0,2$ В, $U_{ВХ2}=2,5$ В, $U_{ВИХ}=3,6$ В, $R1=2,8$ кОм, $R2=900$ Ом, $R3 = 500$ Ом, $R4= 250$ Ом, $R5 = 200$ Ом. 1 Визначте потенціали т. А та т. В. 2 Поясніть призначення в схемі діода VD3.
3	Дано: до виходу ІС підключений емітерний повторювач (ЕП), на колектор транзистора якого подається 5 В, а в емітерне коло якого включений резистор $R_E=3$ кОм. Транзистор працює у активному режимі, його $\beta=100$. $U_{д.ж.}=5$ В, $R1=2,7$ кОм, $R2=1$ кОм, $R3=470$ Ом, $R4=250$ Ом, $R5=150$ Ом. 1 Визначте потенціал емітера транзистора ЕП, якщо на відкритому VT4 падає 0,2 В. 2 Поясніть призначення в схемі резистора R5.
4	Дано: $U_{д.ж.}=5$ В, $U_{ВХ1}=U_{ВХ2}=2,5$ В, $R1=2,7$ кОм, $R2=1$ кОм, $R3 = 470$ Ом, $R4= 250$ Ом, $R5 = 150$ Ом. 1 Визначте вихідний струм схеми, якщо до виходу під'єднаний такий самий логічний елемент. Падіння напруги на відкритому VT5 прийняти рівним 0,3 В. 2 Поясніть, чому номінал резистора R5 обирається невеликим.
5	Дано: $U_{д.ж.}=5$ В, $U_{ВХ1}=0,3$ В, $U_{ВХ2}=3$ В, $\beta_{VT4}=100$, $R1=2,8$ кОм, $R2=900$ Ом, $R3 = 500$ Ом, $R4= 250$ Ом, $R5 = 200$ Ом. 1 Визначте потенціали т. В, якщо вихідний струм складає 3 мА. 2 Поясніть призначення в схемі демпферних діодів.
6	Дано: $U_{д.ж.}=5$ В, $U_{ВХ1}=0,2$ В, $U_{ВХ2}=0,2$ В, $R1=2,8$ кОм, $R2=900$ Ом, $R3 = 500$ Ом, $R4= 250$ Ом, $R5 = 200$ Ом. 1 Визначте потенціали т. В, якщо на відкритому транзисторі VT4 падає 0,6 В. Прийняти опір навантаження 1 кОм. Вихідний струм складає 3 мА. 2 Який каскад і чому називають фазорозщеплюючим?
7	Дано: $U_{д.ж.}=5$ В, $U_{ВХ1}=U_{ВХ2}=2,5$ В. Падіння напруги на відкритому VT2 складає 0,3 В, $\beta_{VT2}=50$, $R1=2,8$ кОм, $R2=900$ Ом, $R3 = 500$ Ом, $R4= 250$ Ом, $R5= 200$ Ом. 1 Визначте струм бази VT2. 2 В яких режимах в схемі може працювати транзистор VT4?
8	Дано: $U_{д.ж.}=5$ В, $U_{ВХ1}=U_{ВХ2}=0,3$ В, $U_{ВИХ}=3,6$ В, $R1=2,8$ кОм, $R2=900$ Ом, $R3 = 500$ Ом, $R4= 250$ Ом, $R5 = 200$ Ом. 1 Визначте потенціал т. С, якщо $U_{БКВТ1}= 0,8$ В. 2 Поясніть призначення в схемі діода VD3.
9	Дано: $U_{д.ж.}=5$ В, $U_{ВХ1}=0,3$ В, $U_{ВХ2}=2,5$ В $R1=2,8$ кОм, $R2=900$ Ом, $R3 = 500$ Ом, $R4= 250$ Ом, $R5 = 200$ Ом. 1 Визначте вхідний струм у першому вхідному колі схеми. 2 В яких режимах в схемі може працювати транзистор VT5?
10	Дано: $U_{д.ж.}=5$ В, $U_{ВХ1}=0,2$ В, $U_{ВХ2}=3,0$ В $R1=2,4$ кОм, $R2=900$ Ом, $R3 = 500$ Ом, $R4= 250$ Ом, $R5 = 200$ Ом. 1 Визначте струм у першому вхідному колі схеми. 2 Яке призначення демпферних діодів?

Продовження таблиці 7.1

№ вар.	Завдання
11	Дано: $U_{д.ж.}=5\text{ В}$, $U_{ВХ1}=0,3\text{ В}$, $U_{ВХ2}=2,8\text{ В}$, $R_H=1\text{ кОм}$, $R1=2,8\text{ кОм}$, $R2=900\text{ Ом}$, $R3=500\text{ Ом}$, $R4=250\text{ Ом}$, $R5=200\text{ Ом}$. 1 Визначте потенціали емітера $VT4$, якщо напруга між його колектором та емітером у відкритому стані складає $0,6\text{ В}$. 2 Поясніть призначення в схемі транзистора $VT2$.
12	Дано: $U_{д.ж.}=5\text{ В}$, $U_{ВХ1}=U_{ВХ2}=0,3\text{ В}$, $R_H=1\text{ кОм}$, $\beta_{VT4}=80$, $R1=2,8\text{ кОм}$, $R2=900\text{ Ом}$, $R3=500\text{ Ом}$, $R4=250\text{ Ом}$, $R5=200\text{ Ом}$. 1 Визначте струм бази транзистора $VT4$. 2 Чому дана схема має високу завадостійкість?
13	Дано: $U_{д.ж.}=5\text{ В}$, $U_{ВХ1}=U_{ВХ2}=0,3\text{ В}$, $R_H=1\text{ кОм}$, $\beta_{VT4}=80$, $R1=2,8\text{ кОм}$, $R2=900\text{ Ом}$, $R3=500\text{ Ом}$, $R4=250\text{ Ом}$, $R5=200\text{ Ом}$. 1 Визначте струм бази транзистора $VT4$. 2 Чому дана схема має високу завадостійкість?
14	Дано: $U_{д.ж.}=5\text{ В}$, $U_{ВХ1}=U_{ВХ2}=0,3\text{ В}$, $R_H=1,5\text{ кОм}$, $U_{VT4}=0,4\text{ В}$, $R1=2,8\text{ кОм}$, $R2=900\text{ Ом}$, $R3=500\text{ Ом}$, $R4=250\text{ Ом}$, $R5=200\text{ Ом}$. 1 Визначте вихідний струм і вихідну напругу. 2 Як зміниться вихідна напруга, якщо R_H зменшити у 3 рази?
15	Дано: $U_{д.ж.}=5\text{ В}$, $U_{ВХ1}=U_{ВХ2}=2,5\text{ В}$, $R_H=1,0\text{ кОм}$, $R1=2,8\text{ кОм}$, $R2=900\text{ Ом}$, $R3=500\text{ Ом}$, $R4=250\text{ Ом}$, $R5=200\text{ Ом}$. 1 Визначте вихідний струм, якщо $U_{ВИХ}^0=0,4\text{ В}$. 2 Як зміниться вихідний струм, якщо R_H збільшити у 3 рази?
16	Дано: $U_{д.ж.}=5\text{ В}$, $U_{ВХ1}=0,2\text{ В}$, $U_{ВХ2}=2,5\text{ В}$, $R1=2,8\text{ кОм}$, $R2=900\text{ Ом}$, $R3=500\text{ Ом}$, $R4=250\text{ Ом}$, $R5=200\text{ Ом}$. 1 Визначте потенціал т. А. 2 Яке призначення діодів $VD1$, $VD2$?
17	Дано: $U_{д.ж.}=5\text{ В}$, $U_{ВХ1}=U_{ВХ2}=0,2\text{ В}$, $I_{ВИХ}=3\text{ мА}$, $\beta_{VT4}=75$, $R1=2,8\text{ кОм}$, $R2=900\text{ Ом}$, $R3=500\text{ Ом}$, $R4=250\text{ Ом}$, $R5=200\text{ Ом}$. 1 Визначте потенціал т. В. 2 Які елементи входять у фазорозщеплюючий каскад?
18	Дано: $U_{д.ж.}=5\text{ В}$, $U_{ВХ1}=0,3\text{ В}$, $U_{ВХ2}=2,5\text{ В}$, $I_{ВХ1}^0=-1\text{ мА}$, $R1=2,7\text{ кОм}$, $R2=900\text{ Ом}$, $R3=500\text{ Ом}$, $R4=250\text{ Ом}$, $R5=200\text{ Ом}$. 1 Визначте номінал резистора $R1$. 2 Яке призначення демпферних діодів?
19	Дано: $U_{д.ж.}=5\text{ В}$, $U_{ВХ1}=0,3\text{ В}$, $U_{ВХ2}=2,5\text{ В}$, $U_{VT4}=0,6\text{ В}$, $R_H=1,5\text{ кОм}$, $R1=2,7\text{ кОм}$, $R2=850\text{ Ом}$, $R3=500\text{ Ом}$, $R4=250\text{ Ом}$, $R5=200\text{ Ом}$. 1 Визначте потенціал анода $VD3$. 2 Яку логічну функцію виконує логічний елемент?
20	Дано: $U_{д.ж.}=5\text{ В}$, $U_{ВХ1}=U_{ВХ2}=0,2\text{ В}$, $R1=2,8\text{ кОм}$, $R2=900\text{ Ом}$, $R3=500\text{ Ом}$, $R4=250\text{ Ом}$, $R5=200\text{ Ом}$. До виходу ІС підключений емітерний повторювач, на колектор транзистора якого подається 5 В , а в емітерне коло якого включений резистор $R=2\text{ кОм}$. 1 Визначте потенціал емітера вищевказаного транзистора, якщо на відкритому $VT4$ падає $0,5\text{ В}$. 2 Яке призначення другого каскаду схеми?

8 ПРАКТИЧНЕ ЗАНЯТТЯ №8 «ЕМІТЕРНО-ЗВ'ЯЗАНА ЛОГІКА»

Мета роботи: ознайомлення з принципами побудови схем на основі емітерно-зв'язаної логіки (ЕЗЛ).

8.1 Теоретичні відомості

8.1.1 Принцип роботи ЕЗЛ

Інтегральні схеми на основі емітерно-зв'язаної логіки отримали поширення в якості елементної бази швидкодіючої обчислювальної та радіоелектронної апаратури. Мікросхеми на основі ЕЗЛ мають ряд переваг:

- висока швидкодія при середній споживаній потужності або надвисока швидкодія при більшій споживаній потужності;
- мала енергія перемикання (добуток часу затримки на споживану потужність);
- висока стабільність динамічних параметрів при зміні робочої температури і напруги живлення;
- велика навантажувальна здатність;
- незалежність струму споживання від частоти перемикання;
- здатність ІС працювати на низькоомне навантаження.

В основі електричних схем елементів ЕЗЛ серії 500 лежать швидкодіючі транзисторні каскади: вхідний каскад, у якого транзистори мають з'єднані емітери; другий каскад – *джерело опорної напруги* (ДОН) на транзисторі, який ввімкнений за схемою зі спільною базою; третій каскад на транзисторах, ввімкнених за схемою зі спільним колектором. Поєднання двох перших каскадів утворює своєрідну електричну схему – струмовий перемикач (СП), яка є основою схемотехніки елемента ЕЗЛ. Електрична схема базового елемента ЕЗЛ 2АБО/2АБО-НЕ серії 500 (рис. 8.1) складається зі *струмового перемикача* (СП), який включає ДОН, та з вихідних *емітерних повторювачів* (ЕП).

Струмовий перемикач, побудований на транзисторах VT_1 , VT_2 , VT_3 і резисторах R_1 , R_2 , R_6 , R_7 , R_8 , є диференційним підсилювачем, що працює в ключовому режимі і має два або декілька входів. Збільшення числа входів ЕП досягається підключенням додаткових

вхідних транзисторів паралельно транзисторам $VT1$ і $VT2$. Струмівий перемикач призначений для отримання логічних функцій, підсилення вхідних сигналів за потужністю, забезпечення необхідної завадостійкості елемента.

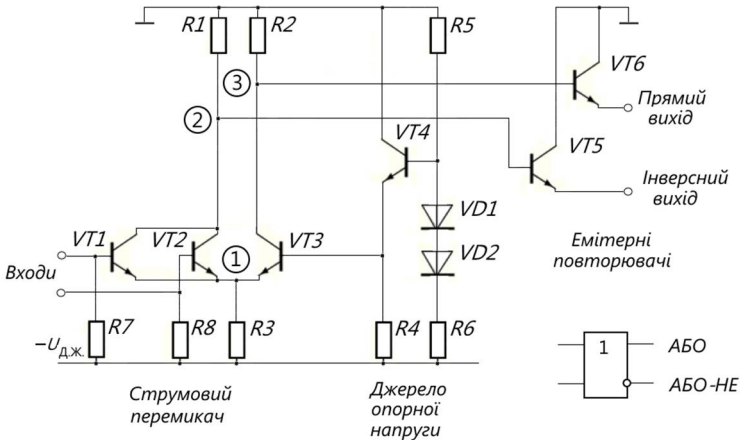


Рисунок 8.1 – Електрична схема базового елемента ЕЗЛ 2АБО/2АБО-НЕ серії 500

Вихідні емітерні повторювачі, виконані на транзисторах $VT5$ і $VT6$, служать для підсилення вихідних сигналів за струмом. Крім того, вихідні ЕП зміщують рівні сигналів СП по напрузі і забезпечують тим самим сумісність елементів ЕЗЛ по входу і виходу.

Джерело опорної напруги, побудоване на транзисторі $VT4$, термокомпенсуючих діодах $VD1$ і $VD2$, резисторах $R3$, $R4$, $R5$, призначене для забезпечення струмового перемикача заданою опорною напругою, відносно якої відбувається перемикання в СП.

Базовий елемент ЕЗЛ працює з негативними напругами. За наявності на усіх входах сигналів напругою мінус 1,7 В (логічного нуля) транзистори $VT1$ і $VT2$ закриті, а транзистор $VT3$ відкритий, оскільки напруга на його базі вища (мінус 1,3 В), ніж на базах вхідних транзисторів. При опорній напрузі мінус 1,3 В і падінні напруги 0,75 В на емітерному переході відкритого транзистора $VT3$, напруга в точці 1 складає мінус 2,05 В. Падіння напруги на емітерних переходах транзисторів $VT1$ і $VT2$ складає 0,35 В. Внаслідок чого транзистори $VT1$ і $VT2$ практично закриті, і струм через них не протікає.

Електричний струм, величина якого задається опором резистора R_6 , протікаючи через транзистор VT_3 , створює падіння напруги на резисторі R_2 . Деяке додаткове падіння напруги на резисторі R_2 відбувається за рахунок базового струму VT_6 , який завжди відкритий. Співвідношення опорів резисторів R_2 і R_6 вибране так, щоб з врахуванням базового струму транзистора VT_6 у вузлі 3 сформувався потенціал мінус 0,9 В. Транзистори VT_5 і VT_6 вихідних емітер них повторювачів працюють постійно в активному режимі, і падіння напруги на їх емітерних переходах при робочому струмі складає приблизно 0,8 В. Отже, на прямому виході елемента ЕЗЛ формується потенціал мінус 1,7 В (логічний нуль).

У колекторному вузлі 2 під дією базового струму транзистора VT_5 , що протікає через резистор R_1 , створюється напруга мінус 0,1 В. Враховуючи падіння напруги на емітерному переході VT_5 , на інверсному виході елемента ЕЗЛ формується потенціал мінус 0,9 В (логічна одиниця).

При подачі хоча б на один вхід елемента ЕЗЛ високої напруги мінус 0,9 В (логічна одиниця) відкривається вхідний транзистор, і весь струм струмового перемикача протікає по ланцюгу: R_1 - вхідний транзистор (VT_1 або VT_2) - резистор R_3 . В емітерному вузлі 1 встановлюється потенціал мінус 1,65 В, при цьому транзистор VT_3 закривається. У колекторному вузлі 2 формується потенціал мінус 0,9 В, а в колекторному вузлі 3 – мінус 0,1 В. Стан виходів змінюється: на прямому виході формується потенціал мінус 0,9 В (логічна одиниця), а на інверсному – мінус 1,7 В (логічний нуль). Напруга лог. «1» на прямому виході елемента ЕЗЛ виходить, коли на один, або обидва входи елемента ЕЗЛ подана лог. «1». Отже, в додатній логіці елемент ЕЗЛ виконує функцію АБО на прямому виході і функцію АБО-НЕ - на інверсному. У від'ємній логіці здійснюються, відповідно, функції І/І-НЕ.

Напруга основного джерела живлення $U_{дж}$ елемента ЕЗЛ складає мінус 5,2 В. Для нормального функціонування елемента ЕЗЛ вихідні емітерні повторювачі повинні мати резистори навантаження, які можна підключати до того ж джерела $U_{дж}$. Для досягнення швидкої роботи логічного елемента доцільно вибирати резистори навантаження порядку 240...500 Ом, на яких розсіюється велика потужність. Для зниження розсіюваної потужності і можливості

організації монтажно́ї логіки на виході елемента ЕЗЛ резистори навантажень вихідних емітер них повторювачів в ІС серії 500 винесені за межі мікросхеми і можуть підключатися до іншого джерела живлення, наприклад мінус 2,0 В або мінус 2,4 В.

Джерело опорної напруги побудоване на основі емітерного повторювача, виконаного на транзисторі $VT4$ і резисторі $R4$. Для отримання необхідної опорної напруги мінус 1,3 В база транзистора $VT4$ підключена до дільника на резисторах $R5$, $R6$ і термокомпенсуючих діодах $VD1$, $VD2$.

Резистори $R7$ і $R8$ служать для стікання зворотних базових струмів і надійного замикання незадіяних вхідних транзисторів.

Особливістю схемотехніки елемента ЕЗЛ є застосування роздільного підключення шини землі до ланцюгів струмового перемикача і ДОН з одного боку, і до ланцюгів емітер них повторювачів з іншого. Таке рішення дозволило істотно підвищити завадостійкість схеми.

Для розширення логічних можливостей елементів ЕЗЛ використовується ряд прийомів схемотехніки. Для отримання другого рівня логіки виходи двох або декількох елементів ЕЗЛ з'єднують і під'єднують до одного резистора навантаження (рис. 8.2). Таке з'єднання називається "монтажне АБО".

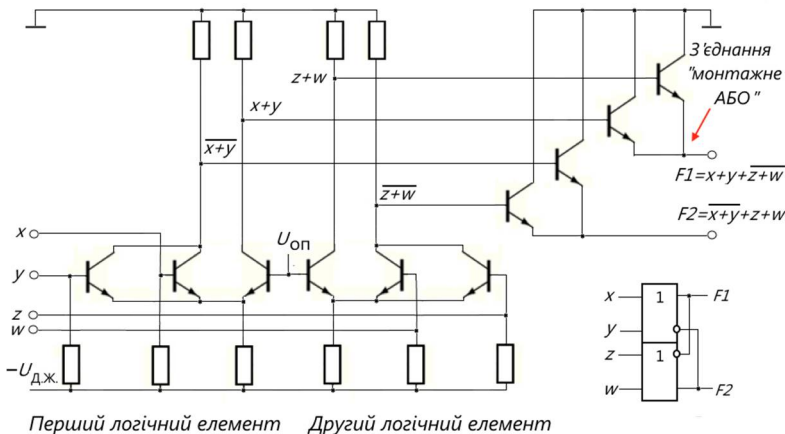


Рисунок 8.2 – Електрична схема емітерного з'єднання виходів елементів ЕЗЛ серії 500

Для отримання логічної функції І-АБО застосовують колекторне з'єднання усередині струмового перемикача (рис. 8.3). Тут два (або декілька) прямих плеча струмового перемикача об'єднують на одному колекторному резисторі. Аби подвійне (або більше) збільшення струму на колекторі не викликало істотного збільшення падіння напруги, яка привела б транзистори струмового перемикача в режим насичення, передбачений спеціальний електричний ланцюг, що відводить надлишковий струм і обмежує амплітуду напруги на колекторі прямого плеча струмового перемикача.

Для розширення логічних можливостей елементів ЕЗЛ застосовують дво- або тривірневе перемикання струму в струмовому перемикачі. Сутність дво- або багаторівневого перемикання полягає в тому, що один і той же струм СП два або більше разів перемикається на різних рівнях, зміщених відносно один одного на певну напругу.

Отже, особливістю швидкодіючих мікросхем ЕЗЛ серії 500 є широке використання рішень схемотехніки для отримання складних логічних функцій в елементах. Причому сама схемотехніка елементів ЕЗЛ є функціонально гнучкою і надає розробникам широкі можливості, у порівнянні, наприклад, з ІС ТТЛ.

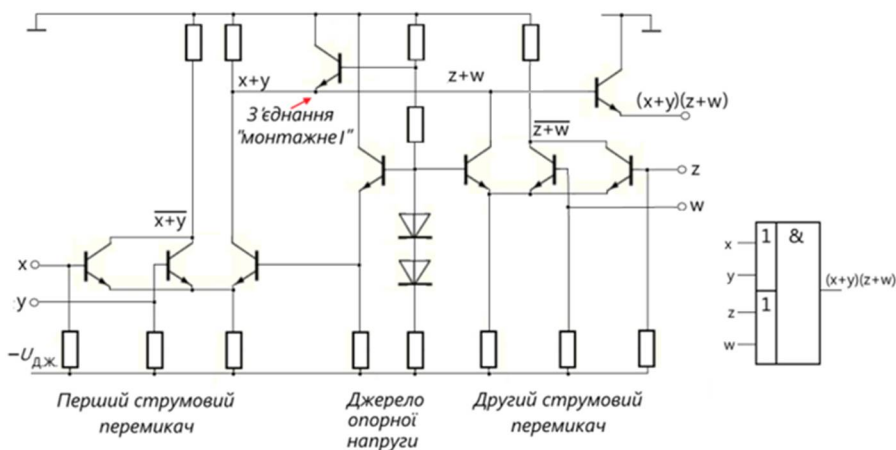


Рисунок 8.3 – Електрична схема колекторного з'єднання елементів ЕЗЛ серії 500

8.1.2 Використання монтажно́ї логіки

Приклад 8.1. Розробити схему ЕЗЛ з парафазними входами і мінімально можливим числом вентилів ЕЗЛ для функції: $f = XY\bar{Z} \cup \bar{X}Z \cup \bar{Y}Z$. Максимальний коефіцієнт об'єднання по входу дорівнює 2. При розробці використовувалися вентиля АБО-НЕ (додатна логіка).

Спочатку необхідно перетворити логічну функцію:

$$f = XY\bar{Z} \cup \bar{X}Z \cup \bar{Y}Z = XY\bar{Z} + \bar{X}Z + \bar{Y}Z = \overline{\overline{XY\bar{Z}}} + \overline{\overline{\bar{X}Z}} + \overline{\overline{\bar{Y}Z}} = \overline{\overline{X} + \overline{\overline{Y}} + \overline{\overline{Z}}} + \overline{\overline{X} + \overline{\overline{Z}}} + \overline{\overline{Y} + \overline{\overline{Z}}}$$

На базі отриманого рівняння будується схема, представлена на рис. 8.4.

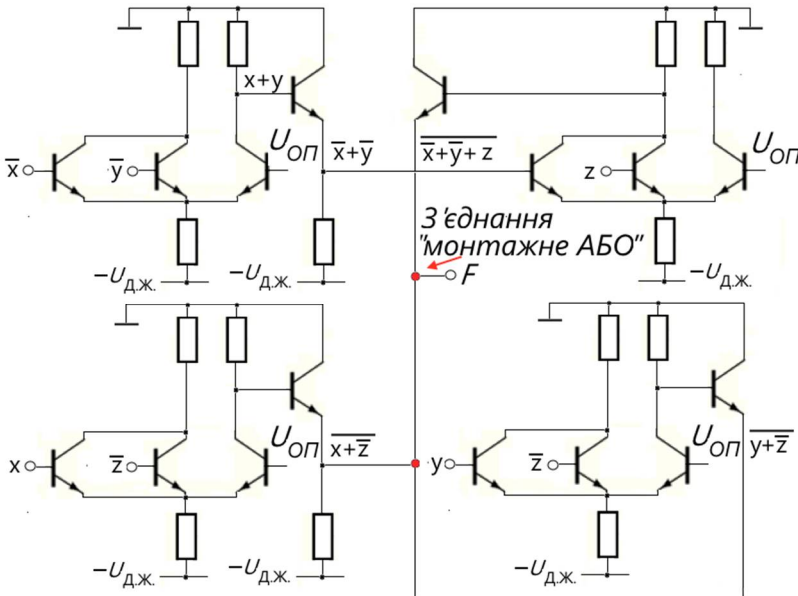
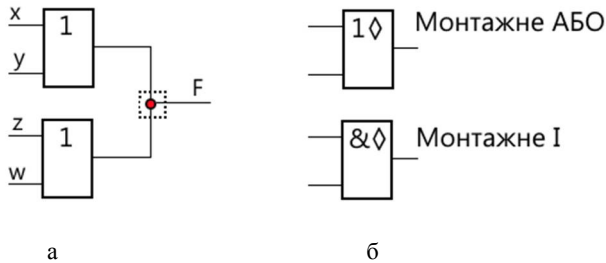


Рисунок 8.4 – Схемна реалізація функції $f = XY\bar{Z} \cup \bar{X}Z \cup \bar{Y}Z$

Приклад 8.2. Використовуючи колекторні з'єднання, розробити схему ЕЗЛ, що реалізує вихідну функцію F , вентильна схема якої представлена на рис. 8.5. Схема для реалізації функції $F=f(X, Y, Z, W)$ показана на рис. 8.6.



а – монтажне з'єднання;

б – умовне графічне позначення монтажної логіки

Рисунок 8.5 - Вентильна схема функції $F=f(X, Y, Z, W)$

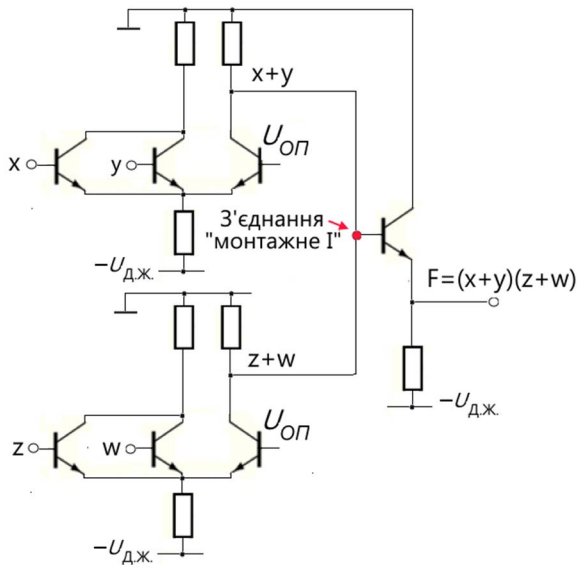


Рисунок 8.6 – Схема для реалізації функції $F=f(X, Y, Z, W)$

8.2 Завдання

Розробіть схему ЕЗЛ з парафазними входами і мінімально можливим числом вентилів ЕЗЛ для функції згідно варіанта. Максимальний коефіцієнт об'єднання по входу дорівнює 2. При розробці використовуйте вентиля АБО-НЕ.

Індивідуальні завдання представлені у табл. 8.1.

Таблиця 8.1 – Індивідуальні завдання відповідно номеру варіанта

№	Функція	№	Функція
1	$f = \overline{XZ} + \overline{YZ} + \overline{UZ}\overline{X}$	13	$f = \overline{UV} + \overline{YV} + \overline{UY}\overline{V}$
2	$f = \overline{UV} + \overline{YX} + \overline{U} \cdot \overline{YV}$	14	$f = XZ + \overline{YZ} + \overline{ZY}\overline{X}$
3	$f = XZ + \overline{YZ} + \overline{ZY}\overline{X}$	15	$f = \overline{XY} + \overline{UZ} + Z\overline{XY}$
4	$f = \overline{XY} + \overline{UZ} + Z\overline{XY}$	16	$f = \overline{YU} + XY + \overline{UY} \cdot \overline{X}$
5	$f = \overline{YU} + XZ + \overline{X} \cdot \overline{UY}$	17	$f = XY + \overline{XZ} + \overline{XZ} \cdot \overline{Y}$
6	$f = UY + \overline{XZ} + \overline{XZ}\overline{Y}$	18	$f = UZ + \overline{UX} + \overline{UY}\overline{V}$
7	$f = ZV + \overline{UV} + \overline{UV}\overline{Y}$	19	$f = \overline{VY}\overline{U} + \overline{UV} + \overline{VY} \cdot \overline{U}$
8	$f = \overline{VY}\overline{U} + \overline{UV} + \overline{U} \cdot \overline{VY}$	20	$f = X\overline{ZY} + \overline{XZ} + XZ\overline{Y}$
9	$f = X\overline{ZY} + \overline{XZ} + \overline{Y} \cdot \overline{XZ}$	21	$f = \overline{YU} + XUY + \overline{U}\overline{XY}$
10	$f = \overline{YU} + XUY + \overline{X} \cdot \overline{UY}$	22	$f = \overline{XY}\overline{Z} + Y\overline{Z} + \overline{ZY}\overline{X}$
11	$f = X\overline{YZ} + \overline{UY}\overline{Z} + \overline{ZY}\overline{X}$	23	$f = \overline{XZ} + \overline{YZ} + \overline{YZ}\overline{X}$
12	$f = \overline{XZ} + \overline{YZ} + \overline{YZ}\overline{X}$	24	$f = UY + \overline{XZ} + \overline{XZ}\overline{Y}$

8.3 Контрольні запитання

1. Принцип роботи базового елемента ЕЗЛ.
2. Які функції реалізує БЛЕ ЕЗЛ додатної/від'ємної логіки?
3. Переваги та недоліки ЕЗЛ.
4. Як на ЕЗЛ реалізується монтажне АБО?

5. Як на ЕЗЛ реалізується монтажне І?

9 ПРАКТИЧНЕ ЗАНЯТТЯ №9 «n-МОН, КМОН-ЛОГІКИ»

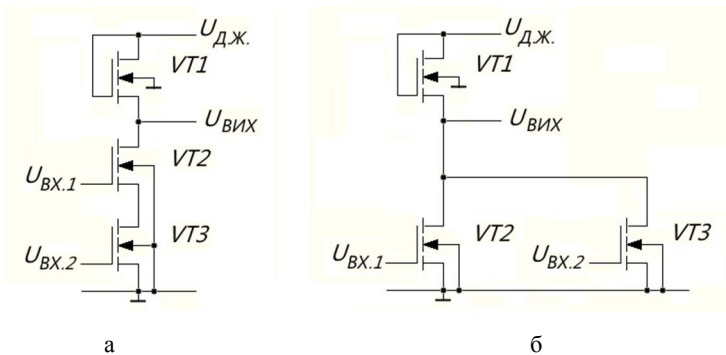
Мета роботи: ознайомлення з принципом побудови схем *n*-МОН, КМОН-логік.

9.1 Теоретичні відомості

9.1.1 Схемотехніка базових *n*-МОН логічних елементів

Схемотехнічні рішення, що використовується при побудові інтегрованих схем (ІС) МДН (метал-діелектрик-напівпровідник), направлені на усунення недоліків класичного ключа. Тому при побудові ІС схема ключа з резистивним навантаження не використовується. Широкого використання знайшла схема ключа з навантаженням у вигляді МДН-транзистора. Це дозволяє спростити технологію виготовлення ІС.

В залежності від типу використовуваного транзистора розрізняють ІС *n*-МОН і *p*-МОН типів. Розглянемо побудову **базового логічного елемента** (БЛЕ) з використанням *n*-МОН-транзисторів. На рис. 9.1, а, б приведені принципи електричні схеми двовходових БЛЕ, що реалізують операції 2І-НЕ та 2АБО-НЕ.



а – схемна реалізація операції 2І-НЕ;
б – схемна реалізація операції 2АБО-НЕ

Рисунок 9.1 – Принципові електричні схеми базових логічних елементів на n -канальних МДН-транзисторах

Обидві схеми містять по три транзистори, з яких $VT1$ виконує роль активного навантаження, а $VT2$ і $VT3$ є транзисторними ключами, що реалізують логічні операції. У схемі рис. 9.1, а, що реалізує логічну операцію І-НЕ, транзистори $VT2$ і $VT3$ включені послідовно. Тому для появи на виході схеми низької напруги на затвори обох транзисторів необхідно подати високу напругу, достатню для протікання струму активного навантаження. У схемі рис. 9.1, б, транзистори $VT2$ і $VT3$ включені паралельно. Тому при подачі на затвор будь-якого транзистора, або на обидва затвори високої напруги на виході буде сформовано напругу низького рівня.

Збільшення числа вхідних змінних елемента вимагає збільшення кількості послідовно або паралельно включених транзисторів. Тому, використовуючи описаний принцип з мінімальними схемотехнічними витратами, можна легко побудувати логічний елемент з необхідним числом входів.

9.1.2 Схемотехніка базових логічних елементів КМОН

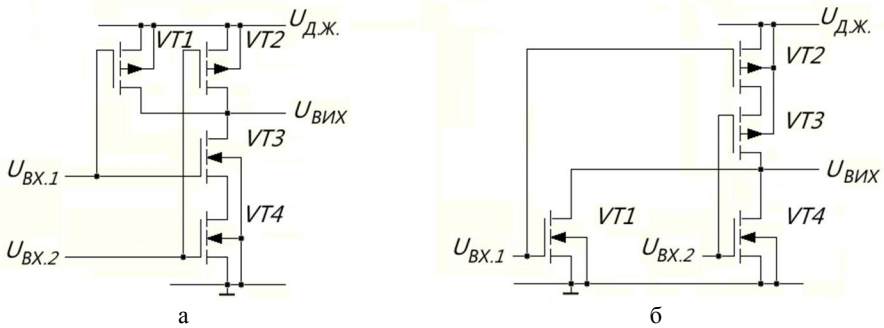
Збільшення швидкодії ІС МДН вимагає збільшення струмів перезаряду ємностей навантаження. Але цей процес обмежується зростанням споживаної потужності і збільшенням нестабільності вихідних логічних рівнів. Здолати вказане протиріччя можна або технологічно, створюючи транзистори з меншою вхідною ємністю, або схемотехнічно, застосовуючи схему ключа на транзисторах з каналами різного типу провідності (комплементарні транзистори). Ці ключі, з одного боку, дозволяють значно збільшити струми перезаряду ємності навантаження, а з іншого, максимально зменшити потужність, що розсіюється в елементі. Ключ на комплементарних транзисторах при правильному виборі параметрів елементів, що входять в нього, в статичному режимі роботи практично не споживає потужність від джерела живлення.

Схемотехніка базового логічного елемента КМОН-типу повторює схеми елементів n -МОН і p -МОН типів. Відмінність полягає в тому, що завжди використовуються пари транзисторів. При цьому, якщо для реалізації заданої логічної функції транзистори з каналом n -типу включаються послідовно, то парні їм транзистори p -типу включаються паралельно і навпаки. Як приклад, на рис. 9.2 приведені принципові електричні схеми, що реалізують логічні операції 2І-НЕ

та 2АБО-НЕ. Для спрощення на приведених схемах не показані захисні елементи входних і вихідних ланцюгів ключа.

До особливостей схем базових логічних елементів слід також віднести відсутність додаткового транзистора навантаження. Його роль виконує один з транзисторів ключа. КМОН-елементи мають високу завадостійкість (допускається зниження напруги живлення до 40%)

Для базових логічних елементів КМОН паралельне включення декількох їх виходів заборонене.



- а – схемна реалізація операції 2I-НЕ;
б – схемна реалізація операції 2АБО-НЕ

Рисунок 9.2 – Принципові електричні схеми базових логічних елементів на комплементарних МДН-транзисторах

9.2 Завдання

Синтезуйте електричні схеми на основі *n*-МООН- і КМООН-логік по заданому логічному виразу згідно номера варіанта.

Індивідуальні завдання представлені у табл. 9.1.

Приклад реалізації функції $f = \overline{X_1 X_2} + \overline{X_3 X_4}$ на *n*-МООН-структурах показаний на рис. 9.3.

Приклад реалізації функції $f = \overline{X_1 X_2} + \overline{X_3 X_4}$ на КМООН-структурах показаний на рис. 9.4.

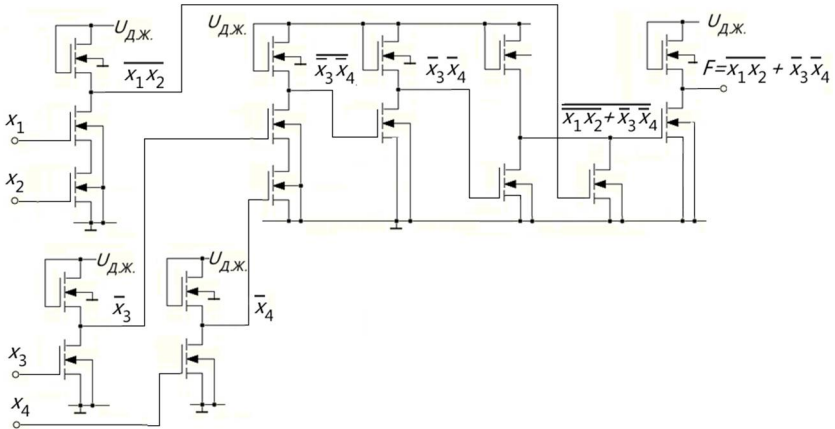


Рисунок 9.3 – Реалізація функції $f = \overline{X_1 X_2} + \overline{X_3 X_4}$ на n-МОН-структурах

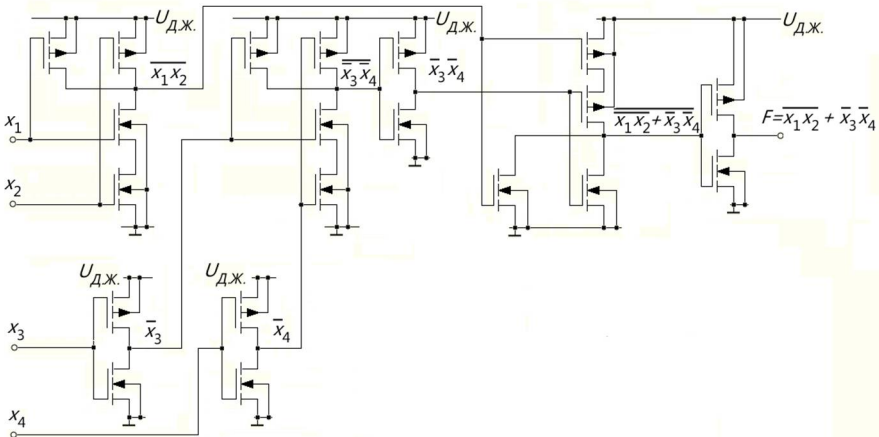


Рисунок 9.4 – Реалізація функції $f = \overline{X_1 X_2} + \overline{X_3 X_4}$ на комплементарних МОН-структурах

Таблиця 9.1 – Індивідуальні завдання

Варіант 1 $y = X_2 \overline{X_3} X_4 + X_1 + X_3$	Варіант 11 $y = \overline{X_1 X_2 + \overline{X_3}} \cdot \overline{X_4}$
Варіант 2 $y = \overline{X_1 + \overline{X_2} + X_3} X_4$	Варіант 12 $y = \overline{\overline{X_1} X_2 + X_3} X_4$
Варіант 3 $y = \overline{X_1 X_2 + X_3} X_4$	Варіант 13 $y = \overline{\overline{X_1} X_2 X_3 + X_4}$
Варіант 4 $y = \overline{X_1 \overline{X_3} + X_5 + X_4}$	Варіант 14 $y = \overline{X_1 + X_2 + \overline{X_3} X_4}$
Варіант 5 $y = \overline{(X_1 + X_2) X_3} X_4$	Варіант 15 $y = (X_1 X_2 + X_3) \overline{X_4}$
Варіант 6 $y = \overline{\overline{X_1} X_2 + X_3 + X_4}$	Варіант 16 $y = \overline{X_1 X_2 + \overline{X_3} X_4}$
Варіант 7 $y = \overline{(X_1 + X_2)(X_3 + X_4)}$	Варіант 17 $y = \overline{X_1 X_3 \overline{X_4} + X_2}$
Варіант 8 $y = \overline{(X_1 + \overline{X_2}) X_3} X_4$	Варіант 18 $y = \overline{X_1 \overline{X_3} + X_5 + X_4}$
Варіант 9 $y = \overline{X_1 \overline{X_2} + \overline{X_3} X_4}$	Варіант 19 $y = \overline{\overline{X_1} X_3 X_2 + X_4}$
Варіант 10 $y = \overline{X_1 X_2 + \overline{X_3}} \cdot \overline{X_4}$	Варіант 20 $y = \overline{X_1 \overline{X_2} + X_3 \overline{X_4}}$

9.3 Контрольні запитання

- 1 Чим відрізняється принцип роботи n -МОН від p -МОН схеми?
- 2 Які переваги та недоліки схем на основі n -МОН логіки?
- 3 Які переваги та недоліки схем на основі КМОН логіки?
- 4 Скільки транзисторів містить інвертор КМОН-логіки?
- 5 Який тип ключа в статичному режимі роботи практично не споживає потужність від джерела живлення?

10 ПРАКТИЧНЕ ЗАНЯТТЯ №10 «ПРОГРАМОВАНІ ЛОГІЧНІ МАТРИЦІ»

Мета роботи: ознайомлення із функціональними особливостями побудови схем на основі програмованих логічних матриць.

10.1 Теоретичні відомості

10.1.1 Підкласи простих програмованих логічних пристроїв

Програмовані логічні інтегровані схеми (ПЛІС) типу простих програмованих логічних пристроїв (SPLD - Simple Programmable Logic Devices) за архітектурою розподіляються на два підкласи:

- програмовані логічні матриці (ПЛМ, PLA - Programmable Logic Arrays);
- програмовані матриці логіки (ПМЛ, PAL - Programmable Arrays Logic, або GAL - Generic Array Logic).

10.1.2 Програмовані логічні матриці (ПЛМ)

Програмована логічна матриця (ПЛМ) - це функціональний блок, створений на базі напівпровідникової технології, призначений для реалізації логічних схем цифрових систем.

Сфери застосування ПЛМ:

- для побудови комбінаційних логічних схем;
- як пам'ять ЕОМ з мікрокомандним управлінням;
- у керувальних пристроях для реалізації складних алгоритмів керування. Це так звана **апаратна реалізація логічних функцій**. Застосовується, коли не вимагається запам'ятовування великої кількості проміжної інформації. Такі схеми вигідно відрізняються по швидкодії від мікропроцесорів, що здійснюють програмну реалізацію логічних функцій.

Переваги ПЛМ:

- скорочення витрат на виробництво і проектування. Спеціалізація ВІС на основі ПЛМ при автоматизованому проектуванні може бути розроблена за декілька днів. Оскільки спеціалізовані ВІС призначені для вживання в конкретній апаратурі, вони випускаються обмеженими партіями (сотні, десятки тисяч штук).

Тому вартість проектно-конструкторських робіт істотно впливає на вартість ВІС;

- малий термін їх виготовлення;
- можливість створення великої функціональної різноманітності.

До недоліків слід віднести надмірність елементів, внаслідок чого зростає вартість.

Залежно від внутрішньої організації програмовані логічні матриці можна розподілити на:

- ПЛМ комбінаційної логіки;
- ПЛМ з пам'яттю.

10.1.3 Однорівневі програмовані логічні матриці

Програмовані логічні матриці - це схеми, побудовані на основі матричної структури. Матрична структура - це сітка ортогональних провідників, на перетині яких можуть бути встановлені діоди або транзистори. Це дозволяє реалізувати на них різні логічні функції.

Найбільш простими з них є матриці "І" та "АБО".

Матриця "І" (рис. 10.1) дозволяє реалізувати на будь-якому з її виводів будь-яку кон'юнкцію її входних змінних, узятих із знаком або без знаку інверсії.

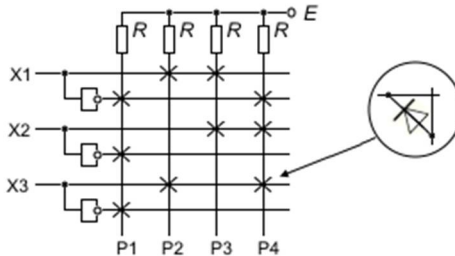


Рисунок 10.1 – Матриця І

Якщо на яку-небудь горизонтальну шину матриці подана логічна одиниця ($U_{BX} = E$), то приєднаний до неї діод буде оберненозмещеним, по вертикальній шині, до якої приєднаний вказаний діод, струм не потече, падіння напруги на резисторі R вертикальної шини відсутнє. Отже, на вертикальній шині залишається

високий потенціал $U_{ВНХ} = E$. Якщо $U_{ВХ} = 0$ (логічний нуль), то протікаючий струм створює на резисторі R падіння напруги, і на вертикальній шині формується низький потенціал: $U_{ВНХ} = E - I \cdot R \rightarrow 0$.

Для збереження на вертикальній шині матриці високого потенціалу необхідно, щоб усі діоди цієї шини були оберненозміщеними, тобто на всі входи, що мають зв'язок з вертикальною шиною через діоди, були подані сигнали високого рівня. Отже, на вертикальній шині реалізується операція "Г".

У наведеному прикладі (рис. 10.1) на виходах матриці "Г" реалізуються наступні кон'юнкції:

$$P1 = \bar{X}1\bar{X}2\bar{X}3, \quad P2 = X1X3, \quad P3 = X1X2, \\ P4 = \bar{X}1X2X3.$$

Матриця "АБО" показана на рисунку 10.2.

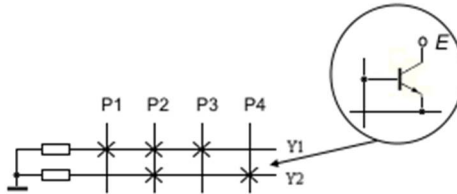


Рисунок 10.2 – Матриця АБО

Якщо на вертикальній шині матриці сформувати високий потенціал, то транзистор, приєднаний до цієї шини, відкриється, при цьому на горизонтальній шині, до якої підключений емітер транзистора, сформується високий потенціал.

Для формування високого рівня на горизонтальній шині необхідно, щоб хоча б один приєднаний до неї транзистор був відкритим. Отже, на горизонтальній шині реалізується функція "АБО". У прикладі на рис. 10.2: $Y1 = P1 + P2 + P3$, $Y2 = P2 + P4$.

10.1.4 Дворівневі ПЛМ комбінаційного типу

ПЛМ, що складаються з двох матриць, називаються дворівневими і позначаються як ПЛМ(s, q, t), де s - число входів, q - число проміжних шин, t - число виходів.

На одній ПМЛ може бути реалізована система булевих функцій $y_1(x_1, \dots, x_L), \dots, y_N(x_1, \dots, x_L)$, представлених в довільній ДНФ, така, що $L \leq s, N \leq t, B \leq q$, де B - число різних елементарних кон'юнкцій в системі.

Складність ПЛМ оцінюється інформаційною ємністю, яка дорівнює сумі перетинів горизонтальних і вертикальних шин $(2s+t)q$. Коефіцієнт 2 враховує наявність прямих і інверсних значень вхідних змінних в матриці "Г". Дворівнева ПЛМ показана на рис. 10.3.

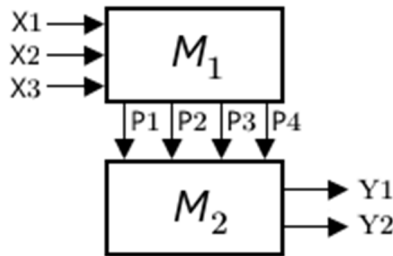


Рисунок 10.3 – Дворівнева ПЛМ (M_1 – матриця «Г», M_2 – матриця «АБО»)

При з'єднанні матриць "Г" та "АБО" так, як показано на рис. 10.4, схема реалізує наступну систему булевих функцій:

$$Y_1 = \bar{X}_1 \bar{X}_2 \bar{X}_3 + X_1 X_3 + X_1 X_2$$

$$Y_2 = X_1 X_3 + \bar{X}_1 X_2 X_3.$$

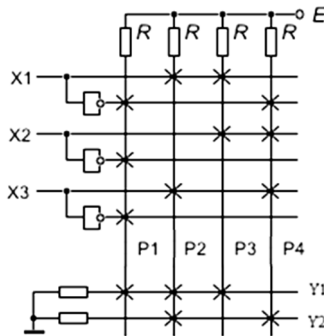


Рисунок 10.4 – З'єднання матриць "Г" та "АБО"

Дворівнева ПЛМ з пам'яттю, на відміну від дворівневої ПЛМ комбінаційного типу, містить внутрішній r -розрядний регістр. Входи регістра з'єднуються з вихідними шинами матриці M_2 , а виходи - з вхідними шинами матриці M_1 . Дворівнева ПЛМ з пам'яттю, що має s зовнішніх входів, t зовнішніх виходів, q проміжних шин та r внутрішніх елементів пам'яті, називається ПЛМ (s, t, q, r) ; структура такої ПЛМ показана на рис. 10.5.

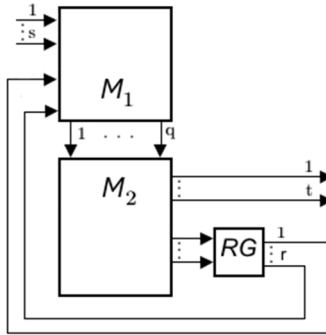


Рисунок 10.5 - Структура ПЛМ (s, t, q, r)

10.1.5 Трирівневі ПЛМ комбінаційного типу

Трирівневі ПЛМ комбінаційного типу, на відміну від дворівневих, містять додатковий s -входовий блок D (рис. 10.6). Число виходів його дорівнює числу h горизонтальних шин в матриці M_1 .

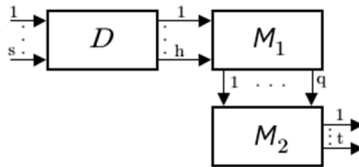


Рисунок 10.6 – Трирівнева ПЛМ комбінаційного типу

Блок D може мати саму різну внутрішню структуру. Розглянемо блок D , налаштований на реалізацію тривходового дешифратора з низьким активним рівнем на одному з його виходів. Таблиця істинності такого дешифратора показана в таблиці 10.1.

Реалізуємо блок D у вигляді матриці M_0 , що дозволяє утворити 8 елементарних диз'юнкцій (рис. 10.7).

Таблиця 10.1 – Таблиця істинності тривходового дешифратора

Функція	Входи			Виходи							
	X1	X2	X3	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
$X1 + X2 + X3$	0	0	0	0	1	1	1	1	1	1	1
$X1 + X2 + \bar{X}3$	0	0	1	1	0	1	1	1	1	1	1
$X1 + \bar{X}2 + X3$	0	1	0	1	1	0	1	1	1	1	1
$X1 + \bar{X}2 + \bar{X}3$	0	1	1	1	1	1	0	1	1	1	1
$\bar{X}1 + X2 + X3$	1	0	0	1	1	1	1	0	1	1	1
$\bar{X}1 + X2 + \bar{X}3$	1	0	1	1	1	1	1	1	0	1	1
$\bar{X}1 + \bar{X}2 + X3$	1	1	0	1	1	1	1	1	1	0	1
$\bar{X}1 + \bar{X}2 + \bar{X}3$	1	1	1	1	1	1	1	1	1	1	0

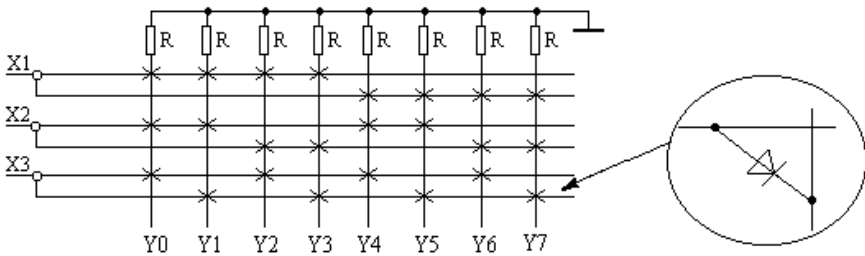


Рисунок 10.7 – Схема тривходового дешифратора

Розглянемо, як реалізується рядок 2 таблиці 10.1, в якій $X1 = 0$, $X2 = 0$, $X3 = 1$. Оскільки $X3 = 1$, по шині $Y0$ і через діод, що стоїть на перетині шин $X3$ і $Y0$, потече струм, створиться падіння напруги на резисторі шини $Y0$. Отже, на виході $Y0$ буде встановлена логічна 1.

Аналогічна ситуація спостерігатиметься на всіх шинях, окрім шини $Y1$. Всі три діоди, приєднані до неї, будуть зміщені обернено, на виході $Y1$ встановиться логічний 0.

10.1.6 Програмовані матриці вентилів (ПМВ)

Програмована матриця вентилів складається з матриці M_1 , яка аналогічна матриці M_1 ПЛМ. На її виходах встановлені програмовані інвертори, що дозволяє на етапі налаштування представляти вихідні сигнали як в прямому, так і в інверсному вигляді (рис. 10.8, а).

На будь-якому з виходів програмованих інверторів можуть бути реалізовані: кон'юнкція вхідних змінних, заперечення цієї кон'юнкції, диз'юнкція вхідних змінних, заперечення цієї диз'юнкції. Нехай, наприклад, на виходах ПМВ необхідно реалізувати наступні функції:

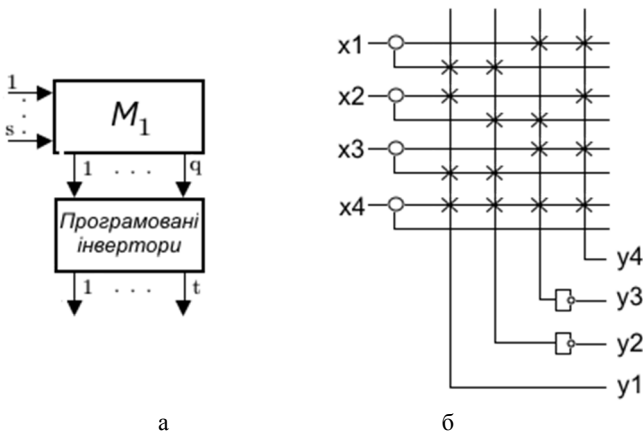
$$y_1 = \bar{x}_1 x_2 \bar{x}_3 x_4; \quad y_3 = \bar{x}_1 + x_2 + \bar{x}_3 + \bar{x}_4;$$

$$y_2 = \overline{\bar{x}_1 \bar{x}_2 \bar{x}_3 x_4}; \quad y_4 = \overline{\bar{x}_1 + \bar{x}_2 + \bar{x}_3 + \bar{x}_4};$$

Відповідно закону подвійності (правилу де Моргана):

$$y_3 = \overline{x_1 \bar{x}_2 x_3 x_4}; \quad y_4 = x_1 x_2 x_3 x_4;$$

Функції y_1, y_2, y_3, y_4 можуть бути реалізовані на одній ПМВ з чотирма входами і чотирма виходами (рис. 10.8,б).



а - структура ПМВ (s, q, t);

б - реалізація на ПМВ чотирьох логічних функцій

Рисунок 10.8 – Програмована матриця вентилів (ПМВ)

10.1.7 Програмовані матриці логіки (ПМЛ)

Програмована матриця логіки (ПМЛ) являє собою матрицю M_1 , до входів і виходів якої можуть бути підключені різні логічні і запам'ятовувальні елементи.

На рис. 10.9 зображена найпростіша ПМЛ, в якій матриця M_1 розділена на 4 секції. Виходи кожної секції підключені до входів елемента АБО, число елементів дорівнює 4. Входи x_1, x_2, x_3, x_4 є зовнішніми входами ПМЛ, виходи y_1, y_2 - зовнішніми виходами ПМЛ.

Виходи матриць в перших двох секціях підключені до елементів a та b , а в останніх двох - до входів D -тригерів. Шини z_1 і z_2 в залежності від сигналів керування, поданих на елементи a та b , можуть бути використані або як входні, або як вихідні. Запис інформації в тригери на рис. 10.9 синхронізується спеціальним сигналом, який формується поза ПМЛ.

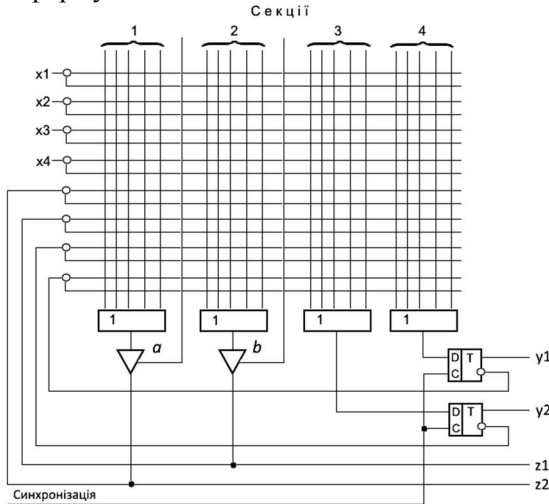


Рисунок 10.9 – Матриця ПМЛ, в якій матриця M_1 розділена на секції

10.2 Завдання

Реалізуйте на ПЛМ (ПМВ, ПМЛ) функції згідно номера варіанта (табл. 10.2).

Таблиця 10.2 – Індівідуальні завдання

<p>Варіант 1</p> <p>Реалізуйте на ПМЛ наступні функції:</p> $y_1 = x_1 + \bar{x}_3 + \bar{x}_4 + x_5 + \bar{x}_6 + \bar{x}_9;$ $y_2 = \bar{x}_0 x_3 \bar{x}_5 \bar{x}_8;$ $y_3 = \bar{x}_2 + \bar{x}_4 + x_7 \cdot \bar{x}_8;$ $y_4 = \bar{x}_1 x_2 \bar{x}_6 x_7 x_9.$	<p>Варіант 2</p> <p>Реалізуйте на ПМЛ наступні функції:</p> $y_1 = \bar{x}_0 x_1 \bar{x}_5 \bar{x}_6 x_9;$ $y_2 = x_1 x_2 \bar{x}_4 \bar{x}_6;$ $y_3 = \bar{x}_0 \bar{x}_2 \bar{x}_3 \bar{x}_5 \bar{x}_8;$ $y_4 = \bar{x}_2 x_3 \bar{x}_4 x_7 \bar{x}_9.$
<p>Варіант 3</p> <p>Реалізуйте на матриці АБО наступні функції:</p> $y_1 = \bar{x}_1 x_4 x_5 \bar{x}_6 \bar{x}_8;$ $y_2 = \bar{x}_0 x_2 \bar{x}_5 \bar{x}_8;$ $y_3 = x_2 \bar{x}_3 \bar{x}_5 x_7 \bar{x}_9;$ $y_4 = \bar{x}_0 \bar{x}_2 x_4 \bar{x}_6 x_8.$	<p>Варіант 4</p> <p>Реалізуйте на ПМЛ наступні функції:</p> $y_1 = x_1 + \bar{x}_3 + \bar{x}_4 + \bar{x}_5 + \bar{x}_6 + x_9;$ $y_2 = \bar{x}_0 x_3 \bar{x}_5 x_8;$ $y_3 = \bar{x}_2 + \bar{x}_4 + x_5 \cdot \bar{x}_8;$ $y_4 = \bar{x}_1 x_2 \bar{x}_6 x_8 x_9.$
<p>Варіант 5</p> <p>Реалізуйте на ПМВ наступні функції:</p> $y_1 = x_0 + x_2 + \bar{x}_4 + x_6 + x_8;$ $y_2 = x_1 \bar{x}_3 \bar{x}_5 x_7 \bar{x}_9;$ $y_3 = \bar{x}_3 + x_4 + x_5 + x_6 + \bar{x}_7;$ $y_4 = x_0 + \bar{x}_1 + x_2 + x_3 + x_4.$	<p>Варіант 6</p> <p>Реалізуйте на ПМВ наступні функції:</p> $y_1 = x_0 + x_1 + x_2 + x_3 + x_4;$ $y_2 = x_1 \bar{x}_4 \bar{x}_5 x_7 x_9;$ $y_3 = \bar{x}_0 + \bar{x}_2 + \bar{x}_5 + x_6 + x_8;$ $y_4 = x_2 + x_4 + x_5 + x_8 + x_9.$
<p>Варіант 7</p> <p>Реалізуйте на матриці АБО функції:</p> $y_1 = \bar{x}_2 x_3 \bar{x}_5 \bar{x}_6 \bar{x}_9;$ $y_2 = \bar{x}_2 x_3 \bar{x}_4 x_7 \bar{x}_9;$ $y_3 = x_1 \bar{x}_2 x_4 x_8;$ $y_4 = x_1 \bar{x}_5 \bar{x}_6 \bar{x}_8 \bar{x}_9.$	<p>Варіант 8</p> <p>Реалізуйте на ПМВ наступні функції:</p> $y_1 = \bar{x}_2 + \bar{x}_4 + x_6 + \bar{x}_7 + x_8;$ $y_2 = \bar{x}_3 + \bar{x}_4 + x_6 + \bar{x}_8 + x_9;$ $y_3 = x_0 \bar{x}_4 \bar{x}_5 x_8 \bar{x}_9;$ $y_4 = x_2 + x_4 + \bar{x}_5 + x_8 + x_9.$
<p>Варіант 9</p> <p>Реалізуйте на матриці АБО функції:</p> $y_1 = \bar{x}_0 x_1 \bar{x}_5 \bar{x}_6 x_9;$ $y_2 = x_1 \bar{x}_4 \bar{x}_5 x_7 x_9;$ $y_3 = \bar{x}_0 \bar{x}_4 \bar{x}_5 x_7 \bar{x}_9;$ $y_4 = x_2 \bar{x}_3 \bar{x}_4 x_5 \bar{x}_9.$	<p>Варіант 10</p> <p>Реалізуйте на ПЛМ наступні функції:</p> $y_1 = x_1 + \bar{x}_4 + \bar{x}_5 + x_7 + \bar{x}_8;$ $y_2 = x_1 \bar{x}_2 x_4 \bar{x}_8;$ $y_3 = x_0 + \bar{x}_2 + \bar{x}_5 + \bar{x}_8 + x_9;$ $y_4 = x_1 + \bar{x}_3 + \bar{x}_4 + x_5 + \bar{x}_6 + x_7.$
<p>Варіант 11</p> <p>Реалізуйте на ПМЛ наступні функції:</p> $y_1 = x_0 + \bar{x}_2 + \bar{x}_3 + \bar{x}_6 + x_7 + \bar{x}_9;$ $y_2 = \bar{x}_2 + \bar{x}_4 + x_7 \cdot x_1 \bar{x}_4 \bar{x}_5 x_9;$ $y_3 = \bar{x}_0 x_3 \bar{x}_5 \bar{x}_8 + \bar{x}_1 x_4 \bar{x}_7 \bar{x}_8;$ $y_4 = \bar{x}_1 + \bar{x}_3 + x_5 \cdot x_8 x_9.$	<p>Варіант 12</p> <p>Реалізуйте на ПЛМ наступні функції:</p> $y_1 = x_1 + \bar{x}_4 + \bar{x}_5 + x_7 + \bar{x}_8;$ $y_2 = x_0 + \bar{x}_2 + \bar{x}_6 + \bar{x}_7 + x_1 + \bar{x}_5;$ $y_3 = \bar{x}_0 x_5 \cdot x_3 + x_8;$ $y_4 = x_2 x_5 x_9 + x_7.$
<p>Варіант 13</p> <p>Реалізуйте на ПМВ наступні функції:</p> $y_1 = x_0 + x_1 + \bar{x}_2 + x_5 + \bar{x}_7;$ $y_2 = \bar{x}_0 + \bar{x}_2 + x_5 + \bar{x}_6 + \bar{x}_8;$ $y_3 = x_1 \bar{x}_4 \bar{x}_5 x_7 x_9;$ $y_4 = \bar{x}_2 + \bar{x}_4 + x_5 + x_8 + x_9.$	<p>Варіант 14</p> <p>Реалізуйте на ПЛМ наступні функції:</p> $y_1 = x_2 + \bar{x}_4 + \bar{x}_5 + x_7 + \bar{x}_8;$ $y_2 = x_1 + \bar{x}_4 + \bar{x}_6 + x_9;$ $y_3 = x_0 + \bar{x}_1 + x_4 + \bar{x}_5 + \bar{x}_6;$ $y_4 = \bar{x}_3 + \bar{x}_6 + x_7 + \bar{x}_8 + \bar{x}_9;$

Продовження таблиці 10.2

<p>Варіант 15</p> <p>Реалізуйте на ПМВ наступні функції:</p> $y_1 = x_0 + \bar{x}_2 + \bar{x}_4 + x_7 + \bar{x}_8 + x_9$ $y_2 = x_1 + \bar{x}_3 + \bar{x}_4 + \bar{x}_5 + x_7 + x_9;$ $y_3 = x_1 + \bar{x}_3 + \bar{x}_6 + x_7 + \bar{x}_8;$ $y_4 = x_2 + \bar{x}_3 + \bar{x}_4 + x_6 + \bar{x}_8 + \bar{x}_9.$	<p>Варіант 16</p> <p>Реалізуйте на ПМЛ наступні функції:</p> $y_1 = x_5 x_9 + \bar{x}_5 \bar{x}_9$ $y_2 = x_0 \cdot \bar{x}_1 + \bar{x}_3 + x_1 + x_3 \cdot \bar{x}_0 \bar{x}_1 x_3 \bar{x}_7 x_9;$ $y_3 = x_2 \bar{x}_4 + \bar{x}_2 x_4;$ $y_4 = \bar{x}_6 x_7 \bar{x}_8 + \bar{x}_6 (x_7 + x_8).$
<p>Варіант 17</p> <p>Реалізуйте на ПМЛ наступні функції:</p> $y_1 = x_0 \bar{x}_2 + \bar{x}_4 + x_5 + \bar{x}_6 \bar{x}_9;$ $y_2 = \bar{x}_1 x_2 + \bar{x}_5 + \bar{x}_4 x_6;$ $y_3 = \bar{x}_2 + \bar{x}_4 + x_7 \cdot x_8 + x_0;$ $y_4 = \bar{x}_1 x_2 \bar{x}_6 + \bar{x}_7 \bar{x}_9.$	<p>Варіант 18</p> <p>Реалізуйте на ПЛМ наступні функції:</p> $y_1 = x_1 + \bar{x}_3 + \bar{x}_4 + x_5 + \bar{x}_6 + \bar{x}_9;$ $y_2 = \bar{x}_0 x_3 + \bar{x}_5 \bar{x}_8;$ $y_3 = \bar{x}_2 + \bar{x}_4 + \bar{x}_7 + \bar{x}_8;$ $y_4 = \bar{x}_1 x_2 \bar{x}_6 x_9;$
<p>Варіант 19</p> <p>Реалізуйте на ПМВ наступні функції:</p> $y_1 = \bar{x}_0 + \bar{x}_1 + x_2 + \bar{x}_3 + x_4;$ $y_2 = x_1 \bar{x}_4 \bar{x}_5 x_7 x_9;$ $y_3 = \bar{x}_0 + x_2 + \bar{x}_5 + x_6 + \bar{x}_8;$ $y_4 = x_2 + \bar{x}_4 + x_5 + x_8 + x_9.$	<p>Варіант 20</p> <p>Реалізуйте на ПЛМ наступні функції:</p> $y_1 = \bar{x}_2 + \bar{x}_4 + x_6 + x_7 + x_8 + \bar{x}_5 x_7;$ $y_2 = x_1 \bar{x}_4 \bar{x}_5 x_7 x_9;$ $y_3 = \bar{x}_0 + \bar{x}_2 + \bar{x}_5 + x_7 + x_8;$ $y_4 = x_1 + \bar{x}_4 + x_7.$
<p>Варіант 21</p> <p>Реалізуйте на матриці АБО функції:</p> $y_1 = x_0 x_1 \bar{x}_5 \bar{x}_6 x_9;$ $y_2 = \bar{x}_1 x_2 \bar{x}_5 x_7 x_9;$ $y_3 = x_0 \bar{x}_3 x_4 x_9 + x_0 + x_3$ $y_4 = x_1 \bar{x}_5 \bar{x}_6 \bar{x}_8 \bar{x}_9 \cdot (x_1 + \bar{x}_4).$	<p>Варіант 22</p> <p>Реалізуйте на ПЛМ наступні функції:</p> $y_1 = \bar{x}_2 + \bar{x}_3 + x_6 + \bar{x}_7 + x_8;$ $y_2 = \bar{x}_3 + \bar{x}_4 + x_6 + \bar{x}_8 + x_9;$ $y_3 = x_0 \bar{x}_4 \bar{x}_5 + x_8 \bar{x}_9;$ $y_4 = x_2 + x_4 + \bar{x}_5 + x_8 + x_9.$
<p>Варіант 23</p> <p>Реалізуйте на матриці ПЛМ функції:</p> $y_1 = \bar{x}_0 x_1 \bar{x}_5 \cdot \bar{x}_6 x_9;$ $y_2 = x_1 \bar{x}_4 \bar{x}_6 x_7 x_9;$ $y_3 = x_1 \bar{x}_4 \bar{x}_5 x_7 \bar{x}_9;$ $y_4 = x_0 \bar{x}_3 \bar{x}_4 x_8 \bar{x}_9.$	<p>Варіант 24</p> <p>Реалізуйте на ПЛМ наступні функції:</p> $y_1 = x_1 + \bar{x}_4 + \bar{x}_5 + x_7 + \bar{x}_8;$ $y_2 = x_1 \bar{x}_2 x_4 \bar{x}_8 + x_0 \bar{x}_5;$ $y_3 = x_0 + \bar{x}_2 + \bar{x}_5 + \bar{x}_8 + x_9;$ $y_4 = x_2 + \bar{x}_3 + \bar{x}_4 + x_5 + \bar{x}_6 + x_9.$

10.3 Контрольні запитання

1. Види ПЛМ.
2. Принцип роботи матриці «І».
3. Принцип роботи матриці «АБО».
4. Переваги та недоліки ПЛМ.
5. Області використання ПЛМ.
6. Яка різниця між структурами ПМЛ та ПЛМ?

11 ПРАКТИЧНЕ ЗАНЯТТЯ №11 «СИНТЕЗ ФУНКЦІОНАЛЬНИХ ВУЗЛІВ ІЗ ВИКОРИСТАННЯМ ПЗП»

Мета роботи: придбання навиків проєктування функціональних цифрових вузлів з використанням ПЗП.

11.1 Теоретичні відомості

11.1.1 Основні відомості про ПЗП

ПЗП (постійний запам'ятовувальний пристрій) - це пристрій, призначений для зчитування заздалегідь записаної інформації. ПЗП називають пам'яттю типу ROM (Read Only Memory – пам'ять лише для зчитування). ПЗП є незалежним пристроєм, оскільки інформація, занесена в ПЗП, при відключенні живлення не зникає.

У ПЗП основний режим роботи - зчитування, а запис інформації виконується або на етапі виготовлення, або користувачем. У ПЗП звичай зберігаються програми, таблиці, константи тощо.

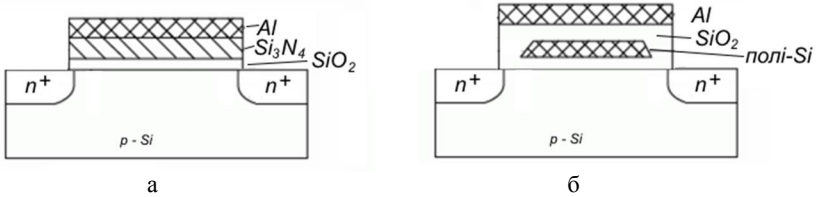
Випускаються також перепрограмовані ПЗП (ППЗУ), інформація в які може записуватися багато разів в процесі експлуатації.

В одноразово програмованих ПЗП інформація заноситься, наприклад, за допомогою перепалювання плавких металевих перемичок.

Репрограмовані ПЗП (РПЗП) на МОН-структурах допускають багаторазовий перезапис і зберігання інформації при відключенні живлення.

У РПЗП запам'ятовувальні елементи будують на базі МОН-структур:

- з захопленням заряду (транзистори МНОН; рис.11.1,а);
- з плаваючим затвором (лавинно-інжекційні МОН-транзистори з ізольованим затвором - ЛПЗМОН; або лавинно-інжекційні МОН-транзистори з плаваючим і керуючим затворами - ЛПЗМОН з подвійним затвором; рис.11.1,б).



- а - з захопленням заряду (транзистори МНОН);
 б - з плаваючим затвором (лавинно-інжекційні МОН-транзистори з ізольованим затвором - ЛІЗМОН)

Рисунок 11.1 - Структури транзисторів

У МНОН-транзисторах підзатворним діелектриком є двошарове покриття. Перший шар - це тунельно-прозорий шар ($d_{ox} < 50 \text{ \AA}$) двоокису кремнію. Другий шар - товстий ($d \approx 1000 \text{ \AA}$) шар нітриду кремнію. Нітрид кремнію Si_3N_4 має глибокі пастки в забороненій зоні і значення діелектричної сталої Si_3N_4 в два рази вище, ніж діелектрична стала SiO_2 . Ширина забороненої зони нітриду Si_3N_4 менше, ніж ширина забороненої зони оксиду SiO_2 .

Запам'ятовувальні елементи (ЗЕ) з плаваючим затвором більш прості у виготовленні і забезпечують більш тривале збереження інформації в порівнянні зі ЗЕ із захопленням заряду.

За способом стирання інформації репрограмовані ПЗП поділяються на:

- з електричним стиранням інформації;
- зі стиранням інформації за допомогою променів (ультрафіолетових, рентгенівських, електронних тощо).

При записуванні інформації використовуються імпульси напругою 20...30 В і тривалістю кілька мілісекунд. Записана інформація зберігається не менше 5...10 років.

Існує два способи внутрішньої розрядної організації ВІС пам'яті: *матричний*, коли кожен розряд ЗП адресується індивідуальним шляхом вказівки номерів рядка і стовпця, на перетині яких він знаходиться, і *словарний*, при якому зчитується весь рядок, що містить слова певної розрядності. У **ПЗП використовується виключно словарний спосіб організації** (рис. 11.2).

На рис. 11.2 показана структурно-функціональна організація ПЗП з двокоординатною адресацією.

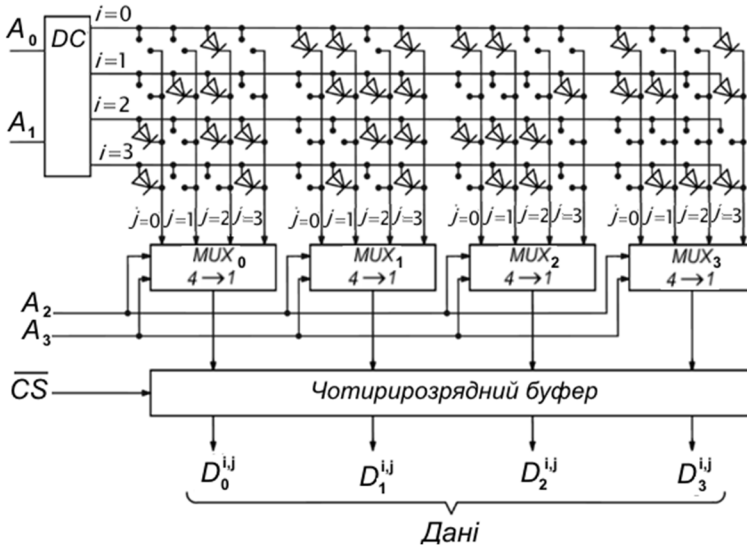


Рисунок 11.2 – Структура ПЗП з двокоординатною вибіркою слів

Склад ПЗП, приведеного на рис. 11.2. Пам'ять містить:

- матрицю з елементів пам'яті розміром 4x16. При цьому 16 елементів пам'яті, розташованих уздовж чотирьох рядків, розбиті на чотири 4-розрядних слова. Елементи пам'яті, що зберігають окремі розряди слів, підключені до стовпців, які мають однакові номери. Наприклад, елементи, що зберігають нульовий розряд слів, підключені до стовпців з номерами $j=0$ кожного мультиплексора;

- дешифратор 2x4, що виконує функції адресації до одного з чотирьох рядків. Для вибору необхідного рядка використовуються молодші розряди A_0, A_1 адреси;

- чотири мультиплексорів 4 до 1, призначені для вибору необхідного слова. Для цього на адресні входи мультиплексорів подають старші розряди A_2, A_3 адреси. В результаті однойменні входи кожного мультиплексорів MUX з'єднуються з його виходом;

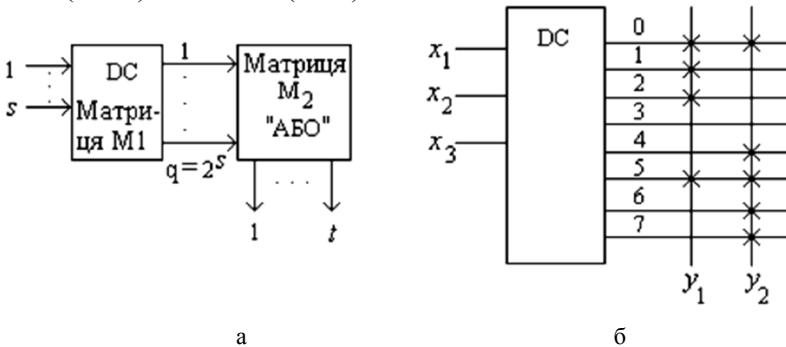
- 4-розрядний буфер, керований сигналом вибору мікросхеми (або зчитування). Буфер призначений для виведення обраного слова з ПЗП.

Принцип роботи ПЗП. При подачі на входи ПЗП адресного коду його молодші розряди A_1, A_0 активізують i -й рядок матриці,

старші розряди A_3, A_2 з'єднують j -й вхід (стовпець) кожного мультиплексора MUX_k ($k = 0, 1, 2, 3$) з його виходом. В результаті на виходах мультиплексорів формується 4-розрядне слово даних $D_0^{i,j} D_1^{i,j} D_2^{i,j} D_3^{i,j}$, яке після подачі сигналу вибору мікросхеми $\overline{CS} = 0$ зчитується з виходів керованого 4-розрядного буфера.

11.1.2 Реалізація комбінаційних схем на ПЗП

Постійний запам'ятовувальний пристрій може розглядатися як дворівнева ПЛМ, матриця M_1 в якій налаштована на реалізацію функцій повного дешифратора (рис. 11.3). Схема повного дешифратора в ПЗП програмуванню не підлягає, тому параметр q фіксований: $q = 2^S$. Налаштування матриці M_2 (матриці "АБО") здійснюється так само, як налаштування матриці M_2 в ПЛМ. На одному ПЗП(s, t) може бути реалізована будь-яка система з N булевих функцій ($N \leq t$) L змінних ($L \leq s$).



а - узагальнена структура ПЗП;

б - структура ПЗП(3,2) з реалізацією системи двох логічних функцій

Рисунок 11.3 – Структура ПЗП

ПЗП призначено для реалізації досконалих ДНФ булевих функцій. Тому, якщо задана система представлена в іншій формі, то заздалегідь вона має бути перетворена до досконалої ДНФ, Наприклад, функції

$$y_1 = \overline{x_1 x_3} \cup \overline{x_2 x_3}; \quad y_2 = x_1 \cup \overline{x_1 x_2 x_3}$$

після перетворення у досконали ДНФ

$$y_1 = \overline{x_1 x_2 x_3} \cup \overline{x_1 x_2} x_3 \cup \overline{x_1} x_2 \overline{x_3} \cup x_1 \overline{x_2} \overline{x_3};$$

$$y_2 = x_1 \overline{x_2} x_3 \cup x_1 x_2 \overline{x_3} \cup \overline{x_1} x_2 x_3 \cup x_1 x_2 x_3 \cup \overline{x_1} x_2 x_3$$

можуть бути реалізовані на ПЗП(3,2) так, як це показано на рис. 11.3, б, де хрестики на перетині шин відповідають логічній одиниці, а їх відсутність - логічному нулю.

Функціональні властивості ПЛІМ орієнтовані на реалізацію таких систем булевих функцій, в яких число змінних L і число функцій N можуть бути досить великими, проте число термів $B < 2^L$. В той же час системи функцій, що реалізуються на ПЗП, повинні характеризуватися меншими значеннями L і N , при цьому обмеження на значення B можна практично не враховувати. Тому ПЗП доцільно використовувати для реалізації, в першу чергу, функцій, які не піддаються істотній мінімізації. При цьому час виконання операції відповідає часу зчитування даних із запам'ятовувального пристрою.

Якщо кількість булевих функцій, що реалізуються, в системі більше числа виходів ПЗП ($N < t$), то систему необхідно розбити на підсистеми, кожна з яких містить не більше за t функцій і може бути реалізована на одній схемі ПЗП. Якщо ж число змінних системи більше числа входів ПЗП ($L > s$), то можуть бути використані різні прийоми декомпозиції булевих функцій за змінними, з реалізацією отримуваних підфункцій на ПЗП і подальшим об'єднанням виходів ПЗП через різні елементи.

Складаючи схему з декількох ПЗП з використанням багатоступінчастої структури, можна зменшити використовуваний об'єм пам'яті. Ідея методу добре ілюструється на наступному прикладі. Реалізація функції $x_1 x_2 x_3 x_4$ на одному ПЗП при зберіганні в ньому таблиці істинності функції вимагає ємності ПЗП, рівної 4×4 біт. Проте функцію можна реалізувати за допомогою комбінації з трьох ПЗП(2,1), як показано на рис. 11.4. В цьому випадку повний об'єм необхідної пам'яті складе 12 біт. Якщо число змінних велике, то економія пам'яті при використанні ступінчастої комбінації ПЗП лише зростає.

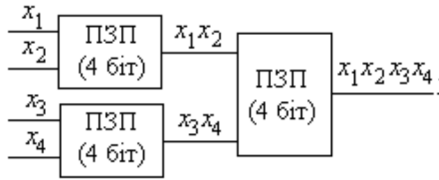


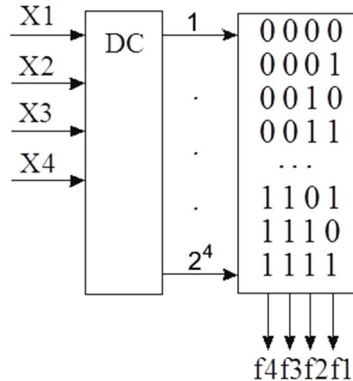
Рисунок 11.4 - Каскадне з'єднання ПЗП

Приклад. Перетворювач коду Грея в двійковий код має таблицю істинності, показану на рис.11.5, а. При реалізації схеми на ПЗП(4,4) ємність цього ПЗП складе 64 біта (рис 11.5, б). Код Грея використовується як адреса, а на виходах ПЗП формується двійковий код.

Код Грея Двійковий код

X4	X3	X2	X1	f4	f3	f2	f1
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	1	0	0	1	0
0	0	1	0	0	0	1	1
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	1
0	1	0	1	0	1	1	0
0	1	0	0	0	1	1	1
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1
1	1	1	1	1	0	1	0
1	1	1	0	1	0	1	1
1	0	1	0	1	1	0	0
1	0	1	1	1	1	0	1
1	0	0	1	1	1	1	0
1	0	0	0	1	1	1	1

а



б

- а - таблиця істинності кодів;
б - структура перетворювача

Рисунок 11.5 - Перетворювач коду Грея у двійковий код

Структура ПЗП(4,4) з реалізацією системи чотирьох логічних функцій, який є перетворювачем коду Грея у двійковий код, показана на рис. 11.6.

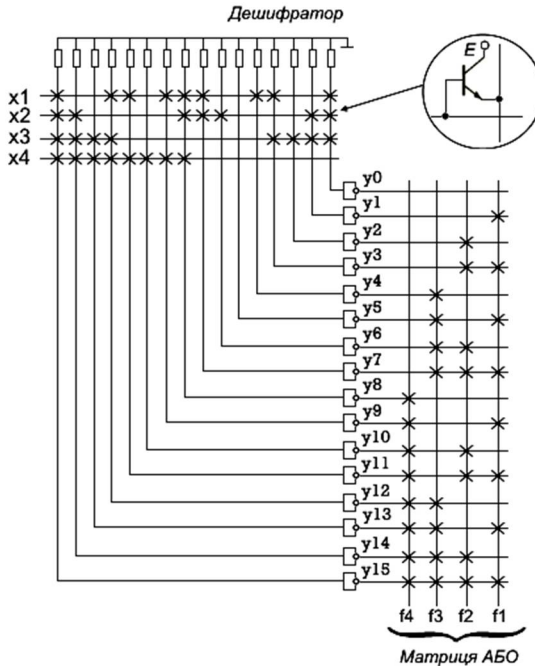


Рисунок 11.6 – Структура ПЗП(4,4) з реалізацією системи чотирьох логічних функцій, який є перетворювачем коду Грея у двійковий код

11.2 Завдання

Реалізуйте на ПЗП систему двох логічних функцій згідно номера варіанта. ПЗП формується на основі з'єднання дешифратора з матрицею АБО. На входи дешифратора надходить 3-розрядний двійковий код, а на його виході код «1 з 8». У кодовій комбінації цього коду тільки одна позиція зайнята одиницею, а всі інші - нульові. Такий код називають унітарним, тому дешифратор є перетворювачем позиційного двійкового коду в унітарний. Матриця АБО містить дві вертикальні шини.

Індивідуальні завдання показані у табл. 11.1. Задані функції треба представити у досконалій диз'юнктивній нормальній формі (ДДНФ).

Таблиця 11.1 – Індивідуальні завдання

№ вар.	Функції
1	$y_1 = x_1 x_2 \cup x_2 x_3; y_2 = x_1 \cup x_1 \bar{x}_2 x_3$
2	$y_1 = x_1 x_3 \cup x_2 x_3; y_2 = x_2 \cup x_1 x_2 x_3$
3	$y_1 = x_2 x_3 \cup x_1 x_3; y_2 = x_3 \cup x_1 x_2 x_3$
4	$y_1 = \bar{x}_1 x_2 \cup x_2 x_3; y_2 = x_1 \cup x_1 x_2 x_3$
5	$y_1 = \bar{x}_1 x_3 \cup x_2 x_3; y_2 = x_2 \cup x_1 x_2 x_3$
6	$y_1 = \bar{x}_2 x_3 \cup x_2 x_3; y_2 = x_3 \cup x_1 x_2 x_3$
7	$y_1 = \bar{x}_1 x_2 \cup x_2 x_3; y_2 = \bar{x}_1 \cup x_1 x_2 x_3$
8	$y_1 = \bar{x}_1 x_3 \cup x_2 x_3; y_2 = \bar{x}_2 \cup x_1 x_2 x_3$
9	$y_1 = \bar{x}_2 x_3 \cup x_2 x_3; y_2 = \bar{x}_3 \cup x_1 x_2 x_3$
10	$y_1 = x_1 x_2 \cup x_2 x_3; y_2 = \bar{x}_1 \cup x_1 x_2 \bar{x}_3$
11	$y_1 = x_1 x_3 \cup x_2 x_3; y_2 = \bar{x}_2 \cup x_1 x_2 x_3$
12	$y_1 = x_2 x_3 \cup \bar{x}_2 x_3; y_2 = x_3 \cup x_1 x_2 x_3$
13	$y_1 = \bar{x}_1 x_2 \cup x_2 x_3; y_2 = \bar{x}_1 \cup x_1 \bar{x}_2 \cdot \bar{x}_3$
14	$y_1 = \bar{x}_1 x_3 \cup \bar{x}_2 x_3; y_2 = x_2 \cup \bar{x}_1 x_2 \bar{x}_3$
15	$y_1 = \bar{x}_2 x_3 \cup x_1 x_3; y_2 = \bar{x}_3 \cup x_1 x_2 x_3$
16	$y_1 = \bar{x}_1 x_2 \cup x_2 x_3; y_2 = \bar{x}_1 \cup x_1 \bar{x}_2 x_3$
17	$y_1 = \bar{x}_1 x_3 \cup x_2 x_3; y_2 = \bar{x}_2 \cup \bar{x}_1 x_2 \bar{x}_3$
18	$y_1 = \bar{x}_2 x_3 \cup \bar{x}_1 x_3; y_2 = \bar{x}_3 \cup x_1 x_2 x_3$
19	$y_1 = x_1 x_2 \cup x_2 x_3; y_2 = x_1 x_2 \cup x_1 x_2 x_3$
20	$y_1 = x_2 \bar{x}_3 \cup \bar{x}_1 x_3; y_2 = \bar{x}_2 x_3 \cup \bar{x}_1 x_2 \bar{x}_3$
21	$y_1 = x_1 x_3 \cup x_2 x_3; y_2 = x_2 x_3 \cup \bar{x}_1 x_2 x_3$

11.3 Контрольні запитання

1. ПЗП, його види.
2. Принцип реалізації комбінаційних схем на ПЗП.
3. Як репрограмовані ПЗП поділяються за способом стирання інформації?
4. Які існують два способи внутрішньої розрядної організації ВІС пам'яті?
5. Який спосіб організації пам'яті використовується в ПЗП?
6. Який склад має структура ПЗП з двокоординатною вібркою слів?
7. Який принцип роботи має структура ПЗП з двокоординатною вібркою слів?
8. Для чого у схемах використовується багатоступінчаста структура ПЗП?

РЕКОМЕНДОВАНА ЛІТЕРАТУРА

1. **Рябенський, В.М.** Цифрова схемотехніка [Текст] / В.М. Рябенський, В.Я. Жуйков, В.Д. Гулий. – Львів: Новий Світ-2000, 2020. – 736 с.
2. **Коваленко, О.Є.** Комп'ютерна схемотехніка. Частина 2. Навч. посіб. [Текст] / О.Є. Коваленко, С.М. Волошин, Б.С. Гусев, Є.В. Нікітенко, В.В. Матієвський. - К.: НУБіП України, 2023.- 331с.
1. **Новожилов, О.П.** Электроника и схемотехника. В 2 ч. Часть 2 [Текст] / О.П. Новожилов – М: Издательство Юрайт, 2018. – 421 с.
2. **Бабич, М.П.** Комп'ютерна схемотехніка: Навч. посіб. [Текст] /М.П. Бабич, І.А. Жуков – К.: ”МК-Прес”, 2004. – 412 с.
3. **Прищеп, М.М.** Мікроелектроніка: В 3 ч. Ч. 2. Елементи мікросхемотехніки. Навч. посіб. [Текст] / М.М. Прищеп, В.П. Погребняк. За ред. М.М. Прищепи. – К.: Вища шк., 2006. – 503 с.