

РОЗРОБКА СУМАТОРУ ЧИСЕЛ З РУХОМОЮ КРАПКОЮ НА FPGA

Широке використання дійсних чисел обумовлене тим, що при вирішенні значної частини задач фізики, математики або інформатики необхідно представляти результат з якомога більш високою точністю. Реалізація арифметики над числами з рухомою крапкою на програмованих логічних інтегральних схемах, зокрема на FPGA, має такі переваги, як гнучкість використання та низькі витрати на виробництво. Пристрій на FPGA можна пристосовувати для тих або інших потреб виробництва, що зменшує собівартість кінцевого продукту та надає можливість вирішувати задачі, для яких не існує готових рішень у вигляді представлених на ринку пристроїв.

Стандарт IEEE 754 визначає формат чисел з рухомою крапкою та методи арифметичних операцій з ними в обчислювальних машинах. Це найбільш поширений стандарт, який гарантує однаковість виконання операцій з числами з рухомою крапкою на програмному та апаратному рівнях. Двома основними типами чисел з рухомою крапкою в форматі IEEE 754 є тип float (одинарна точність) та тип double (подвійна точність).

В даній роботі розглядаються тільки нормалізовані числа з одинарною точністю, оскільки арифметичні операції над числами float та double не відрізняються. Авторами пропонується спосіб підвищення ефективності операції складання дійсних чисел з використанням конвеєризації [1]. Схема спроектована для реалізації на мікросхемах типу FPGA або ProASIC, що дозволяє використовувати архітектурні особливості даного базису, зокрема можливість паралельного виконання задач на одному кристалі. Базова структура суматора чисел з рухомою крапкою, розроблена відповідно до стандартного алгоритму обробки чисел в форматі IEEE 754. Структура орієнтована на проектування в базисі FPGA, тому має чітко виділені функціональні блоки, котрі можна поведінково визначити з використанням мови опису апаратури VHDL.

Для покращення характеристик суматора, його було конвеєризровано. Конвеєризована структурна схема є функціонально адекватною базовій структурі, але розділена на окремі рівні, які виконуються паралельно, а результат виконання операції кожного рівня не залежить від результату виконання операції попереднього рівня в один і той самий момент часу, це дозволяє виконувати операції складання/віднімання над декількома числами

одночасно. Що не тільки збільшує пропускну здатність, а й робить суматор придатним для використання в сучасних синхронних схемах. Кожний блок запропонованої конвеєрної структури на FPGA реалізовано, як окремий проект цифрового функціонального вузла, і таким чином, загальна задача розділена на окремі підзадачі, що полегшує експериментальне тестування та відлагодження складових усього пристрою.

Експериментальні дослідження виконані з використанням пакету EDA Quartus II [2] Розроблена схема була промодельована на FPGA сімейства Stratix III та на FPGA сімейства Cyclone III. Аналогом розробленої схеми є функціонально схожий пристрій фірми Altera. В порівнянні з пристроєм фірми Altera, що має такий самий функціонал, було збільшено тактову частоту на 37.6% на FPGA сімейства Stratix III (таблиця 1) та на 12.3% на FPGA сімейства Cyclone III.

Таблиця 1 – Порівняльна характеристика синтезованого конвеєрного пристрою на FPGA Stratix III та серійного пристрою фірми Altera

Пристрій	cycles	ALUTs	Dedicated registers	Fmax, MHz
ALTFP_ADD_SUB megafunction	7	592	376	218
Синтезований пристрій	7	541	373	300

Розроблений суматор має широку сферу використання, оскільки на даний час майже жоден з обчислювальних пристроїв не обходиться без обробки чисел з рухомою крапкою. На сучасному ринку представлений широкий вибір складних функціональних блоків, таких як модулі ІР (Intellectual Property). Але ж при їх використанні в проектах виникають певні проблеми, пов'язані як із ускладненням маршруту проектування, так і з підвищенням кінцевої вартості пристрою. Запропонована модель прискорювача є досить простою в сенсі реалізації на FPGA та може бути альтернативою використанню вбудованих помножувачів та процесорних ядер у випадках, коли складний функціонал зазначених пристроїв є надлишковим для конкретної задачі.

Обчислювальні функціональні вузли, реалізовані на FPGA, мають певні переваги порівняно з мікропроцесорами, в тому сенсі, що вони можуть бути спроектовані для конкретної задачі, що сприяє прискоренню обробки даних та зменшенню собівартості готового пристрою.

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Танненбаум Э. Архитектура компьютера [Текст] / Э.Танненбаум – М.: Питер, 2009. – 844с.

2. Описание САПР Quartus II, Основные этапы проектирования СБИС
ПЛИ - Формирователь OFDM сигнала на базе стандарта 802.16d [Электронный
ресурс]. – Режим доступа: <http://www.techexpose.ru/texob-544.html>