

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Національний університет «Запорізька політехніка»



Факультет комп'ютерних наук та технологій
Кафедра «Комп'ютерні системи та мережі»

БУТКО ВЛАДИСЛАВ ОЛЕКСІЙОВИЧ
Група КНТ-614м

СИСТЕМА РЕВЕРС-ІНЖИНІРИНГУ VERILOG HDL
ПРОЄКТІВ ДЛЯ МІКРОСХЕМ INTEL FPGA

АВТОРЕФЕРАТ

дипломної роботи на здобуття освітньо-кваліфікаційного рівня
«магістр» 123 Комп'ютерна інженерія
освітньої програми Комп'ютерні системи та мережі

2025 р.

Дипломна робота є рукопис.

Робота виконана в національному університеті «Запорізька політехніка», на кафедрі комп'ютерних систем та мереж

Керівник

кандидат технічних наук, доцент
Зеленьова Ірина Яківна,
Національний університет «Запорізька
політехніка», доцент кафедри
комп'ютерних систем та мереж

**Офіційний
рецензент:**

**Романовський Олександр
Володимирович,**
Генеральний директор ТОВ
«Науково-виробниче підприємство
«ХАРТРОНІОКОМ»

Захист відбудеться "25" грудня 2025 р.

Секретар екзаменаційної комісії, доцент кафедри
комп'ютерних систем та мереж **Т.В. Голуб**

ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

Актуальність теми. Наразі, на ринку обчислювальної техніки спостерігається зростання в потребі адаптивних рішень, які можна швидко адаптувати до швидкоплинних умов використання. Особливо, це спостерігається у військовій галузі, де відбувається активна апробація нових способів ведення воєнних дій та швидко впроваджуються інновації [1]. В той же час, рішення повинно задовольняти потреби в енергоефективності, компактності та швидкодії. Всі ці переваги поєднуються в класі обчислювальних пристроїв FPGA (англ. Field-Programmable Gate Array або програмовані логічні матриці). На базі FPGA можна реалізувати власну інтегральну схему, використовуючи лише настільний комп'ютер та програматор. Таким чином, FPGA є компромісом між замовними схемами (мають відносно велику швидкодію, енергоефективність, компактність) та мікроконтролерами (швидкість зміни логіки поведінки пристрою).

Проте, може виникнути ситуація, коли існує готовий HDL опис, але разом з цим виконується одна або більше умов з переліку:

- персонал, відповідальний за супроводження вихідного HDL коду, відсутній;
- не має супровідної документації до вихідного HDL коду;
- вихідний HDL код є складним для сприйняття для не фахового персоналу.

У всіх цих випадках є необхідність в реінжинірингу вихідного HDL коду FPGA проєкта. Результатом реінжинірингу є модель HDL опису. Модель може мати різний вигляд: опис на природній мові, опис на мові програмування (наприклад, MATLAB або C++), система реального часу (наприклад, Simulink модель), математична модель.

Мета і завдання дослідження. Метою магістерської роботи є пришвидшення процесу аналізу функції вже готових Intel FPGA проєктів на основі Verilog HDL опису.

Для досягнення поставленої мети необхідно вирішити такі завдання:

1. Проаналізувати наявність інструментів для автогенерації Simulink моделі та оцінити їх якості і доцільність використання для створення наочної моделі Verilog HDL опису.

2. Проаналізувати Verilog HDL опис та розробити метод реінжинірингу цього опису, в результаті застосування якого можна отримати Simulink модель;

3. Створити Simulink згідно з розробленим методом та протестувати модель. Порівняти структуру моделі та цифрової схеми, яку реалізує Verilog HDL опис;

4. Виконати реінжиніринг друкованої плати, результатом якого повинен бути список з'єднань. Сформулювати рекомендації з реінжинірингу.

Об'єкт дослідження – метод реверс-інжинірингу Intel FPGA проєкта.

Предмет дослідження – метод створення Simulink моделі на основі Verilog HDL опису, призначеного для програмування Intel FPGA.

Методи дослідження. Для вирішення поставлених завдань використано: теоретичний аналіз Verilog HDL опису, верифікація результатів аналізу шляхом створення Simulink моделі, візуальний огляд друкованої плати, тестування доріжок на обрив, верифікація результатів аналізу друкованої плати шляхом створення моделі.

Наукова новизна отриманих результатів полягає в розробці методу ручного створення наочної для людського сприйняття Simulink моделі на основі Verilog HDL опису Intel FPGA проєкта.

Практичне значення отриманих результатів. Розроблений метод реінжинірингу Intel FPGA проєктів дозволяє пришвидшити процес аналізу функції існуючих Intel FPGA проєктів на основі Verilog HDL опису, що може бути корисним у розі відсутності фахового персоналу та документації до проєкту.

Апробація результатів дипломної роботи. Дипломна робота містить результати досліджень:

– XV міжнародна науково-практична конференція «Scientific research: integration of science and practice for effective development». Тези «Development of Verilog HDL design patterns for intel FPGA projects» (2025 р., Флоренція);

– Стаття в фаховому журналі Донецького Національного Технічного Університету під назвою «Порівняння компіляторів для генерації опису апаратури на основі імперативної програми: HDL Coder та Vitis HLS» (2024 р., Донецьк).

Структура та обсяг роботи. Робота складається зі вступу, трьох розділів, висновків, переліку джерел та додатків. Пояснювальна записка містить 91 сторінок тексту та 39 рисунки.

ОСНОВНИЙ ЗМІСТ РОБОТИ

У першому розділі проаналізовано наукові роботи в області реінжинірингу FPGA проєктів. Проте, в результаті аналізу виявлено, що робіт по темі створення моделі на HDL опису не має.

Проаналізовано сфери застосування даного дослідження в результаті чого з'ясовано перелік умов, при яких результати дослідження можуть бути використані:

- персонал, відповідальний за супроводження вихідного HDL коду, відсутній;
- не має супровідної документації до вихідного HDL коду;
- вихідний HDL код є складним для сприйняття для не фахового персоналу.

Проаналізовано існуючі методи реінжинірингу, в результаті чого визначено, що існує лише один метод створення Simulink моделі на основі Verilog HDL опису з використання інструменту автоматичної генерації «importhdl».

Визначено недоліки інструменту «importhdl». Зокрема, він висуває вимоги до вихідного HDL опис, через що часто може бути необхідний етап адаптації HDL опису перед використанням інструменту «importhdl». Проте, не завжди цей етап може бути виконаний.

У другому розділі коротко описано функціонал вихідного HDL опису. Розроблено метод для ручного реінжинірингу FPGA проєкта:

- відтворення тракту обробки даних HDL опису;
- створення блок-діаграми HDL опису;
- створення текстового документа з описом блоків блок-діаграми;
- створення MATLAB-моделей на основі HDL модулів;
- створення Simulink-моделі на основі MATLAB-моделей.

Перед початком реінжинірингу необхідно визначити послідовність цього процесу для забезпечення найбільшої його

оптимальності по часу та якості. Якість залежить від наочності та простоти користування отриманою моделлю. Задля визначення порядку реінжинірингу необхідно відтворити тракт обробки даних, що реалізує схема на FPGA (далі – тракт даних).

FPGA проєкт складається з екземплярів HDL модулів (далі – екземпляри), поєднаних між собою в певній послідовності. Цю послідовність можна відслідковувати за допомогою інструмента RTL Viewer в програмному середовищі Quartus. Будемо називати цю послідовність трактом даних. Тракт даних має декілька етапів. Кожному етапу відповідає каскад з екземплярів, що можуть працювати паралельно. Проте, паралельно не означає одночасно. Адже, екземпляри можуть працювати на різній частоті, будучи під'єднаними до синхросигналів з різною частотою.

Алгоритм визначення каскаду для певного екземпляра.

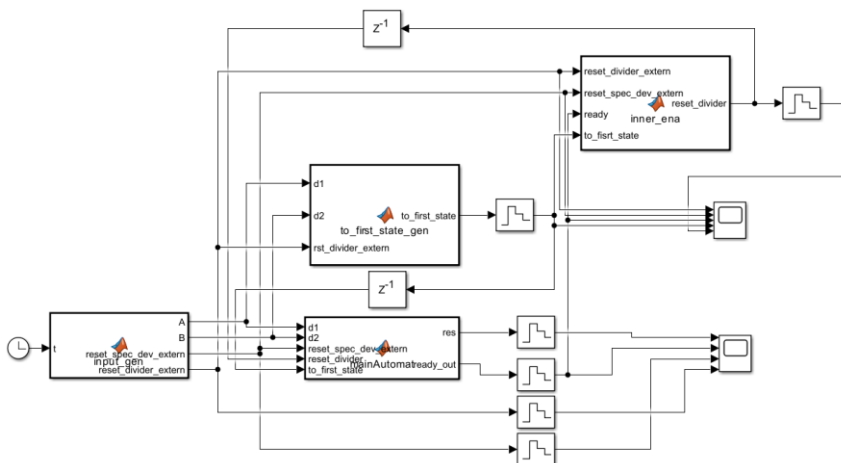
Крок 1. Екземпляр відноситься до 1-го каскаду, якщо екземпляр має хоча б один вхід, перед яким не має жодного екземпляра на шляху до зовнішнього вхідного порту FPGA проєкта.

Крок 2. Екземпляр відноситься до 2-го каскаду, якщо екземпляр має хоча б один вхід, перед яким є екземпляр 1-го каскаду.

Крок 3. Екземпляр відноситься до 3-го каскаду, якщо екземпляр має хоча б один вхід, перед яким є екземпляр 2-го каскаду і так далі.

Результатом відтворення тракту даних будуть списки HDL модулів, екземпляри яких відносяться до певного каскаду. Ці списки можна представити у вигляді як на рис. 1. Згідно з рис. 1, спочатку необхідно виконати реінжиніринг HDL модулів, екземпляри яких відносяться до першого каскаду тракту даних. Першим модулем для реінжинірингу буде такий модуль, що найбільш простим для цього процесу. Потім, необхідно виконати реінжиніринг HDL модулів, екземпляри яких відносяться до другого каскаду і так далі.

Simulink-моделі. Після додання всіх MATLAB-моделей, буде отримано Simulink-модель схеми на FPGA.



У третьому розділі створено електричну схему друкованої плати в програмному середовищі Proteus, на основі якої згенеровано список з'єднань друкованої плати за допомогою відповідного інструмента в Proteus.

опису в процесі застосування різних фізичних інтерфейсів. Тому, реінжиніринг друкованої плати є підзадачею реінжинірингу FPGA проєкта, результатом чого є список з'єднань (англ. netlist), який буде використано на завершальному етапі аналізу HDL опису – тестуванні моделі HDL опису.

ВИСНОВКИ

У магістерській роботі вирішено науково-прикладну задачу пришвидшення процесу аналізу функції вже готових Intel FPGA проєктів на основі Verilog HDL опису шляхом розробки методу реінжинірингу таких проєктів. Отримані теоретичні та практичні результати дозволяють зробити наступні висновки:

1. Існує лише один метод створення Simulink моделі на основі Verilog HDL опису, що полягає у використанні інструменту автоматичної генерації моделі «importhdl»;

2. Інструменти автоматичної генерації не підходять для створення наочної моделі через наявність стандартизованих шаблонів генерації коду, що унеможливають сприйняття згенерованого коду людиною;

3. Визначено недоліки інструменту автоматичної генерації «importhdl». Зокрема, інструмент висуває вимоги до вихідного HDL опису, що суттєво ускладнює використання інструменту та часто може потребувати етап адаптації HDL опису перед використанням інструменту. Проте, не завжди адаптацію можлива;

4. Не існує наукових робіт, які б розглядали метод створення моделі на основі HDL опису;

5. Simulink модель може мати суттєво простішу структуру зі збереження функціоналу згідно з оригінальною системою. Це можливо, бо складність HDL опису, призначення для програмування Intel FPGA, часто викликана вимогами компілятора Quartus, які не застосовуються до Simulink моделі;

6. Для створення списку з'єднань друкованої плати необхідно перевірити на обрив всі шляхи між всіма контактами на друкованій платі.

7. Для верифікації списку з'єднань необхідно його можна згенерувати за допомогою відповідного інструменту в

програмному середовищі Proteus на основі моделі електричної схеми побудованої також в Proteus.

Результати проведеного комплексного тестування на основі одинадцяти тестів підтверджують працездатність створеної моделі та досягнення мети роботи у повному обсязі.