

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Запорізький національний технічний університет

Кафедра ПЗ

МЕТОДИЧНІ ВКАЗІВКИ
до виконання лабораторних робіт
з дисципліни
“КОМП’ЮТЕРНА СХЕМОТЕХНІКА
ТА АРХІТЕКТУРА КОМП’ЮТЕРА”
для студентів напрямку підготовки
6.050101 “Комп’ютерні науки”
усіх форм навчання

2016

Методичні вказівки до виконання лабораторних робіт з дисципліни “Комп’ютерна схемотехніка та архітектура комп’ютера” для студентів напряму підготовки 6.050101 “Комп’ютерні науки” усіх форм навчання. /Укл.: А.В. Притула, О.І. Качан – Запоріжжя: ЗНТУ, 2016. – 74 с.

Укладачі: А.В. Притула, к.т.н., професор кафедри ПЗ,
О.І. Качан, ст. викл. кафедри ПЗ.

Рецензент: О.О. Степаненко, к.т.н., доцент кафедри ПЗ.

Відповідальний
за випуск: А.В. Притула, к.т.н., професор кафедри ПЗ.

Затверджено
на засіданні кафедри
“Програмні засоби”

Протокол № 6
від “04” березня 2016

ЗМІСТ

Лабораторна робота № 1 Електронні ключі.....	4
Лабораторна робота № 2 Логічні елементи та інтегральні схеми	22
Лабораторна робота № 3 Операційні елементи ЕОМ комбінаційного типу.....	36
Лабораторна робота № 4 Тригери.....	60

Лабораторна робота № 1

ЕЛЕКТРОННІ КЛЮЧІ

Мета роботи – вивчити схеми побудови та дослідити статичні і динамічні характеристики електронних ключових схем різноманітних видів з використанням програми “Electronics Workbench”.

1.1 Стислі теоретичні відомості

Оскільки вся інформація, що призначена для опрацювання у обчислювальних системах, та цифрових пристроях відображається у вигляді сукупності двійкових кодів, то для їхньої фізичної реалізації використовуються електричні сигнали, що приймають тільки два стани: низький потенціал або високий, є імпульс або його немає, намагнічена ділянка магнітного матеріалу або розмагнічена, 0 або 1.

Найпростішою схемою, що дозволяє формувати два стани сигналу, є ключова схема (рис. 1.1), у якій ключ S може знаходитися в замкнутому, або в розімкнутому стані.

Оскільки опір замкнутого ключа малий, у замкнутому стані ключа S майже вся напруга джерела виділяється на резисторі R , і вихідна напруга схеми практично дорівнює нулю (лог.0).

Опір розімкнутого ключа набагато більше опору резистора R , тому напруга на виході схеми в цьому стані ключа практично дорівнює напрузі джерела E (лог.1).

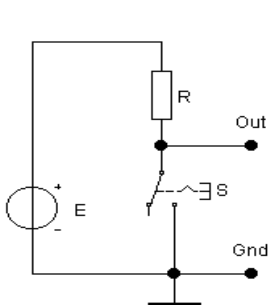


Рисунок 1.1 - Ключова схема

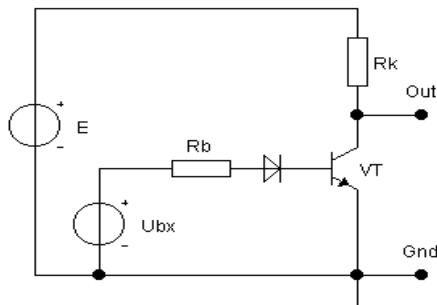


Рисунок 1.2 - Ключова схема на біполярному транзисторі

Таким чином, при почерговій комутації ключа S на виході схеми формуються сигнали з перепадами напруги від 0 до E.

У залежності від виду елемента, що використовується для комутації кола, ключові схеми можуть бути електромеханічними (електромагнітні реле), електронними (діоди, транзистори), оптоелектронними. В даний час найбільше поширення для побудови цифрових пристроїв одержали електронні ключові схеми на транзисторах.

1.1.1 Ключі напруги на біполярних транзисторах

Схема найпростішого ключа на транзисторі типу n-p-n, включеному за схемою з загальним емітером, зображена на рис. 1.2. Ключем управляють, подаючи на його вхід керуючу напругу $U_{вх}$.

Розімкнутому стану ключового транзистора відповідає нульовий рівень напруги вхідного сигналу, оскільки для відмикання діода і транзистора необхідно прикласти до анода діода напругу біля +1,6 В. Вихідна напруга при цьому дорівнює $U_{вих} = +E$.

Включений стан забезпечується високим позитивним рівнем вхідного сигналу $U_{вх}$, при цьому в базу транзистора втікає струм від джерела вхідної напруги, транзистор відкритий і насичений, а вихідна напруга близька до нульової ($U_{вих} = 0$).

Резистор R_b обмежує струм бази, резистор R_k обмежує струм колектора.

1.1.1.1 Робота ключа в статичному режимі

Роботу ключа зручно описувати за допомогою передаткової характеристики, що являє собою залежність рівня вихідної напруги від рівня вхідної напруги (рис. 1.3).

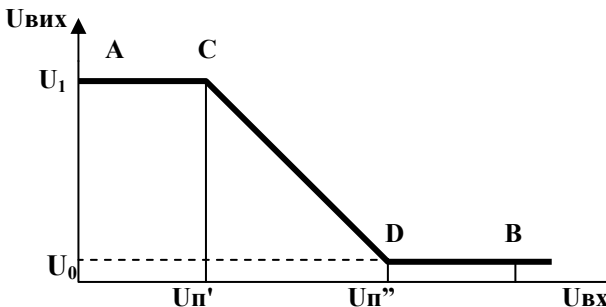


Рисунок 1.3 – Передаткова характеристика ключової схеми

Ділянка А-С відповідає розімкнутому стану ключа. У цьому стані при $U_{вх} < U_{п'}$ транзистор закритий, його опір великий (транзистор в області відсікання) і на виході маємо високий рівень напруги $U_{вих} = +E = U_1$ (рівень логічної одиниці).

При досягненні вхідною напругою значення $U_{вх} = U_{п'}$ транзистор починає відкриватися, його опір зменшується і вихідна напруга також зменшується. Ділянка С-D відповідає перебуванню транзистора в активній області.

При подальшому збільшенні вхідної напруги $U_{вх} > U_{п''}$ транзистор переходить в область насичення, його опір малий і на виході маємо низький рівень напруги $U_{вих} = U_0$ (рівень логічного нуля).

З характеристики видно, що для чіткого розмежування виключеного і включеного станів ключа варто так вибирати рівні вхідної напруги $U_{вх} = U_0 < U_{п'}$ і $U_{вх} = U_1 > U_{п''}$, щоб транзистор знаходився або в режимі відсікання, або в режимі насичення навіть при наявності завад певного рівня.

Якщо при виключеному (закритому) транзисторі вхідна напруга $U_{вх} = U_0 + U_{з+}$ стане більшою порога відкривання транзистора $U_{п'}$, то транзистор відкриється і його функціонування порушиться. Аналогічне порушення може відбутися при включеному (відкритому) транзисторі і наявності завади $U_{з-}$, що виключає його, якщо вхідна напруга $U_{вх} = U_1 - U_{з-}$ стане менш значення $U_{п''}$, то транзистор почне закриватися.

Значення $U_{з+}$ і $U_{з-}$ при обраних рівнях логічного нуля U_0 і логічної одиниці U_1 вхідної напруги визначають статичну завадостійкість ключової схеми.

1.1.1.2 Робота ключа у динамічному режимі

Перехід ключа з положення «розімкнуто» (стан лог.1) у положення «замкнуте» (стан лог.0) і назад не може відбуватися миттєво, навіть якщо на вхід ключової схеми подавати ідеальні прямокутні імпульси.

Виникнення перехідних процесів пояснюється як інерційними властивостями самого транзистора, так і наявністю паразитних (монтажних) ємностей схеми, що заряджаються і розряджаються через резистори схеми за кінцевий час.

Еквівалентна схема, що враховує інерційні властивості ключа, і графіки перехідних процесів у різноманітних точках ключової схеми показані на рис. 1.4 і рис. 1.5

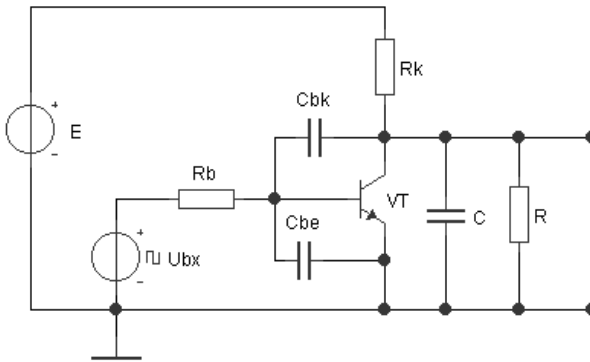


Рисунок 1.4 – Еквівалентна схема ключа

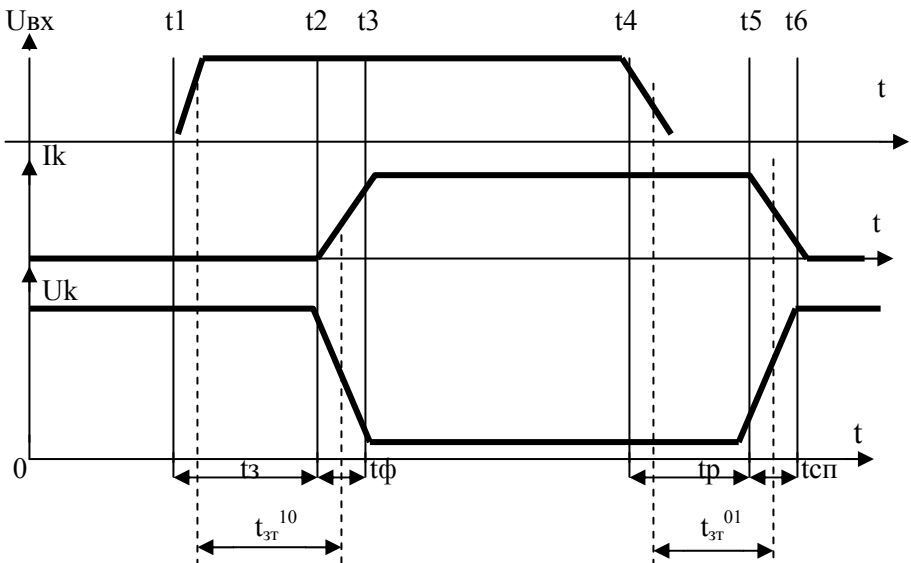


Рисунок 1.5 - Графіки перехідних процесів ключової схеми

У початковий момент ($t = 0$) напруга на вході схеми від джерела сигналу менше порога відмикання і транзистор знаходиться в області відсікання. У момент часу $t = t_1$ на вході схеми з'являється позитивний перепад напруги, амплітуда якого більше граничного значення

відмикання базового кола транзистора $U_{п''}$. Даний перепад напруги викликає появу струму в колі бази транзистора, проте колекторний струм починає зростати з деякою затримкою (момент t_2).

Виникнення затримки при вмиканні транзистора пояснюється процесом заряду бар'єрних ємностей транзистора C_{kb} і C_{be} струмом бази через опір R_b .

Формування фронту вихідного сигналу здійснюється в інтервалі $t_2 - t_3$, при цьому транзистор відкривається і переходить в активний режим.

Тривалість фронту (t_f) вихідного сигналу визначається: інерційними властивостями самого транзистора (параметр τ_β); бар'єрною ємністю його колекторного переходу (C_k) і паразитною ємністю навантаження C_n . Інтервал часу $t_1 - t_3$ визначає час переключення схеми зі стану логічної одиниці в стан логічного нуля ($t_{зт}^{10}$).

У момент часу t_3 колекторний перехід зміщується в прямому напрямку і транзистор переходить в режим насичення. Зростання колекторного току припиняється, проте заряд в області бази продовжує зростати, прямуючи до стаціонарного значення.

У момент часу t_4 вхідна напруга, що відпирає транзистор, закінчується і виникає зворотний струм бази. Проте, колекторний струм і вихідна напруга схеми не змінюються протягом інтервалу часу $t_4 - t_5$ за рахунок розсасування надлишкового заряду, накопиченого в області бази транзистора при насиченому ключі.

Формування спаду вихідного сигналу починається в момент часу t_5 , коли закінчується розсасування надлишкового заряду в області бази і колекторний перехід зміщується в зворотньому напрямку. При цьому транзистор переходить з області насичення в активну область. Колекторний струм починає зменшуватися по експоненційному закону і до моменту часу t_6 досягає нульового значення. Транзистор закривається.

Інтервал часу $t_4 - t_6$ визначає час переключення схеми зі стану логічного нуля в стан логічної одиниці ($t_{зт}^{01}$). На практиці вимірювання часів затримки $t_{зт}^{10}$ та $t_{зт}^{01}$ виконуються за рівнем половинної амплітуди сигналів (рис.1.5).

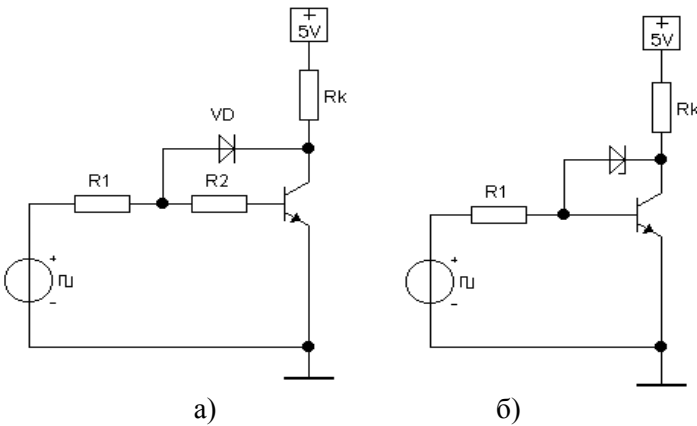
1.1.1.3 Засоби підвищення швидкодії ключової схеми

Одним із схемотехнічних засобів зменшення часу переключення схеми є зменшення опору резистора R_k , проте при цьому збільшується потужність, що споживається ключем від джерела живлення.

Зменшити час розсасування надлишкового заряду в базі можна, якщо використати схему ключа з нелінійним зворотним зв'язком, що не дає перейти транзистору у режим насичення та усуває накопичення надлишкового заряду в області бази. Схеми ненасиченого ключа наведені на рис. 1.6 (а, б).

Нелінійний зворотний зв'язок здійснюється через діод VD. Стан діода (проводить струм або не проводить) визначається полярністю і значенням напруги, прикладеної до діода:

$$U_d = U_{R2} + U_{kb}. \quad (1.1)$$



а) - зі звичайним діодом; б) - з діодом Шоткі

Рисунок 1.6 - Ключова схема з нелінійним зворотним зв'язком

До подачі на вхід схеми відпираючого імпульсу, діод закритий і зворотний зв'язок не діє. При надходженні великого вхідного сигналу вхідний струм спочатку протікає через резистори $R1$, $R2$ і перехід база-емітер транзистора. У процесі відмикання транзистора напруга на переході база-колектор зменшується, та у той момент, коли вона досягне значення

$$U_{kb} = I_{\dot{a}\dot{o}} \times R_2 - 0,8B, \quad (1.2)$$

діод відкривається і частина вхідного струму буде протікати через діод і колектор-емітер транзистора на корпус в обхід бази, внаслідок чого струм бази зменшується і транзистор не входить у насичення.

При виготовленні ключа по інтегральній технології в колі зворотного зв'язку використовують діоди Шоткі, що являють собою перехід "метал-напівпровідник" і відрізняються від звичайних діодів із р-п-переходом меншим падінням напруги на відкритому діоді, що дозволяє виключити резистор R2.

1.1.2 Ключі на МДН - транзисторах

Відомі три різновиди ключів на МДН - транзисторах: з резисторним навантаженням (рис. 1.7 а), з динамічним навантаженням (рис. 1.7 б) і на транзисторах з каналами протилежного типу провідності - комплементарні ключі (рис. 1.7 в). Два останніх типи використовуються головним чином у складі інтегральних схем.

1.1.2.1 Ключ на МДН - транзисторах з резистивним навантаженням

Схема ключа на МДН - транзисторі з індуктованим каналом п-типу наведена на рис.1.7 а.

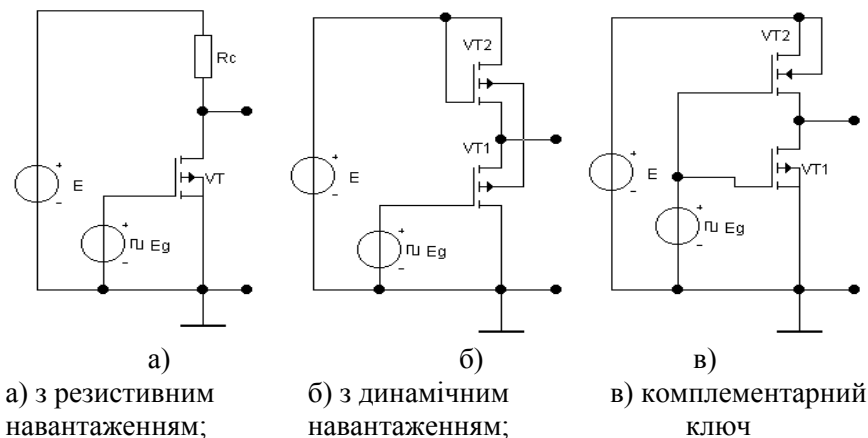


Рисунок 1.7 - Ключі на МДН – транзисторах

Ключ може знаходитися в двох положеннях - «включене» і «виключено» в залежності від значення вхідного сигналу, що подається безпосередньо на затвор транзистора.

При подачі на вхід напруги $E_g = U_0 < U_p$ менше порогової, транзистор закритий і ключ виключений. Включений стан ключа забезпечують, подаючи і підтримуючи на затворі високий позитивний рівень вхідного сигналу $E_g = U_1 > U_p$.

Режим закритого транзистора характеризується тим, що при напрузі на затворі $U_z = U_0 < U_p$ канал транзистора збіднений носіями, тому транзистор не проводить струм і має великий опір каналу. Напруга на виході схеми $U_{вих} = +E$.

Режим відкритого транзистора характеризується тим, що при напрузі на затворі $U_z = U_1 > U_p$ канал транзистора збагачений носіями і має малий опір порядку 100-300 Ом.

Напруга на виході схеми:

$$U_{вих} = E \times R_m / (R_c + R_m) \quad (1.3)$$

де R_t - опір транзистора. При $R_c \gg R_t$ вихідна напруга близька до нуля.

Динамічний режим роботи ключа на МДН - транзисторі визначається як властивостями транзистора, так і зовнішньої схеми. Інерційність транзистора залежить від часу прольоту носіїв заряду уздовж каналу і часу перезаряду паразитних ємностей затвор-витік, затвор-стік, підшарок-стік і підшарок – витік. **Інерційність зовнішньої схеми пояснюється наявністю ємностей навантаження (монтажу та вхідної ємності наступного ключа).** Звичайно час прольоту носіїв заряду набагато менше часу перезаряду ємностей.

Оскільки у вихідному стані транзистор закритий, а сумарна паразитна ємність C_n заряджена до напруги живлення, тривалість фронту вихідного сигналу визначається часом, протягом якого здійснюється процес розряду ємності навантаження через паралельно з'єднані опори відкритого транзистора і навантаження схеми:

$$t_{\phi} = 2.2 \times C_n \times (R_n \times R_m) / (R_n + R_m). \quad (1.4)$$

Тривалість спаду сигналу визначається часом заряду ємності навантаження через резистор у колі стоку транзистора при закритому транзисторі:

$$t_c = 2,2 C_H \cdot R_c. \quad (1.5)$$

Оскільки струм стоку МДН - транзисторів дуже малий, а опори R_t і R_c великі, ємності перезаряджаються малими токами, що істотно знижує швидкодію ключів на МДН - транзисторах і це є їхнім істотним недоліком.

1.1.2.2 Ключ на МДН - транзисторі з динамічним навантаженням

Схема такого ключа наведена на рис.1.7, б. Транзистор VT2, на затвор якого подається постійна напруга і котрий постійно відкритий, використовується як резистор навантаження для ключового транзистора VT1.

1.1.2.3 Ключ на МДН - транзисторах з доповнюючими типами провідності

Схема такого ключа наведена на рис.1.7, в. У ній використовуються транзистори різних типів: - основний - VT1 -с каналом n- типу і навантажувальний - VT2 -с каналом типу p. Таку схему називають схемою на МДН - транзисторах з доповнюючими типами провідності, або комплементарною схемою на МДН - транзисторах (КМДН- схемою).

При $E_g = U_0 < U_{п'}$ транзистор VT1 закритий, між затвором і витоком VT2 діє велика **негативна** напруга $U_{зв} = U_0 - E$, яка відкриває транзистор VT2. На виході ключа маємо високий рівень напруги $U_{вих} = U_1$. При $E_g = U_1 > U_{п''}$ транзистор VT1 відкритий, при цьому напруга $U_{зв} = U_1 - E$ близька до нуля і VT2 закритий. На виході схеми маємо низький рівень напруги $U_{вих} = U_0$.

Таким чином, у кожному зі сталих станів один транзистор закритий, а інший - відкритий і схема практично **не споживає струм**. Струми в схемі можуть виникати лише в короткі проміжки часу, у які ключ переключається з одного стану в інший, коли бувають відкритими обидва транзистори. **Поряд із малою споживаною потужністю КМДН ключ має і більш високу швидкодію в**

порівнянні з іншими схемами на польових транзисторах. Це обумовлено тим, що ємності схеми швидко перезаряджаються через малий опір того з транзисторів, який у даний момент відкритий.

1.1.3 Транзисторний перемикач струму (струмовий ключ)

Схема перемикача струму наведена на рис.1.8. Перемикач струму, побудований на транзисторах VT1, VT2 і резисторах R1 - R6, являє собою диференційний підсилювач, що працює в режимі великого сигналу.

Коло на резисторах R4, R5 і конденсаторі C забезпечує перемикач струму опорною напругою $U_{оп}$, щодо якої здійснюється переключення. При наявності на базі VT1 напруги $E_g = U_0 < U_{оп}$ транзистор VT1 закритий, а транзистор VT2 - відкритий, оскільки напруга на базі VT2 вище, ніж на базі VT1. При опорній напрузі $U_{оп} = -1,2$ В і падінні напруги на переході база-емітер відкритого транзистора біля 0,8 В, напруга в емітерному вузлі U_e складе - 2,0 В.

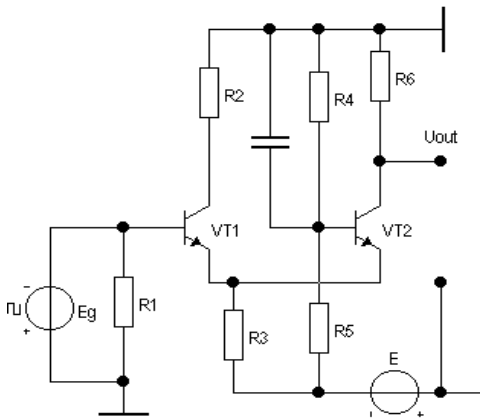


Рисунок 1.8 - Перемикач струму (струмовий ключ)

При вхідній напрузі $E_g = U_0 < U_e$ транзистор VT1 закритий і струм, що протікає через резистор R3, тече через транзистор VT2 і резистор R6. На колекторі VT2 формується низький рівень напруги, значення котрого дорівнює $U_{вих} = ((E - U_e) * R6 / R3)$.

При надходженні на базу VT1 високого рівня напруги $E_g = U_1 > U_{оп}$ відкривається транзистор VT1 і весь струм, що протікає через

резистор R3, переключається в коло колектора транзистора VT1 і резистора R2.

У емітерному вузлі встановлюється напруга $U_e = U_{вх} - U_{бе}$, що запирає транзистор VT2, оскільки $U_{бе}$ VT2 дорівнює $U_{оп} - U_e$ і менша напруги відмикання транзистора. На колекторі VT2 установлюється високий (відносно напруги живлення) рівень напруги $U_{вих} = U_1 \approx 0$. Оскільки на виході схеми рівні сигналу не збігаються з рівнями вхідного сигналу, для передачі вихідного сигналу на наступний ключ необхідні додаткові схеми сполучення рівнів, що зміщують рівень вихідного сигналу в область більш негативних значень.

Внаслідок того, що амплітуда вихідного сигналу в струмовому ключі менша, ніж у ключі напруги, транзистори працюють в активному режимі і не входять в область насичення. Таким чином, струмові перемикачі є **найбільш швидкодіючими** ключовими схемами.

1.2 Підготовка до роботи

1.2.1 Користуючись рекомендованою літературою і даними методичними вказівками вивчити: роботу електронного ключа на біполярному транзисторі в статичному і динамічному режимах; роботу перемикача на МДН - транзисторі з індукційним каналом; роботу транзисторного перемикача струму.

1.2.2 Відповісти на контрольні питання.

1.2.3 Підготувати протокол досліджень, аналогічний таблиці 1.1.

Таблиця 1.1 - Результати дослідження електронних ключових схем

Найменування досліджуваної схеми	Статичні параметри				Динаміч. параметри			
	Вхідні		Вихідні		$t_{зт}^{10}$, нс		$t_{зт}^{01}$, нс	
	Uп'	Uп''	U ₁	U ₀	Сн'	Сн''	Сн'	Сн''

Таблиця 1.2 - Таблиця варіантів

Номер варіанту	Види схем
1	Рис.1.9 і Рис. 1.12
2	Рис.1.10 і Рис.1.12
3	Рис.1.11 і Рис.1.12
4	Рис.1.9 і Рис.1.13
5	Рис.1.11 і Рис.1.14
6	Рис.1.11 і Рис.1.15
7	Рис.1.10 і Рис.1.13
8	Рис.1.12 і Рис.1.17
9	Рис.1.13 і Рис.1.9
10	Рис.1.10 і Рис.1.16

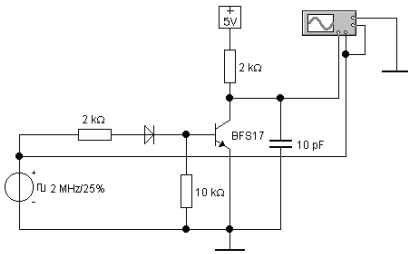


Рисунок 1.9 - Ключ на біполярному транзисторі

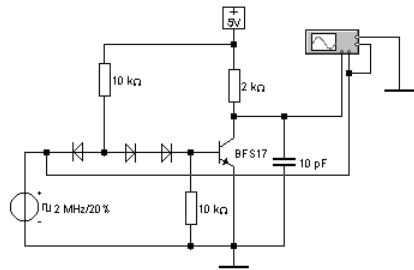


Рисунок 1.10 - Ключ на біполярному транзисторі з діодно-резистивним входним КОЛОМ

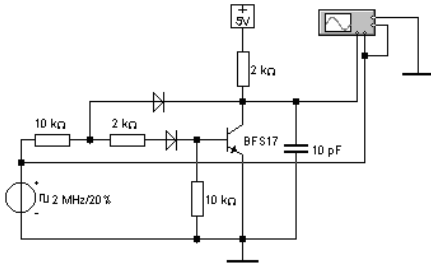


Рисунок 1.11 - Ключ на біполярному транзисторі з нелінійним зворотним зв'язком

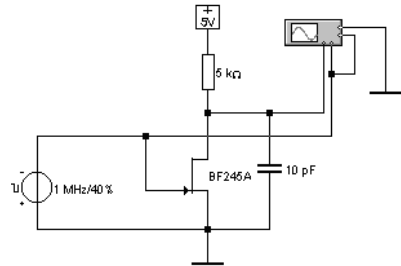


Рисунок 1.12 - Ключ на польовому транзисторі з каналом n - типу

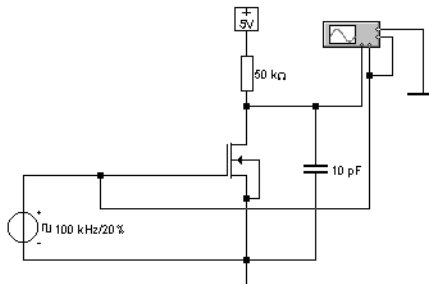


Рисунок 1.13 - Ключ на МОН - транзисторі з n - каналом

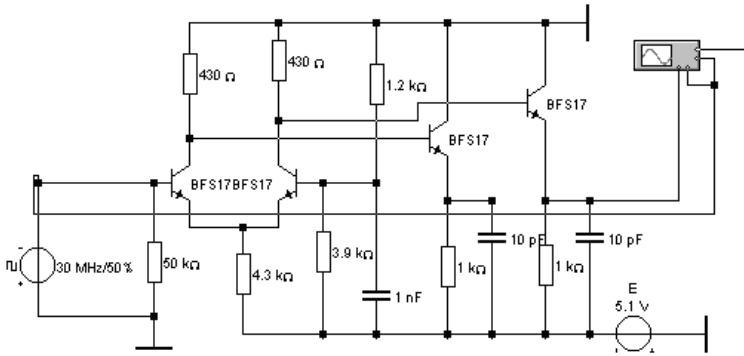
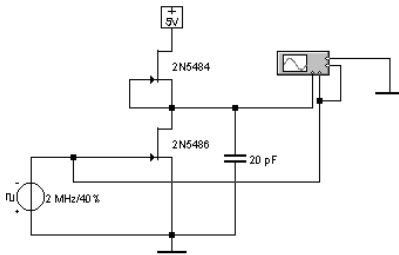
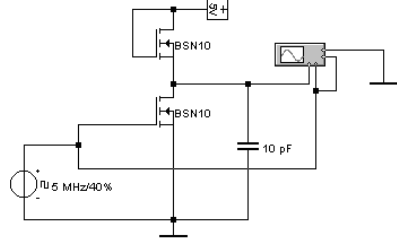
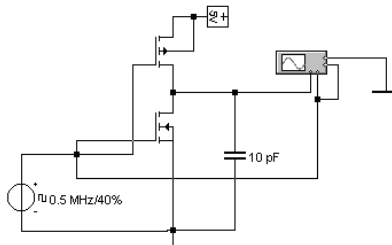


Рисунок 1.14 - Перемикач струму

Рисунок 1.15 - Ключ на
польовому транзисторі з
каналом п -типу і нелінійним
навантаженнямРисунок 1.16 - Ключ на МОН-
транзисторах з каналами п -типу
і нелінійним навантаженнямРисунок 1.17 – Комплементарний ключ на МОН- транзисторах з
каналами різноманітних типів провідності

1.3 Порядок виконання роботи

1.3.1 Зберіть на робочому столі «Electronics Workbench» принципові схеми відповідно до заданого варіанту (таблиця 1.2). Проведіть нумерацію вузлів в схемі. Для цього виконайте з меню Circuit команду Schematic Options->Show/Hide->Show Reference ID->Show nodes.

1.3.2 Проведіть моделювання передаткової функції ключової схеми, що досліджується. Для цього необхідно виконати команду Parameter Sweep з меню Analysis. Після виконання цієї команди на робочому столі EWB з'явиться діалогове вікно установки параметрів режиму моделювання Parameter Sweep. Встановіть параметри режиму моделювання згідно даних, наведених на рис. 1.18.

При виконанні команди Simulate на робочому столі EWB з'явиться діалогове вікно Analysis Graphs/Parameter з результатами моделювання передаткової функції.

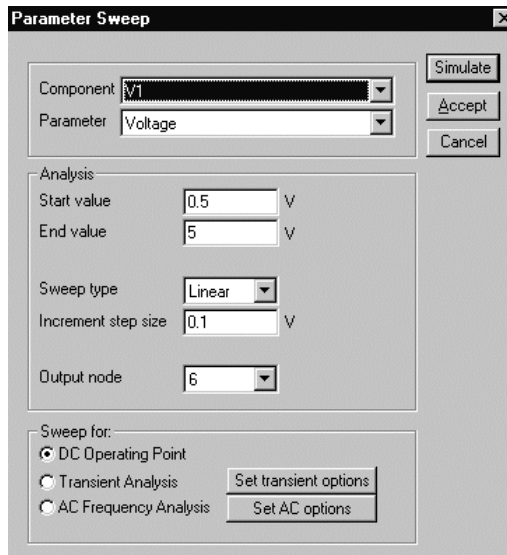


Рисунок 1.18 – Вікно встановлення параметрів моделювання

Наведіть курсор на графік, та клацніть правою кнопкою миши. В меню, що з'явиться, виконайте команду **Toggle Cursors**. При виконанні цієї команди з'являться курсори, за допомогою яких виміряйте значення U_p' та U_p'' вхідних сигналів, що відповідають моменту виникнення (появи) вихідних сигналів і моменту досягнення вихідними сигналами мінімальної амплітуди. Зафіксуйте значення U_1 і U_0 вихідних сигналів. Отримані результати внести до таблиці 1.1.

Приклад моделювання передаткової функції схеми, що наведена на рис. 1.9 при вказаних на рис. 1.18 параметрах, приведений на рис. 1.19.

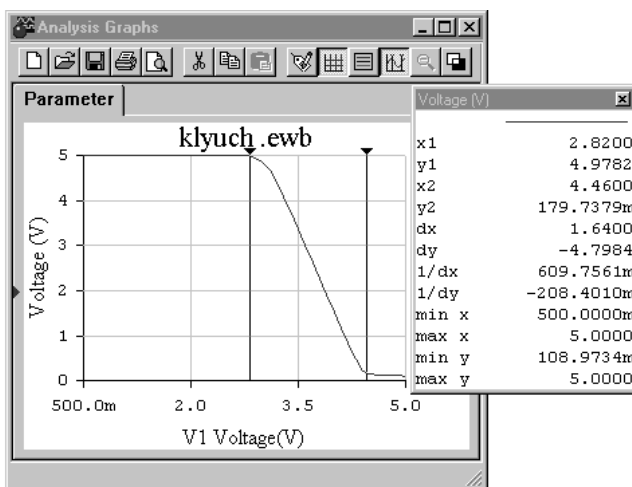


Рисунок 1.19 – Результати моделювання передаткової функції

1.3.3 Активізуйте джерело вхідних сигналів і встановіть значення напруги рівним 5 В. Встановіть такі положення органів керування осцилографа: Ку обох каналів - **2 V/div**; Trigger - у положення **Ext**; входи обох каналів - **DC**. Інші значення параметрів вхідних сигналів і органів керування осцилографа установіть відповідно до таблиці 1.3. Отримайте на екрані осцилографа осцилограми сигналів на вході (виході джерела сигналу) і на виході схеми.

1.3.4 Переведіть зображення осцилографа в режим «**Expand**» і, змінюючи коефіцієнт розгортки осцилографа, виконайте вимірювання

часу затримки переключення ключової схеми зі стану логічної одиниці в стан логічного нуля $t_{зт}^{10}$, та із стану логічного нуля в стан логічної одиниці $t_{зт}^{01}$ (рис.1.20). Внесіть отримані результати до таблиці 1.1.

Таблиця 1.3 - Вихідні положення органів керування засобів вимірювань

Досліджу- вана схема	Джерело вхідних сигналів		Осцилограф	
	F(Mhz)	D(%)	Kx(μ s/div)	External level(V)
Рис.1.9	5.0	20	0.05	+0.1
Рис.1.10	5.0	25	0.05	+0.1
Рис.1.11	5.0	30	0.05	+0.1
Рис.1.12	0.05	20	2.0	-0.1
Рис.1.13	0.05	30	2.0	+0.1
Рис.1.14	10.0	50	0.02	-0.1
Рис.1.15	0.05	20	2.0	-0.1
Рис.1.16	0.05	30	2.0	+0.1
Рис.1.17	0.1	40	2.0	+0.1

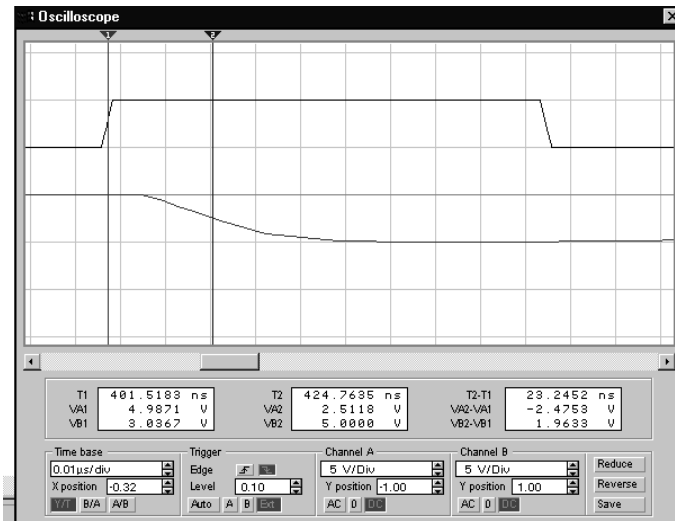


Рисунок 1.20 – Осцилограма сигналів на вході і виході ключової схеми

1.3.5 Збільште ємність навантаження на 100 % і знову виконайте вимірювання часів $t_{\text{зт}}^{01}$ і $t_{\text{зт}}^{10}$ вихідного сигналу. Внесіть отримані результати до таблиці 1.1.

1.4 Зміст звіту

Звіт повинен мати:

- назву та мету роботи;
- схеми досліджуваних ключових схем згідно варіанту;
- результати досліджень у вигляді таблиці 1.1;
- висновки по параметрах ключових схем різноманітних видів.

КОНТРОЛЬНІ ПИТАННЯ

1 У чому полягає призначення ключових схем у схемотехніці цифрових пристроїв?

2 Перерахуйте різновиди електронних ключових схем.

3 Якому значенню дорівнює напруга на виході ключової схеми на біполярному транзисторі, якщо транзистор знаходиться в режимі насичення?

4 Як впливає ємність навантаження на час переключення схеми?

5 Якими засобами можна зменшити час переключення ключових схем на біполярних транзисторах?

6 Перерахуйте статичні та динамічні параметри електронного ключа.

7 Яка зі схем ключів споживає найменшу енергію? Аргументуйте відповідь.

8 Яка зі схем ключів є найбільш споживаючою?

9 Яка зі схем ключів є найбільш швидкодіючою?

10 Яка зі схем ключів створює найменші завади в колі живлення?

11 Яка зі схем ключів є найбільш завадостійкою?

ЛІТЕРАТУРА

1 Калабеков Б.А., Мамзев І.А. Цифровые устройства и микропроцессорные системы. - М.: Радио и связь, 1987.- 400с.

Лабораторна робота № 2

ЛОГІЧНІ ЕЛЕМЕНТИ ТА ІНТЕГРАЛЬНІ СХЕМИ

Мета роботи – вивчити логічні елементи, які реалізують елементарні функції булевої алгебри та вивчити схемотехніку базових логічних елементів інтегральних схем і познайомитися зі значеннями їхніх основних параметрів.

2.1 Підготовка до роботи

2.1.1 Користуючись розділом 2.4 даних методичних вказівок та рекомендованими джерелами вивчити загальні поняття алгебри логіки, ознайомитись з елементарними функціями булевої алгебри від двох аргументів; ознайомитись з табличним та аналітичним способами задання функцій; скласти таблиці істинності для двохвходових логічних елементів, заданих таблицею варіантів (таблиця 2.1); відповісти на контрольні питання.

2.1.2 Підготувати протокол результатів досліджень, за аналогією таблиці 2.2.

2.1.3 Вивчити принципи роботи логічних елементів (ЛЕ), виконаних за технологією ТТЛ, ТТЛШ, ЕЗЛ, КМДН; вивчити номенклатуру параметрів, що характеризують властивості ЛЕ, і познайомитися з їхніми значеннями; відповісти на контрольні питання.

2.1.4 Відповідно з заданим варіантом (таблиця 2.3) підготувати протокол результатів дослідження, аналогічний таблиці 2.4

2.2 Порядок виконання роботи

2.2.1 Створіть схему досліджень логічного елементу у відповідності з рис. 2.1 та заданим варіантом (таблиця 2.1).

2.2.2 Активізуйте логічний перетворювач ті відкрийте його головну панель.

2.2.3 Для отримання на екрані логічного перетворювача таблиці істинності клацніть лівою кнопкою миши на  →  у верхній частині панелі “Conversions”.

Перенесіть таблицю у протокол.

2.2.4 Клацніть на  →  та отримайте аналітичний вираз для функції, яку виконує ЛЕ. Занесіть її у протокол.

2.2.5 Повторіть пункти 2.2.1–2.2.4 для кожного ЛЕ, наданого у таблиці варіантів, але у цьому разі елементи № 1, 2, 4 та 5 повинні бути тривхідні.

2.2.6 Отримані результати необхідно надати викладачу.

Таблиця 2.1 – Таблиця варіантів

Номер варіанту	Порядкові номери ЛЕ у панелі “Logic gates” (верхній рядок)
1	1, 3, 6, 9
2	2, 4, 7, 10
3	1, 3, 5, 8
4	2, 4, 6, 9
5	3, 5, 7, 10
6	1, 4, 6, 8
7	2, 5, 7, 9
8	3, 6, 8, 10
9	1, 4, 7, 9
10	2, 5, 8, 10

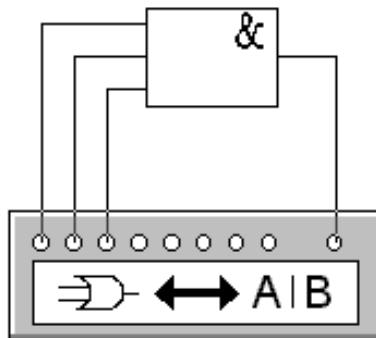


Рисунок 2.1 – Схема підключення логічного елемента до логічного перетворювача

Таблиця 2.2 – Результати досліджень

Умовне графафічне позначення (УГП) досліджуваних ЛЕ	Таблиці істинності	Аналітичний вираз	Назва логічного елементу

2.2.7 Використовуючи ЛЕ з бункера “Digital ICs” відповідно до заданого варіанта (таблиця 2.3), зібрати на робочому столі ”Electronics Workbench” схему, аналогічну рис. 2.2. Входи невикористаних ЛЕ IC приєднати до виходу ЛЕ, що досліджується.

2.2.8 Активізувати ярлик мікросхеми та вибрати логіку “TTL-LS” для серії 74 та “CMOS-4000 5 V” для серії 4000. Встановити на генераторі кодів слів такі параметри: Frequency - **9.9 kHz**; запуск - **External**; Pattern - **Up Counter**. Встановити на логічному аналізаторі такі параметри і режими роботи: Clock mode - **Internal**; Internal clock rate - **10 kHz**.

2.2.9 Одержати на екрані логічного аналізатора часові діаграми сигналів одного із ЛЕ, що входить до складу інтегральної схеми, скласти за нею таблицю істинності і внести її до таблиці 2.4.

2.2.10 Створити на робочому столі ”Electronics Workbench” схему відповідно до рис. 2.3. Входи невикористаних ЛЕ IC приєднати до виходу ЛЕ, що досліджується.

2.2.11 Встановити такі параметри джерела сигналів: частота - 20 MHz для 74LS та 5 МГц для 4000_5V; коефіцієнт заповнення - 40 %, амплітуда - 5 В.

2.2.12 Виконайте за допомогою осцилографа виміри часу затримки переключення t^{01} і t^{10} логічного елемента на рівні 0.5 амплітуди. Результати вимірювань внести до таблиці 2.4.

Таблиця 2.3 - Таблиця варіантів

Номер варіанту	Види ЛЕ
1	7400_LS і 4072_5V
2	7408_LS і 4012_5V
3	7432_LS і 4082_5V
4	7440_LS і 4025_5V
5	7420_LS і 4075_5V
6	7411_LS і 4030_5V
7	7427_LS і 4000_5V
8	7451_LS і 4070_5V
9	7486_LS і 4023_5V
10	7437_LS і 4077_5V

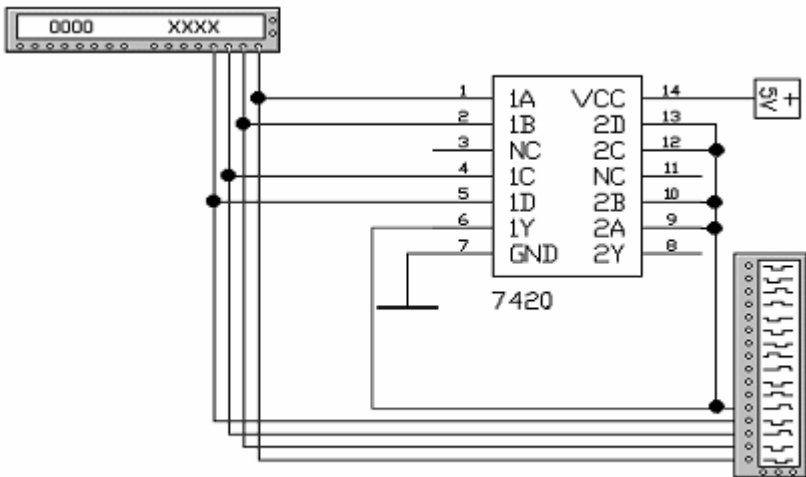


Рисунок 2.2 – Схема з'єднань для одержання таблиці істинності

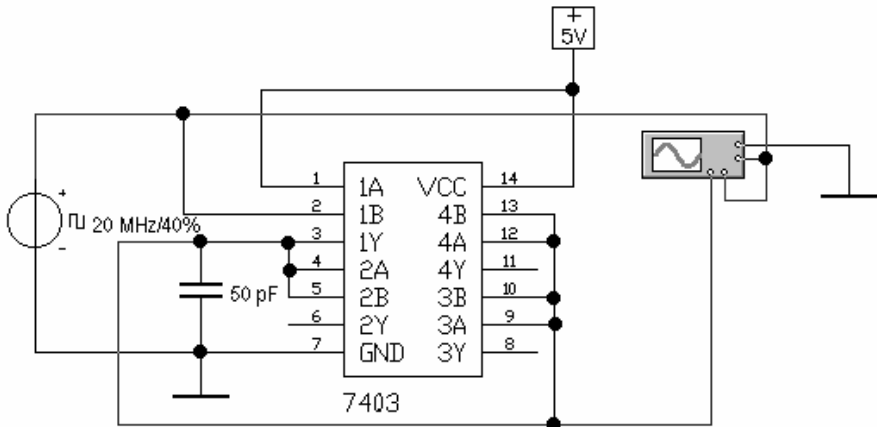


Рисунок 2.3 – Схема вимірювань динамічних параметрів ЛЕ

Таблиця 2.4 - Результати іспитів і вимірювань

Назва ЛЕ	Часові діаграми сигналів	Часи переключення		
		(t^{01}) , нс	(t^{10}) , нс	Довід. значення

2.3 Зміст звіту

Звіт повинен мати:

- назву та мету роботи;
- умовні графічні зображення досліджуваних ЛЕ;
- таблиці істинності досліджуваних логічних елементів та динамічні параметри досліджуваних ЛЕ у вигляді таблиць 2.2 та 2.4;
- довідкові параметри для базового ЛЕ даної серії;
- висновки з роботи, що містять порівняльну характеристику параметрів ЛЕ, виготовлених по різній технології і схемотехніці.

2.4 Стислі теоретичні відомості

2.4.1 Поняття алгебри логіки

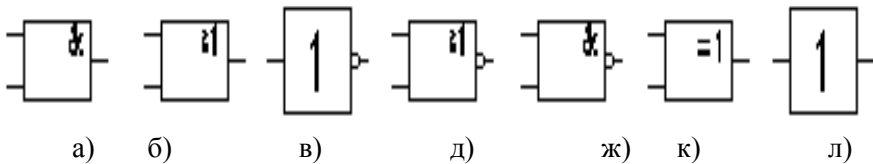
Логічними змінними у булевій алгебрі називаються величини, які незалежно від своєї фізичної сутності, можуть приймати тільки два стани – 0 та 1. Символи 0 та 1 у алгебрі логіки не мають ніякого кількісного глузду, тобто не є числами, як у двійковій арифметиці, а тільки характеризують стан кіл, елементів, дій, сигналів.

Булевою функцією $f(x_1, x_2, x_3, \dots, x_n)$ називають функцію, яка також і її n аргументів, можуть приймати тільки два значення – 0 та 1.

Булеві функції від двох аргументів надані у таблиці 2.5.

Двомістні булеві функції $F_0 \dots F_{15}$ і n -містні кон'юнкцію та диз'юнкцію називають **елементарними** булевими функціями.

Логічними елементами (ЛЕ) називаються функціональні елементи електронної техніки, які реалізують функції алгебри логіки так, що стан їх виходів однозначно визначається комбінацією вхідних сигналів. Умовні графічні позначення (УГП) деяких логічних елементів наведені на рис. 2.4.



- а- елемент І (кон'юнктор);
- б- елемент АБО (диз'юнктор);
- в- елемент НІ (інвертор);
- д- елемент АБО-НІ(Пірса);
- ж- елемент І-НІ (Шефера);
- к- елемент ВИКЛЮЧНЕ АБО(суматор за модулем 2);
- л- повторювач.

Рисунок 2.4 – Умовні графічні позначення ЛЕ

Таблиця 2.5 – Булеві функції від двох аргументів

Позначення функції	Назва функції	0	0	1	1	X0	Змінні
		0	1	0	1	X1	
0	Константа 0	0	0	0	0	F0	Логічні функції
$X0 \wedge X1$	Кон'юнкція	0	0	0	1	F1	
$X0 \rightarrow X1$	Заперечення X1	0	0	1	0	F2	
X0	Повтор X0	0	0	1	1	F3	
$X1 \rightarrow X0$	Заперечення X0	0	1	0	0	F4	
X1	Повтор X1	0	1	0	1	F5	
$X0 \oplus X1$	Виключне АБО	0	1	1	0	F6	
$X0 \vee X1$	Диз'юнкція	0	1	1	1	F7	
$X0 \downarrow X1$	Стрілка Пірса	1	0	0	0	F8	
$X0 \sim X1$	Рівнозначність	1	0	0	1	F9	
$\underline{X1}$	Інверсія X1	1	0	1	0	F10	
$X1 \rightarrow X0$	Імплікація від X1 до X0	1	0	1	1	F11	
$\underline{X0}$	Інверсія X0	1	1	0	0	F12	
$X0 \rightarrow X1$	Імплікація від X0 до X1	1	1	0	1	F13	
$X0 / X1$	Штрих Шефера	1	1	1	0	F14	
1	Константа 1	1	1	1	1	F15	

2.4.2 Типи логічних інтегральних схем

Інтегральна мікросхема - мікроелектронний виріб, що виконує певну функцію перетворення сигналів або накопичування інформації і має високу щільність упакування електрично з'єднаних елементів.

Окремі ІС, що об'єднані за типом технології виготовлення, конструктивним оформленням, електричними параметрами і використаним однаковим способом представлення інформації, утворюють **серію ІС**.

У залежності від типу компонентів, на яких реалізуються логічні функції, розрізняють такі типи ІС:

- з транзисторно-транзисторною логікою (ТТЛ);
- з ТТЛ і діодами Шотткі (ТТЛШ);
- з емітерно-зв'язаною логікою (ЕЗЛ);
- з інжекційною інтегральною логікою (ІІЛ);
- схеми на МДН-транзисторах n- типу (nМДН);
- схеми на МДН-транзисторах p- типу (рМДН);
- схеми на МДН-транзисторах доповнюючих типів провідності, (КМДН).

2.4.2.1 Базовий логічний елемент транзисторно-транзисторної логіки

Схема базового ЛЕ ТТЛ подана на рис.2.5.

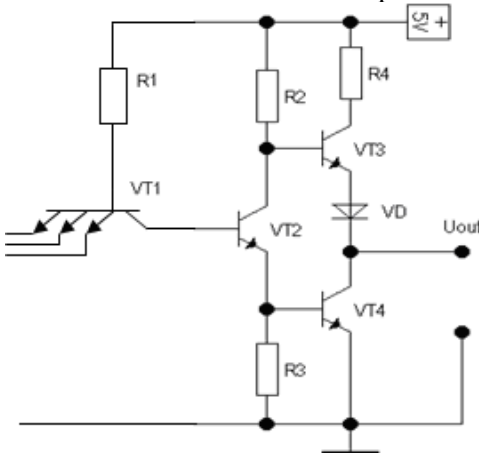


Рисунок 2.5 -Базовий логічний елемент транзисторно-транзисторної логіки

Основним його елементом є вхідний багатомітерний транзистор VT1, що виготовляється по інтегральній технології разом з іншими елементами схеми. Якщо на будь-який із його входів поданий сигнал низького рівня (≤ 0.4 В), через резистор R1 і відповідний емітер транзистора VT1 потече струм, у результаті чого на базі транзистора VT2 установиться потенціал низького рівня і транзистори VT2, VT4 закриються, а транзистор VT3 - відкриється. На виході елемента (колектор VT4) з'явиться сигнал високого рівня (≥ 2.4 В).

Якщо прийняти, що напруга ≤ 0.4 В відповідає логічному "0", а напруга > 2.4 В - логічній "1" (позитивна логіка), то можна сказати, що схема рис. 2.5 реалізує булеву функцію І-НІ для сигналів високого рівня.

Оскільки в схемі рис. 2.5 у будь-який момент часу відкритий або транзистор VT3, або транзистор VT4, а опір резистора R4 малий, це забезпечує малий час перезарядки паразитних ємностей на виході схеми, і, отже, забезпечує високу швидкодію. Проте, у моменти переключення з одного стану в інший, коли відкривається транзистор VT3 і закривається транзистор VT4 (і навпаки), обидва транзистори знаходяться в провідному стані, **що призводить до виникнення стрибка струму в колі джерела живлення. Стрибки струму не тільки створюють завади, але і збільшують потужність, що розсіюється елементом, особливо при роботі на високих частотах переключення.**

Оскільки транзистори ТТЛ - схем у провідному стані знаходяться в області насичення, швидкодія схеми обмежена часом розсосування носіїв у базах транзисторів. Ця проблема подолана в ТТЛ - схемах із діодами Шотткі (ТТЛШ).

Схема ІС типу ТТЛШ аналогічна схемі ІС типу ТТЛ за винятком того, що в схемі використані транзистори, до переходів база-колектор яких підключені діоди Шотткі, що запобігають насиченню транзисторів.

2.4.2.2 Елемент емітерно-з'язаної логіки

Схема логічного елемента ЕЗЛ - типу показана на рис. 2.6

2.4.2.3 Логічні елементи КМДН - типу

Схема логічного елемента на МДН - транзисторах доповнюючих типів провідності (комплементарних структурах) наведена на рис. 2.7.

Для з'ясування принципу роботи даної схеми необхідно пам'ятати, що транзистор із каналом р-типу відкривається, коли потенціал затвора щодо витоку стає негативним, а транзистор із каналом n-типу відкривається, коли потенціал затвора щодо витоку стає позитивним.

Тому, тільки тоді, коли на усіх входах ЛЕ (і на затворі VT4, і на затворі VT5, і на затворі VT6) присутні потенціали високого рівня, транзистори VT4, VT5 і VT6 будуть відкриті, а транзистори VT1, VT2 і VT3 будуть закриті, і вихідна напруга буде низькою. Якщо хоча б на одному із входів з'явиться сигнал низького рівня, при цьому нижній транзистор закриється, а один із верхніх транзисторів відкривається і вихідна напруга стане близькою до напруги джерела живлення. Отже, для позитивної логіки дана схема реалізує булеву функцію 3І-НІ.

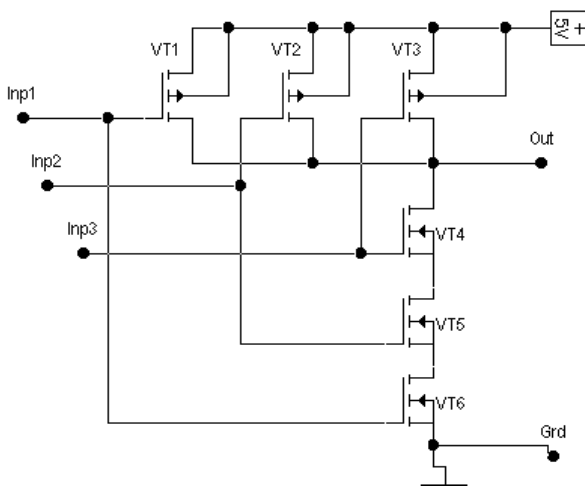


Рисунок 2.7 - Логічний елемент КМДН типу

Оскільки схеми даного типу мають низький вихідний опір як у стані логічного "0" (відкриті і VT4, і VT5, і VT6), так і в стані логічної "1" (відкриті або VT1, або VT2, або VT3), швидкодія схеми вище, ніж у звичайних схемах на n-МДН- або на р-МДН-транзисторах.

Крім того, дуже мала потужність, що розсіюється схемою. Проте, ці схеми, подібно ТТЛ схемам, можуть мати в циклі переключення стадію, коли виникає наскрізний струм через відкриті транзистори р- і n-типу, що створює завади в колі джерела живлення.

2.4.3 Основні параметри логічних елементів

Технічні можливості ЛЕ оцінюються по таких параметрах: рівнях логічного "0" і логічної "1", завадостійкості, швидкодії, потужності, що розсіюється, коефіцієнту об'єднання по входу, коефіцієнту розгалуження по виходу і деяким іншим.

Рівень логічної "1" ("0") - значення напруги, що відповідає логічній "1" ("0") з урахуванням полярності напруги.

Завадостійкість - спроможність елемента правильно функціонувати при наявності завад. Характеризується найбільшим значенням сигналу завади, при котрому ще не відбувається помилкове спрацювання ЛЕ. У загальному випадку розрізняють статичну і динамічну завадостійкість.

Статична завадостійкість визначається як максимальне, відхилення напруги вхідного сигналу від номінального рівня логічної "1" ("0") (необмежене по тривалості), при якому рівень вихідного сигналу залишається незмінним.

Динамічна завадостійкість характеризується критичною тривалістю імпульсу перешкоди, при якій амплітуда завади відповідає рівню статичної завадостійкості. Динамічна завадостійкість залежить від тривалості, амплітуди і форми сигналу завади, від рівня статичної завадостійкості і швидкості переключення ЛЕ.

Швидкодія - характеризується середньою затримкою поширення сигналу, що являє собою інтервал часу між зміною станів вхідного і вихідного сигналів, і визначається як напівсума затримок переключення по фронту і спаду вихідного сигналу щодо фронту і спаду вхідного сигналу.

Потужність, що розсіюється елементом, визначається добутком значення напруги, що живить елемент, на середнє значення струму, споживаного ЛЕ. У загальному випадку розрізняють статичну і динамічну потужність, що розсіюється. Потужність, споживана в статичному режимі, визначається як напівсума потужностей, що розсіюються логічним елементом у станах логічного "0" і логічної "1". Динамічна потужність визначається значенням статичної потужності і частотою переключення логічного елемента.

Коефіцієнт об'єднання по входу - це число входів ЛЕ, по яких реалізується логічна функція (або число аналогічних ЛЕ, що можуть бути підключені на вхід даного елемента).

Коефіцієнт розгалуження по виходу - максимальне число аналогічних ЛЕ, що можна підключити своїми входами до виходу даного елемента без порушення його працездатності.

Значення деяких параметрів логічних ІС різних типів надані у таблиці 2.6, а їхні порівняльні параметри - у таблиці 2.7

Таблиця 2.6 - Значення параметрів ЛЕ різних серій ІС

Параметр	Види ЛЕ і серії ІС					
	ТТЛ	ТТЛШ		ЕЗЛ	КМДН	
	<u>K155</u> SN74	<u>K555</u> SN74LS	<u>KP1531</u> SN74F	<u>K1500</u> F100K	<u>K176</u> 4000A	<u>K561</u> 4000B
Рів. лог."1", В	2.4	2.7	2.7	-0.88	8.2	4.99
Рів. лог."0", В	0.4	0.5	0.5	-1.81	0.3	0.01
Розс. потуж. мВт/ЛЕ	10	2.4	4.0	50	0.01	0.01
Час перекл.,нс	20	7.0	3.0	1.5	500	200

Таблиця 2.7 - Порівняння логічних елементів різних типів

Тип схем	Швидко- дія	Розсіювана потужність	Коеф. розг.	Завадо- стійкість	Утворення завад
ТТЛ	3	3	3	2	4
ТТЛШ	2	3	3	2	4
ЕЗЛ	1	5	3	2	1
КМДН	5	2	2	1	2
ПЛ	4	1	1	2	2

Примітка: 1 – найкраще значення параметра; 5 – найгірше значення параметра.

КОНТРОЛЬНІ ПИТАННЯ

- 1 Що розуміється під логічною змінною?
- 2 Наведіть приклади фізичних носіїв логічних змінних.
- 3 Що розуміється під логічною функцією?
- 4 Що надає застосування апарату алгебри логіки щодо опису цифрових схем?
- 5 Наведіть таблиці істиності для елементарних логічних операцій – кон'юнкції, диз'юнкції та заперечення.
- 6 Накресліть вирази для наступних логічних функцій від двох аргументів: кон'юнкції, диз'юнкції, заперечення.
- 7 Що розуміється під логічними елементами?
- 8 Наведіть умовні графічні позначення кон'юнктора; диз'юнктора; інвертора; суматора за модулем 2.
- 9 Що розуміють під логічними елементами?
- 10 Що розуміють під інтегральними схемами (ІС)?
- 11 Що розуміють під серією ІС?
- 12 Перерахуйте основні види схемотехніки логічних ІС.
- 13 Поясніть принципи роботи ЛЕ по його принциповій схемі: для ТТЛ схем; для ТТЛШ схем; для ЕЗЛ схем; для КМДН схем.
- 14 Перерахуйте статичні параметри ІС і назвіть їхні значення для різних видів ІС.
- 15 Перерахуйте динамічні параметри ІС і назвіть їхні значення для різних видів ІС.

ЛІТЕРАТУРА

- 1 Калабеков Б.А., Мамзелев И.А. Цифровые устройства и микропроцессорные системы. - М.: Радио и связь, 1987.- 400с.

Лабораторна робота № 3

ОПЕРАЦІЙНІ ЕЛЕМЕНТИ ЕОМ
КОМБІНАЦІЙНОГО ТИПУ

Мета роботи – ознайомитися з принципами побудови та логікою роботи функціональних вузлів ЕОМ комбінаційного типу, які реалізовані у вигляді інтегральних схем.

3.1 Стислі теоретичні відомості

3.1.1 Шифратори та дешифратори

Шифратор (або *Coder*, англ.) – пристрій, якій виконує перетворення унітарного двійкового коду до позиційного двійкового коду **8421**.

Припустимо, що у шифраторі є m входів, послідовно нумерованих десятковими числами (0,1,2,3, ..., $m-1$), та n виходів. Подання на вхід шифратора кода, який містить тільки одну одиницю (збуджений вхід), викликає формування на виходах шифратора n -розрядного двійкового коду, який відповідає десятковому номеру збудженого входу.

Шифратори широко використовуються у різноманітних пристроях увведення інформації у цифрові системи. Такі пристрої можуть бути обладнані клавіатурою, кожна клавіша якої пов'язана з визначеним входом шифратора. При натисненні обранної клавіші формується сигнал на визначеному вході шифратора, та на його виході з'являється двійкове число, яке відповідає символу клавіши. На рис. 3.1 надано символічне зображення шифратора.

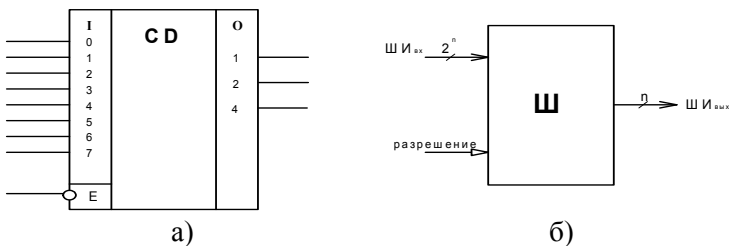


Рисунок 3.1 – Умовне графічне позначення шифратора

Символ CD створен із букв, які входять у англійське слово **CODER**. Ліворуч зображено 8 входів, позначених десятковими цифрами 0,1,...,7. Праворуч зображені виходи шифратора: цифрами 1,2,4 позначені вагові коефіцієнти двійкових розрядів, які відповідають окремим виходам. У табл. 3.1 наведено відповідність десяткового та двійкового кодів.

Таблиця 3.1 - Відповідність десяткових та двійкових чисел

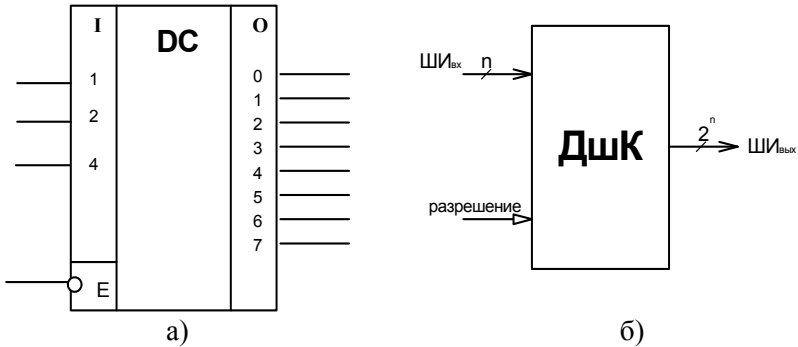
Десяткове число	Двійковий код 8421			
	X_8	X_4	X_2	X_1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Для зворотнього перетворення двійкових чисел в унітарний код використовуються дешифратори (які також мають назву декодери). Входи дешифратора позначені для прийому двійкових кодів, виходи послідовно нумеруються десятковими числами. У момент прийому на входи двійкового числа з'являється сигнал на визначеному виході, десятковий номер якого відповідає вхідному двійковому коду.

Дешифратори широко застосовуються у пристроях керування пам'яттю, а також у пристроях, які друкують на папері числа або текст. У цих пристроях двійкове число, яке подається на вхід дешифратора, викликає появу сигналу на визначеному виході. За допомогою цього сигналу з'являється команда друку символу, який відповідає вхідному двійковому коду.

На рис. 3.2 наведено символічне зображення дешифратора. Символ DC створен із букв англійського слова **DECODER**. Ліворуч позначені входи, на яких є надписи вагових коефіцієнтів двійкових розрядів. Праворуч – пронумеровані десятковими числами виходи які відповідають окремим комбінаціям вхідного двійкового коду. На

кожному виході з'являється рівень лог. 1 тільки при визначеній комбінації вхідного коду.



а) на електричній схемі; б) на операційній схемі.

Рисунок 3.2 – Умовне графічне позначення дешифратора

3.1.2 Перетворювачі кодів

У цифрових пристроях часто виникає необхідність перетворення числової інформації з однієї двійкової системи у іншу (з одного двійкового коду в інший). Прикладом такого перетворення може бути перетворення коду 8421, у якому виконуються арифметичні операції, до двійкового коду 2 з 5, або у код Грея, Хемінга, які застосовуються щодо передавання по лініях зв'язку. Це завдання виконується пристроями, які мають назву перетворювачів кодів.

Для перетворення кодів можливо використовувати два методи:

- заснований на перетворенні вихідного двійкового коду у десятковий та наступному перетворенні десяткового подання до необхідного двійкового коду;
- заснований на використанні логічного пристрою комбінаційного типу, який безпосередньо реалізує це перетворення.

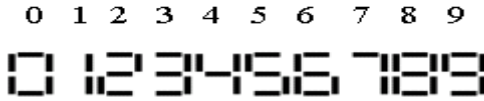
Перший метод структурно реалізується з'єднанням дешифратора та шифратора, має зручність у випадках, коли можливо використовувати стандартні дешифратори та шифратори у інтегральному виконанні.

Розглянемо детальніше другий метод на прикладі перетворювача для цифрової індикації.

Один із способів цифрової індикації складається з наступного:



а)



б)

Рисунок 3.3 – Елементи цифрового індикатора (а) та зображення окремих десяткових цифр (б)

Існує сім елементів, розташованих так, як наведено на рис. 3.3, а. Кожний елемент може світитися або ні, у залежності від значення відповідної логічної змінної, яка керує його станом. Викликаючи ілюмінацію елементів у визначених комбінаціях, отримують зображення десяткової цифри 0, 1, 2, ..., 9 (рис. 3.3, б).

Десяткові цифри, відображення яких необхідно отримати, називають надаються у двійковому коді. При чому виникає задача формування логічних змінних $y_1, y_2, \dots, y_7$ щодо керування окремими елементами у пристрої індикації. Таблиця істиності для змінних наведена у табл. 3.2.

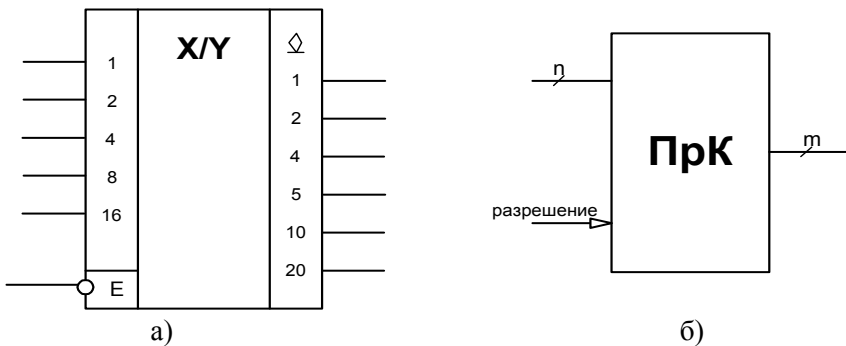
Таблиця 3.2 – Таблиця істиності

Десяткові цифри	Двійковий код 8421				Стан елементів ($Z_1 \dots Z_7$) та значення керуючих сигналів ($y_1, \dots, y_7$)						
	X4	X3	X2	X1	Z1	Z2	Z3	Z4	Z5	Z6	Z7
					y1	y2	y3	y4	y5	y6	y7
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	0	0	1	1	0
4	0	1	0	0	1	0	0	1	1	0	0
5	1	0	0	1	0	1	0	0	1	0	0
6	1	0	1	0	0	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	1	0	0

При формуванні таблиці були прийняті наступні вимоги: якщо елемент індикатора світиться, то це визначає, що він знаходиться у стані лог. 1, якщо не світиться, то він знаходиться у стані лог. 0; керування елементом діє таким чином, що високий рівень лог. 1 на деякому вході індикатора викликає погашення відповідного елементу (щоб i -й елемент не світився та $Z_i=0$ необхідно подати на i -й вхід індикатора керуючий сигнал $Y_i=1$). Таким чином, $Y_i=Z_i$. Наприклад, для ілюмінації цифри 0 необхідно погасити 7-й елемент ($Z_i=0$), але залишити інші елементи у стані ілюмінації; при цьому керуючий сигнал $y_7=1$, інші керуючі сигнали $y_1, \dots, y_6$ повинні мати рівень лог. 0.

Формування керуючих сигналів виконується логічним пристроєм яке необхідно синтезувати.

Умовне графічне позначення перетворювача коду у схемі електричній та у операційній схемі наведено на рис. 3.4.



а) на схемі електричній; б) на операційній схемі.

Рисунок 3.4 – Умовне графічне позначення перетворювача двійкового коду у двійково-десятиковий

3.1.3 Мультиплексори та демультиплексори

Мультиплексор є пристроєм який виконує вибірку одного з декількох входів та під'єднує його до свого виходу. Мультиплексор має декілько інформаційних входів ($D_0, D_2, \dots$), адресні входи ($A_0, A_1, \dots$), вхід для отримання стробуючого сигналу S та один вхід Q . На рис. 3.5 наведено символічне зображення мультиплексору із чотирма інформаційними входами.

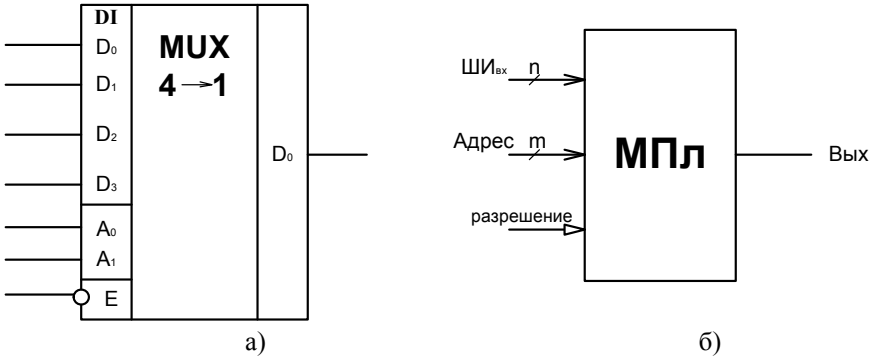


Рисунок 3.5 – Умовне графічне позначення мультиплексора

Кожному інформаційному входу мультиплексора надається номер який має назву адреси. У момент подання стробуючого сигналу до входу С мультиплексор виконує вибір одного з входів, адреса якого задається двійковим кодом на входах адреси та під'єднує його до виходу. Зрозуміло, що кількість інформаційних входів Падр зв'язані співвідношенням $\text{Пінф} = 2\text{Падр}$

При значенні стробуючого сигналу $E=1$ зв'язок між інформаційним входом та виходом відсутня ($Q=0$). При $E=0$ на вихід подається логічний рівень того із інформаційних входів D_i , номер якого i у двійковій формі заданий на адресних входах. При заданні адреси $A_1A_0=11_2=3_{10}$ до виходу Q буде подаватися сигнал інформаційного входу з адресою 3_{10} або D_3 .

Функціонування мультиплексора визначається табл. 3.3

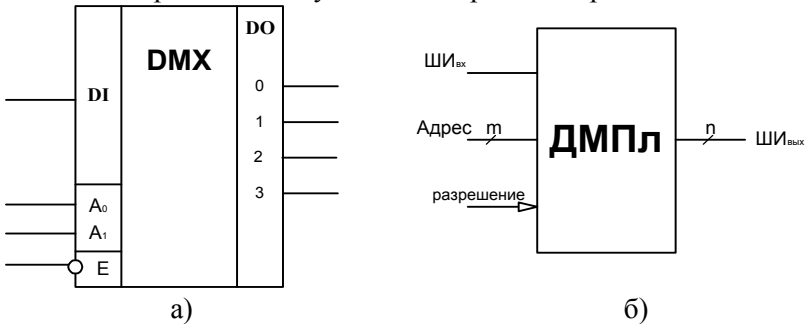
Таблиця 3.3 – Функціонування мультиплексора

Адресні входи		Стробуючий сигнал	Вихід
A1	A0	E	Q
x	x	1	0
0	0	0	D_0
0	1	0	D_1
1	0	0	D_2
1	1	0	D_3

Згідно таблиці маємо висновок, що логічний вираз для Q:

$$Q = (D_0 * \bar{A}_1 * \bar{A}_0 VD_1 * \bar{A}_1 * \bar{A}_0 VD_2 * A_1 * \bar{A}_0 VD_3 * \bar{A}_1 * \bar{A}_0) * \bar{E}$$

Демультимплексор має один інформаційний вхід та декілька виходів. Він є пристроєм, який виконує комутацію входу до одного із виходів, який має потрібний адрес (номер). На рис. 3.6 наведено символічне зображення демультимплексора із чотирьма виходами.



а) на схемі електричній; б) на операційній схемі.

Рисунок 3.6 – Умовне графічне позначення демультимплексора

Функціонування цього демультимплексора визначається табл. 3.4

Таблиця 3.4 – Таблиця істинності демультимплексора

Адресні входи		Виходи			
A1	A2	Y1	Y2	Y3	Y4
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

Використання демультимплексора може суттєво спростити конструювання логічного пристрою, який має декілька виходів, на котрих формуються різні логічні функції тих самих змінних.

Якщо до входу демультимплексора подати константу D=1, то на обраному у відповідності із заданою адресою виході буде лог. 1, на інших виходах – лог. 0. При цьому за виконуємії функцією демультимплексор перетворюється у дешифратор.

За необхідністю мати більшу кількість виходів може бути збудовано демультимплексорне дерево.

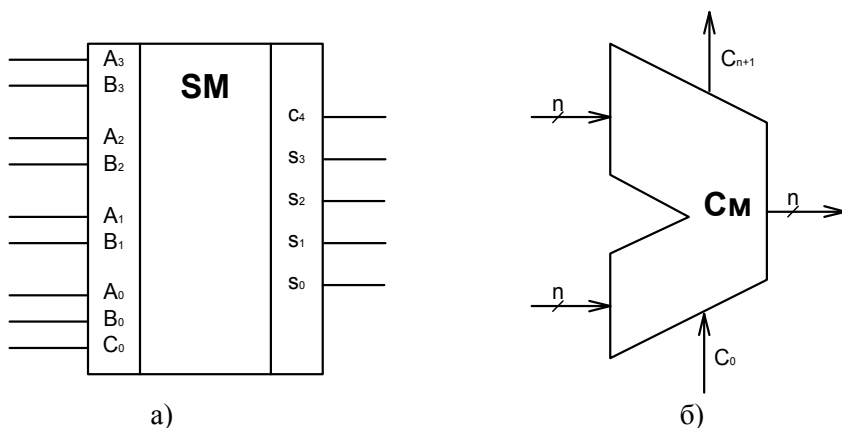
3.1.4 Суматори

Суматори виконують арифметичне (у протилежність логічному) додавання та віднімання чисел. Вони мають самостійне значення та є також ядром схем арифметико-логічних пристроїв (АЛП), які реалізують низку різноманітних операцій та які є найважливішою частиною усіх процесорів.

Апаратна складність та швидкодія суматора є дуже важливими параметрами і тому розроблена велика кількість варіантів суматорів:

- суматор для паралельних операндів із послідовним переносом;
- суматор для паралельних операндів із паралельним переносом;
- суматор групової структури із паралельним міжгруповим переносом;
- суматор із умовним переносом;
- накопичуючий суматор.

На рис. 3.7 наведено умовне графічне позначення суматора.



а) на схемі електричній; б) на операційній схемі.

Рисунок 3.7 – Умовне графічне позначення суматора

Із суматорами можлива реалізація віднімаючих пристроїв, але це не робиться, оскільки віднімання виконується завдяки складанню із застосуванням додаткових або зворотніх кодів.

3.1.4.1 Паралельний суматор із послідовним переносом

Суматор для паралельних операндів із послідовним переносом створюється як ланцюг однорозрядних, з'єднаних послідовно за колами, переносів. Щодо схеми із однорозрядними суматорами, які відтворюють інверсії суми та переносу. Цей ланцюг має вигляд, відображений на рис. 3.8. У тому місці, де у розряд суматора подаються інверсні аргументи, їх лінії мають інвертори, а там де обчислюється інверсна сума, інвертор входить у вихідне коло. Важливо, що інвертори не належать до кола передавання переносу – при цьому вони не уповільнюють роботу суматора.

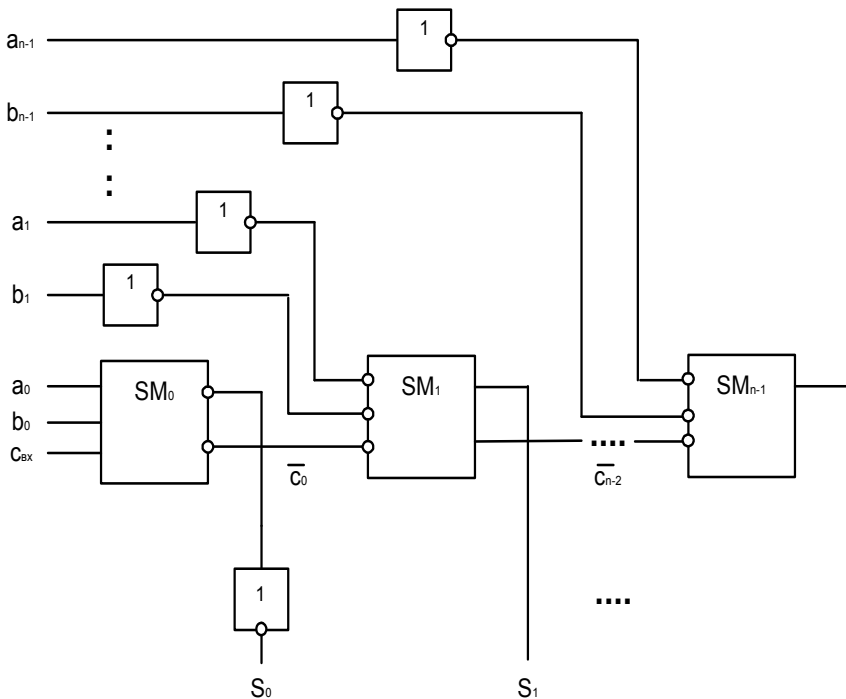


Рисунок 3.8 – Схема суматора із послідовним переносом

Схеми мають модульну структуру, тобто складаються із підсхем (розрядних схем), що значно спрощує їх але не сприяє максимально можливій швидкодії.

Тривалість сумування для цієї схеми у найгіршому випадку розповсюдження переносу по всьому ланцюгу розрядів складає:

$$t_{SM} = t_{AC} + (n - 2) * t_{CC} + t_{CS},$$

де n – розрядність суматора. Як і в інших схемах із послідовним розповсюдженням сигналів від розряду до розряду, тривалість сумування практично пропорційна розрядності суматора.

3.1.4.2 Паралельний суматор із паралельним переносом

Суматори для паралельних операндів з паралельним переносом розроблені для отримання максимальної швидкодії.

Підхід до рішення цієї задачі потребує пояснень. Справа в тому, що суматори, які розглядаються, – комбінаційні схеми, і функції, які ними вироблюються, можуть бути представлені в нормальних формах, наприклад в ДНФ, що призводить до двох'ярусної реалізації за наявності парафазних аргументів та до трьох'ярусної за однофазних аргументів. Таким чином, гранична швидкодія оцінюється (2...3) елементарними затримками. Однак реальні схеми таких меж не досягають, тому що побудова суматорів багаторозрядних слів на основі нормальних форм дало б неприйнятно громіздкі схеми. Реальні суматори з паралельним переносом не мають послідовного розповсюдження переносу уздовж розрядної сітки. В усіх розрядах результати виробляються одночасно, паралельно в часі. Сигнали переносу для даного розряду формуються спеціальними схемами, на входи яких поступають усі змінні, необхідні для вироблення переносу, тобто ті, від яких залежить його наявність або відсутність. Зрозуміло, що це зовнішній вхідний перенос C_{ex} (якщо він є) і значення всіх розрядів доданків, молодших відносно даного. Однорозрядні суматори, які існують в розрядних схемах, тут спрощені, так як від них вихід переносу не потрібен, достатньо одного виходу суми (рис. 3.9). Позначення CR від слова carry (переносити).

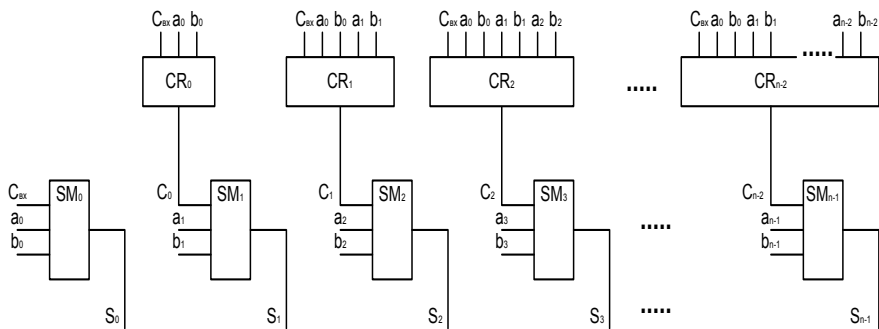


Рисунок 3.9 – Структура суматора з паралельним переносом

Для переходу від ідеї побудови схеми до її конкретного виду зручно ввести дві допоміжні функції: генерації та прозорості.

Функція генерації приймає одиничне значення, якщо перенос на виході даного розряду з'являється незалежно від вхідного переносу.

Вочевидь, що це функція $g_i = a_i b_i$.

Функція прозорості (транзиту) приймає одиничне значення, якщо перенос на виході даного розряду з'являється тільки за умови наявності вхідного переносу. Це функція $h_i = a_i \vee b_i$. Строго кажучи, $h_i = a_i \vee b_i$, однак так як при $a_i = b_i = 1$, тобто в ситуації, де між функціями АБО та ВИКЛЮЧАЮЩЕ АБО проявляється різниця, перенос все рівно формується через $g_i = 1$, припустимо замінити функцію прозорості на диз'юнкцію.

Після цього вираз для сигналу переносу можна записати у вигляді $C_i = g_i \vee h_i C_{i-1}$

На основі отриманого виведемо функції переносу C для нульового, першого та другого розрядів з наступним їх узагальненням.

Перенос на виході молодшого розряду $C_0 = g_0 \vee C_{ex} h_0$, згідно з чим він або генерується самим розрядом ($g_0 = 1$), або пропускається через нього ($h_0 = 1$ та $C_{ex} = 1$).

Аналогічним чином для переносу C_1 на виході наступного розряду вірним є співвідношення $C_1 = g_1 V C_0 h_1$.

Підставивши в це співвідношення вираз для C_0 , отримаємо

$$C_1 = g_1 V g_0 h_1 V C_{ex} h_1 h_0.$$

Для наступного розряду виконаємо ті ж самі дії

$$C_2 = g_2 V C_1 h_2 = g_2 V g_1 h_2 V g_0 h_2 h_1 V C_{ex} h_2 h_1 h_0.$$

Отримані формули мають ясний фізичний сенс – перенос на виході розряду сгенерується в ньому або прийде від попередніх розрядів за прозорості тих, через які він розповсюджується.

Для довільного розряду з номером i можна записати

$$C_2 = g_i V g_{i-1} h_i V g_{i-2} h_i h_{i-1} V \dots V g_0 h_i h_{i-1} \dots h_1 V C_{ex} h_i h_{i-1} \dots h_0.$$

Функції переносу мають нормальну диз'юнктивну форму та можуть бути реалізовані елементами ТА-АБО (чи ТА-АБО-НІ, для $\overline{C}$, якщо це притаманно данній схемотехніці). Однак у цих елементів недостатня кількість входів по ТАК, яке необхідне для побудови багаторозрядного суматора. Тому переважною є схема на елементах ТА-НІ (у стандартних елементів мається до восьми входів по ТА). Переведення отриманих виразів в базис ТА-НІ дають вирази

$$C_0 = \overline{g_0} * \overline{C_{ex} h_0} = \overline{a_0 b_0} * \overline{C_{ex} h_0},$$

$$C_1 = \overline{a_1 b_1} * \overline{a_0 b_0 h_1} * \overline{C_{ex} h_1 h_0},$$

$$C_2 = \overline{a_2 b_2} * \overline{a_1 b_1 h_2} * \overline{a_0 b_0 h_2 h_1} * \overline{C_{ex} h_2 h_1 h_0}.$$

Схема суматора (рис. 3.10) відповідає триманим виразам.

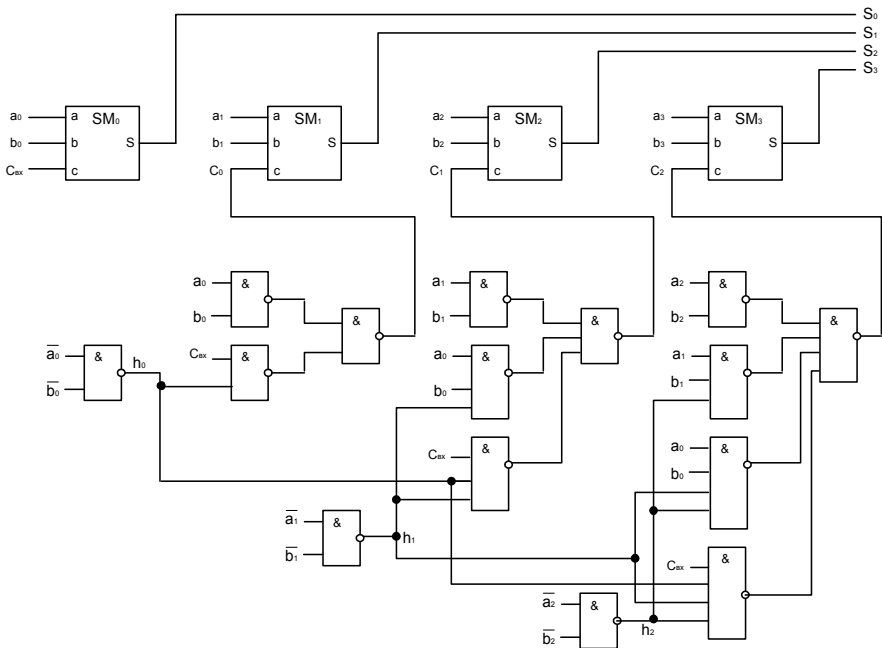


Рисунок 3.10 – Варіант схеми суматора з паралельним переносом

Виходячи з схеми, можна побачити, що час підсумовування складається з часу формування функцій прозорості (одна затримка елемента ТА-НІ, яку позначимо $t_{ЛА}$), часу формування функцій переносу ($2t_{ЛА}$) та затримки спрощених однорозрядних суматорів ($t_{ЛР}$), що в результаті дає $t_{SM} = (4...5)t_{ЛА}$.

Тривалість підсумовування, яка отримана з розгляду логічної схеми суматора, не залежить від його розрядності, що є характерною ознакою структур з паралельними переносами взагалі, і не тільки суматорів. Однак фактично це не зовсім так, оскільки із зростанням розрядності суматора збільшується навантаження елементів схеми, що збільшує їхні затримки. Зокрема, коефіцієнт розгалуження елементів, які виробляють функції прозорості, дорівнює $n^2/4$, тобто квадратично

залежить від розрядності суматора. Тому зростання розрядності уповільнює процес підсумовування.

Діапазон розрядностей, в яких проявляються переваги суматорів з паралельним переносом, невеликий. До $n = 3..4$ переваги мають більш прості схеми суматорів з послідовним переносом, після $n = 8$ з'являються перевантажені елементи та елементи з великою кількістю входів, що уповільнює роботу суматора, потребує що замедляет роботу сумматора, вимагає введення розв'язувальних елементів з їх затримками і т.п.

3.1.4.3 Накопичувальний суматор

Накопичувальний суматор зазвичай представляє собою поєднання комбінаційного суматора та регістру, яке працює за формулою $S := S + A$, згідно якої до вмісту суматора додається черговий доданок, і результат попереднє значення суми. Структура накопичувального суматора показана на рис. 3.11.

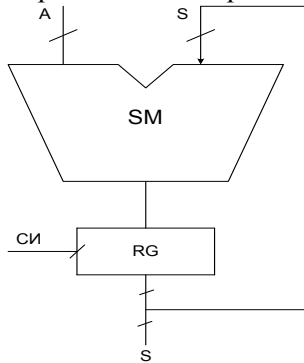


Рисунок 3.11 – Структура накопичувального суматора

Чергове додавання доданку тактирується синхроімпульсами (CI). Враховуючи особливості функціонування, накопичувальні суматори називають іноді акумуляторами. В серіях елементів є однорозрядні суматори, у тому числі з додатковою входною логікою, дворозрядні та чотирирозрядні.

Прикладом стандартних ІС суматорів може служити мікросхема ІМЗ серії К555, яка містить чотирирозрядний суматор з послідовним переносом і блок переносу (рис. 3.12), які безпосередньо придатні для складання з них групового суматора.

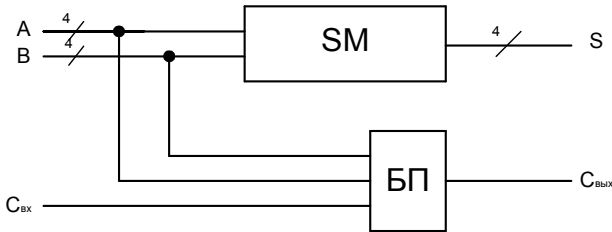
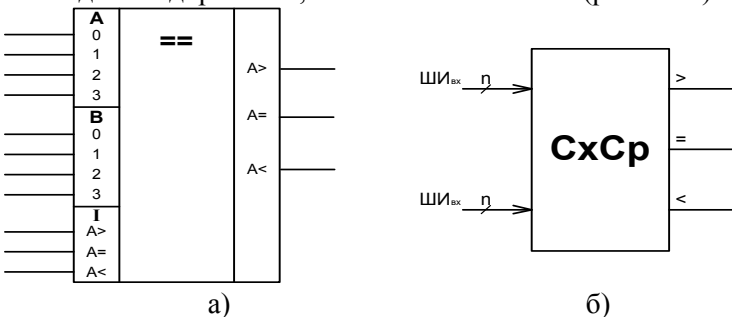


Рисунок 3.12 – Структура мікросхеми К555ІМЗ

3.1.5 Компаратори

Компаратори (пристрої порівняння) визначають відношення між двома словами. Основні відношення, через які можна виразити останні, можна вважати два – “дорівнює” та “більше”.

Визначимо функції, які виробляються компараторами, наступним чином: вони приймають одиничне значення (істинні), якщо дотримується умова, яка вказана в індексі позначення функції. Наприклад, функція $FA=B=1$, якщо $A=B$ та приймає нульове значення при $A \neq B$. У серіях цифрових елементів зазвичай є компаратори з трьома виходами: “дорівнює”, “більше” та “менше” (рис. 3.13).



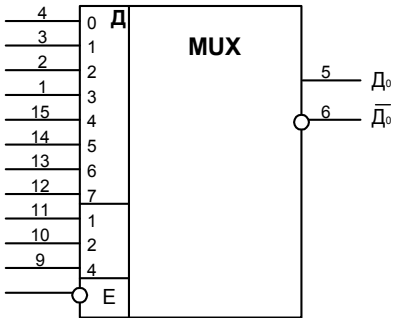
а) на схемі електричній; б) на операційній схемі.

Рисунок 3.13 – Умовне графічне позначення компаратора

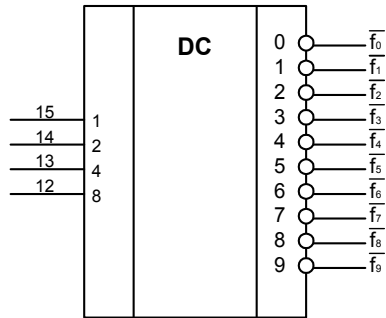
3.1.6 Аналоги зарубіжних мікросхем

Таблиця 3.5 – Аналоги мікросхем

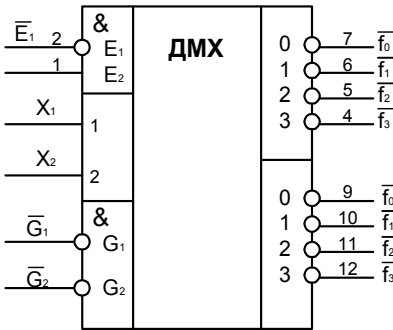
Серійний номер	Вітчизняні аналоги
SN74151	555КП7
SN7442	555ІД6
SN74156	555ІД5
SN74139	531ІД14
SN74147	555ІВ3
CD4008	561ІМ1
SN74148	555ІВ1
SN74181	555ІП3



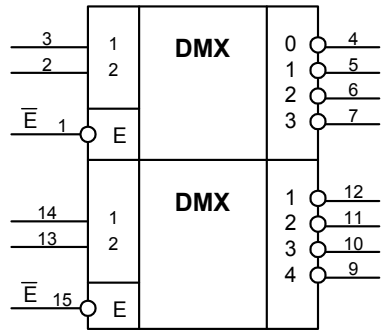
Мультиплексор 555КП7



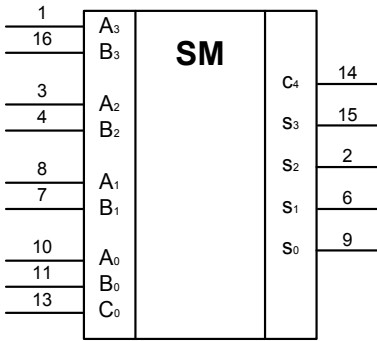
Дешифратор 4x10 555ІД6



Демультіплексор 555ІД5

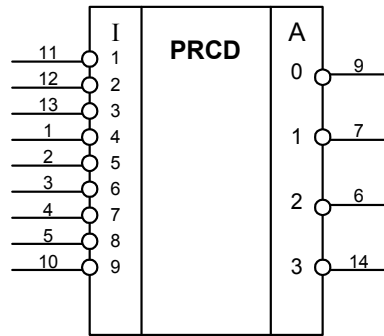


Демультіплексор 531ІД14



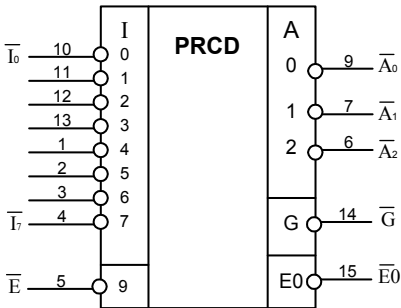
155ИМ3

4-х розрядний суматор



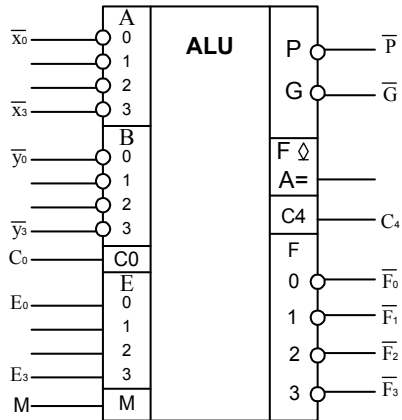
555ИВ3

Пріоритетний шифратор 10х4



155ИВ1

Пріоритетний шифратор 8х3



531ИПЗ

4-х розрядне АЛУ

Рисунок 3.14 – Умовне графічне позначення мікросхем

3.2 Підготовка до роботи

3.2.1 Користуючись даними методичними вказівками (розділ 3.1) та рекомендованою літературою вивчити: визначення комбінаційних пристроїв; їхні різновиди; сфери використання комбінаційних пристроїв різних видів.

3.2.2 Для вхідних сигналів, які виробляються генератором кодів слів, відповідно до заданого варіанту побудувати часові діаграми досліджуваного комбінаційного пристрою.

3.2.3 Номер варіанту відповідає (№ рис. – 14) у розділі 3.4 даних методичних вказівок.

3.3 Порядок виконання роботи

3.3.1 Зібрати на робочому столі схему випробувань комбінаційного пристрою відповідно до заданого варіанту.

3.3.2 Встановити на генераторі коди слів та режим його роботи відповідно до тих, що зображені на рисунку.

3.3.3 Отримати часові діаграми роботи комбінаційного пристрою на екрані логічного аналізатора.

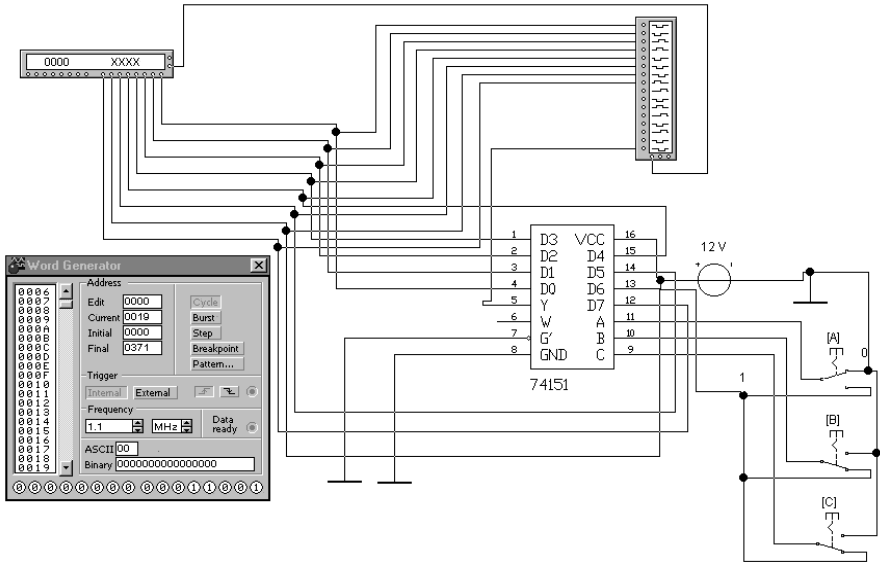
3.3.4 Побудувати таблицю істинності досліджуваного комбінаційного пристрою.

3.3.5 Пред'явити результати роботи викладачеві.

3.4 Зміст звіту

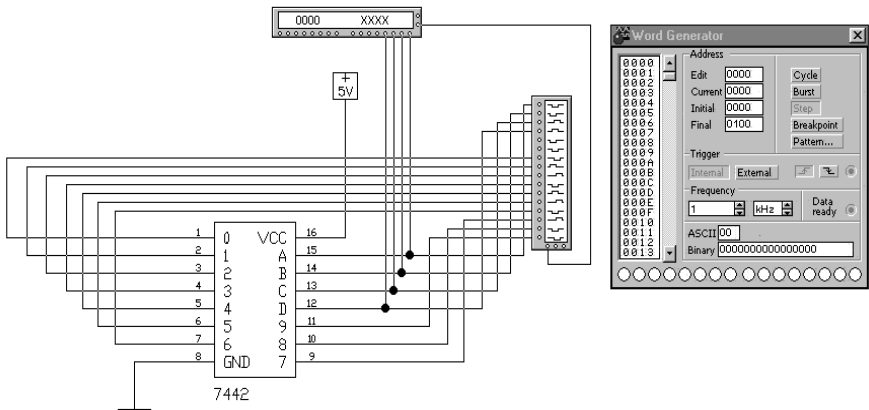
Звіт повинен містити:

- мету роботи;
- схему випробувань комбінаційного пристрою;
- часові діаграми, що відображають роботу відповідного комбінаційного пристрою, отриманого на логічному аналізаторі;
- таблицю істинності досліджуваного комбінаційного пристрою;
- висновки по роботі, що відображають сфери використання комбінаційних пристроїв різних видів.



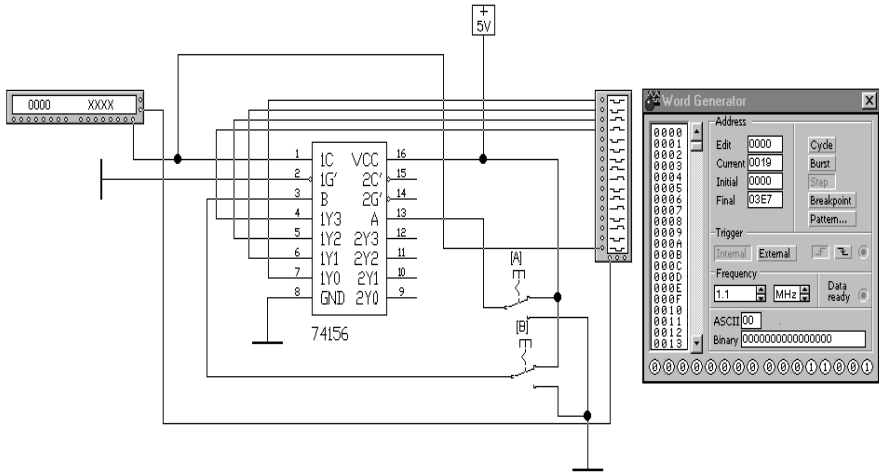
В генераторі слів (Word Generator) в опції “Pattern” встановити “Up Counter”.

Рисунок 3.15 – Схема випробувань мультиплексора 555КП7 (SN74151)



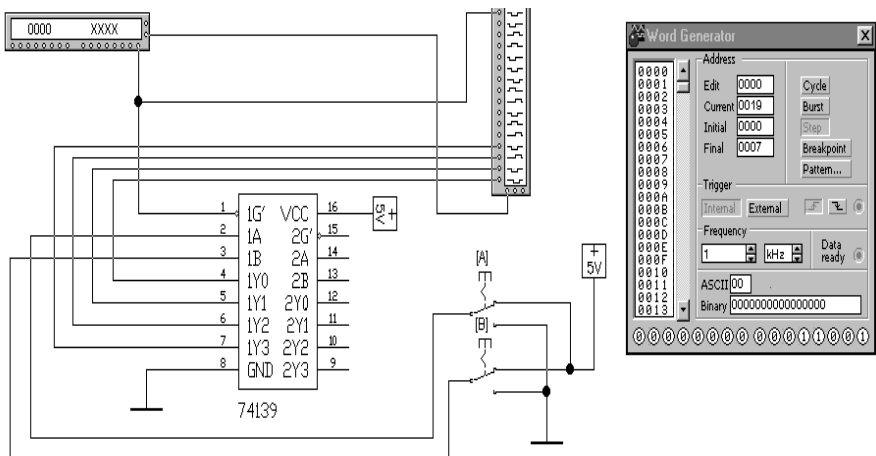
В генераторі слів (Word Generator) в опції “Pattern” встановити “Up Counter”.

Рисунок 3.16 – Схема випробувань дешифратора 4x10 555ІД6 (SN7442)



В генераторі слів (Word Generator) в опції “Pattern” встановити “Up Counter”.

Рисунок 3.17 – Схема випробувань демультиплексора 555ІД5 (SN74156)



В генераторі слів (Word Generator) в опції “Pattern” встановити “Up Counter”.

Рисунок 3.18 – Схема випробувань здвоєнного демультиплексора 531ІД14 (SN74139)

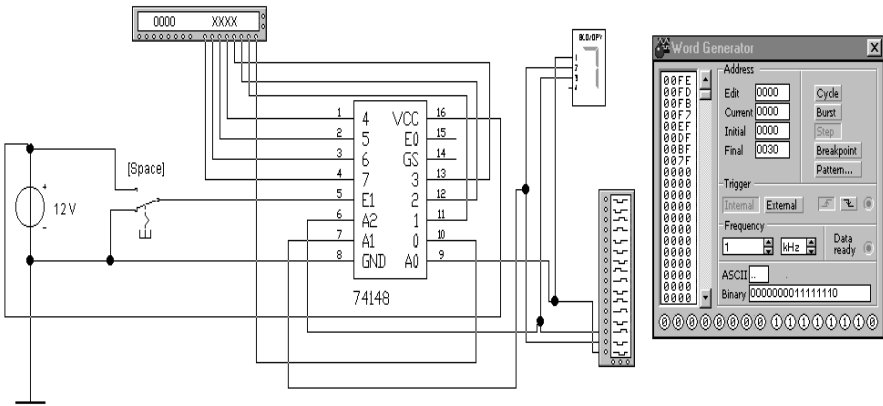


Рисунок 3.19 – Схема випробувань пріоритетного шифратора 555IB1 (SN74148)

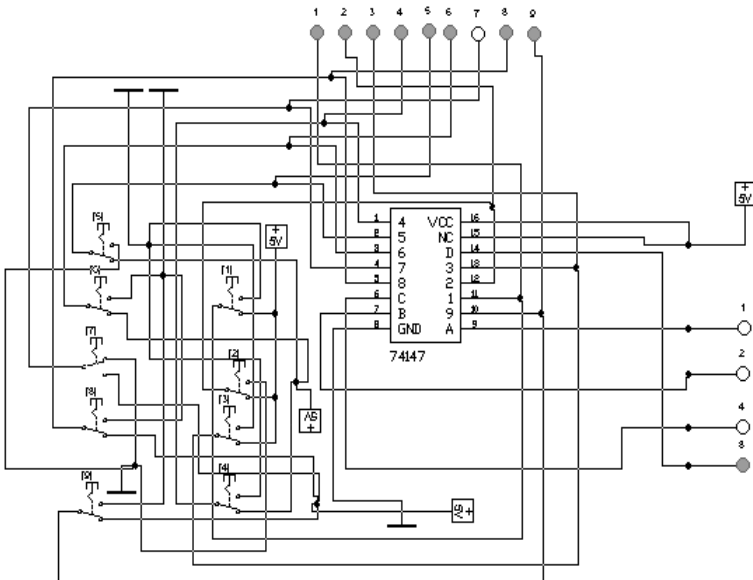


Рисунок 3.20 – Схема випробувань шифратора 555IB3 (SN74147)

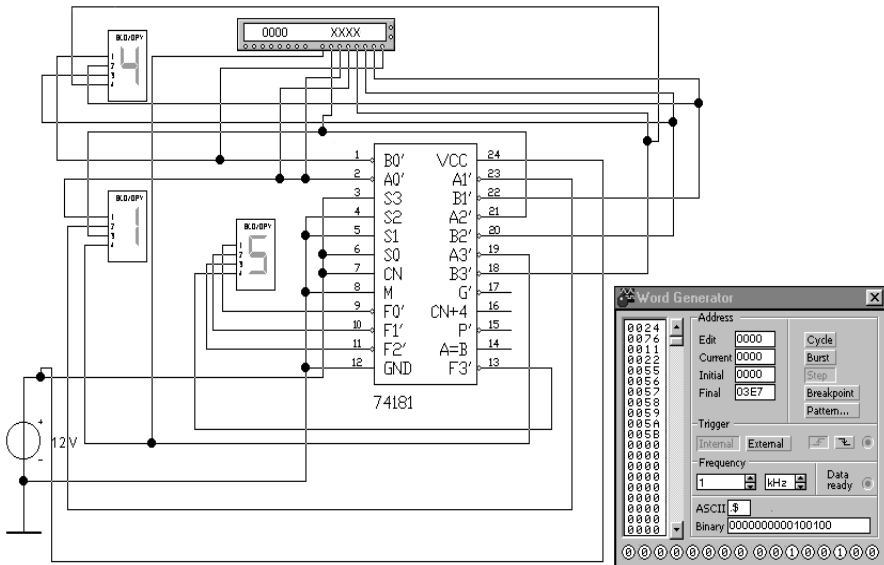


Рисунок 3.21 – Суматор без переносу 555ІІЗ (SN74181)

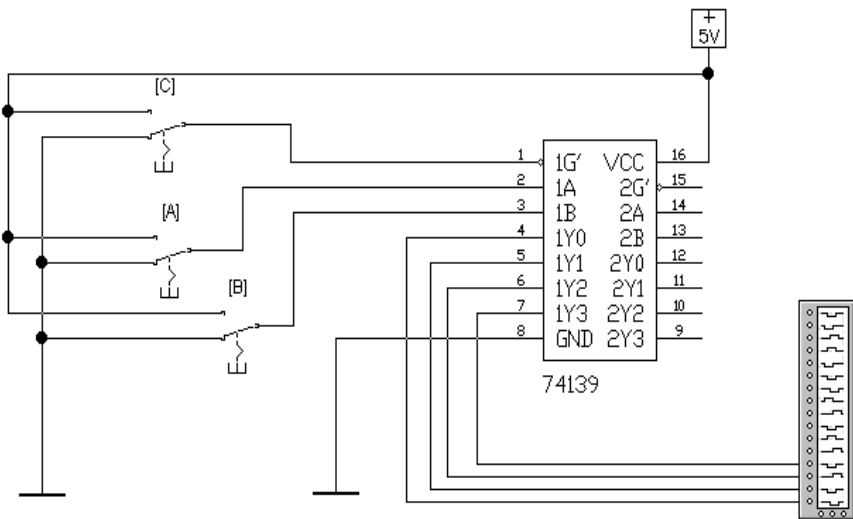


Рисунок 3.22 – Схема випробувань демультіплексора 55ІД14

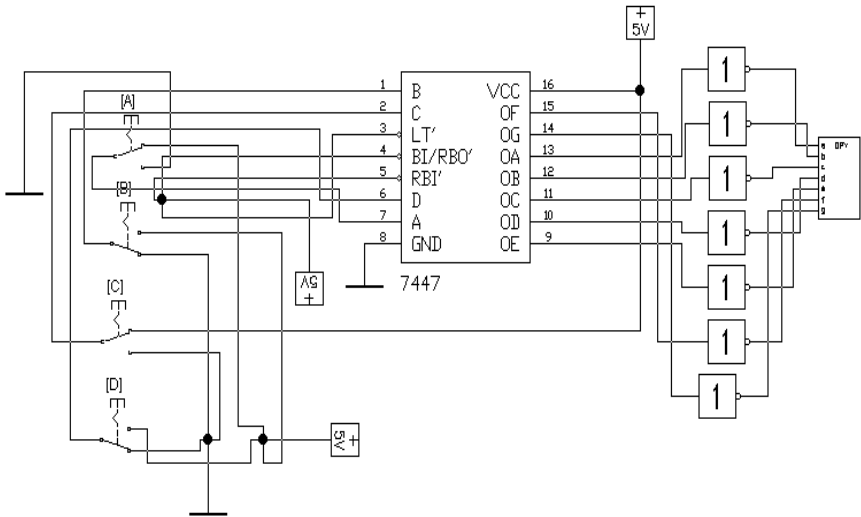


Рисунок 3.23 – Семисегментний дешифратор

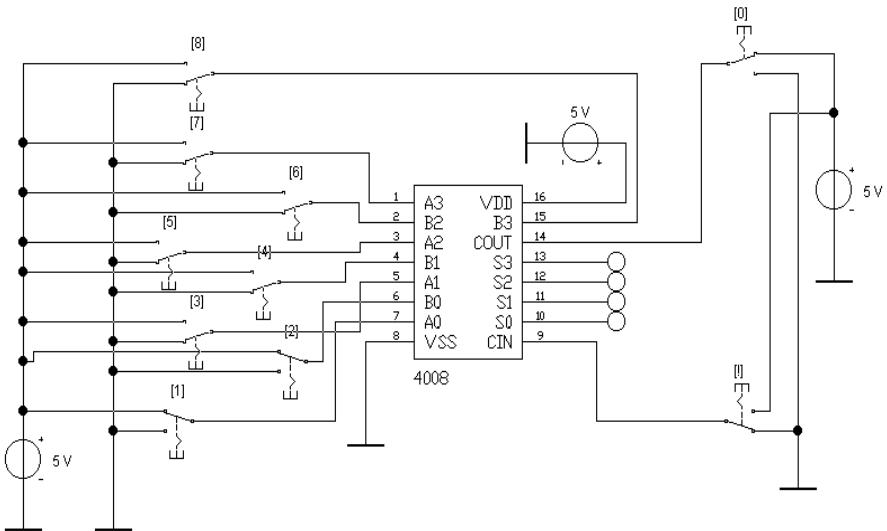


Рисунок 3.24 – 4-х бітовий повний двійковий суматор 561IM1 (CD4008)

КОНТРОЛЬНІ ПИТАННЯ

- 1 Що розуміють під операційним елементом комп'ютера?
- 2 Що розуміють під комбінаційним пристроєм?
- 3 Наведіть приклади різних комбінаційних пристроїв.
- 4 Поясніть роботу шифраторів і приведіть їх умовне графічне позначення.
- 5 Поясніть роботу дешифраторів і приведіть їх умовне графічне позначення.
- 6 Поясніть роботу мультиплексорів і демультимплексорів, приведіть їх умовні графічні позначення.
- 7 Поясніть роботу суматорів, перерахуйте їх різновиди і приведіть умовне графічне позначення.
- 8 Поясніть роботу компараторів кодів слів, приведіть їх умовне графічне позначення.
- 9 Приведіть умовні графічні позначення різних операційних елементів на структурних операційних схемах.

ЛІТЕРАТУРА

- 1 Калабеков Б.А., Мамзев І.А. Цифровые устройства и микропроцессорные системы. - М.: Радио и связь, 1987. – 400с.
- 2 Угрюмов Е. П. Цифровая схемотехника. - СПб.: БХВ - Петербург, 2001.

Лабораторна робота № 4

ТРИГЕРИ

Мета роботи – ознайомитися з принципом побудови та логікою роботи тригерів, реалізованих на логічних елементах і у вигляді інтегральних схем з використанням програми “Electronic Workbench”.

4.1 Стислі теоретичні відомості

4.1.1 Загальні відомості про тригери

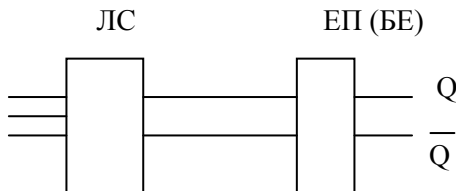
При опрацюванні інформації майже завжди виникає необхідність збереження або вихідних даних, або проміжних результатів.

Більшість устроїв збереження інформації будуються на основі елементів пам'яті – тригерів.

Іноді устрої опрацювання інформації, що мають здатність зберегати інформацію, називають дискретними автоматами з пам'яттю (ДАП), а тригери – елементарними автоматами.

Тригер – це устрій із двома стійкими станами, призначений для збереження двійкових символів 0 і 1. Вони застосовуються як елементи пам'яті при побудові цифрових лічильників, регістрів і інших операційних елементів (функціональних вузлів).

Вихідні сигнали елементарного автомата - тригера залежать тільки від його стану і змінюються шляхом зміни стану тригера. Стан виходу тригера визначається станом елемента пам'яті. Для зміни стану елемента пам'яті використовують схему керування елементом пам'яті. Таким чином, у загальному випадку структура тригера звичайно має вид, приведений на рис. 4.1.



Тригери звичайно мають два виходи: прямий Q і інверсний $\bar{Q}$. При $Q=1$ ($Q=0$) тригер знаходиться в стані “1”, а при $Q=0$ тригер знаходиться в стані “0”, тобто стан ЕП визначає вихідні сигнали тригера.

В даний час у схемотехніці ЕОМ та цифрових пристроїв застосовується багато різновидів тригерів, що відрізняються один від одного двома головними ознаками: *логікою зміни станів* (реалізованими функціями) і *способом зміни станів (способом запису інформації в тригер)*.

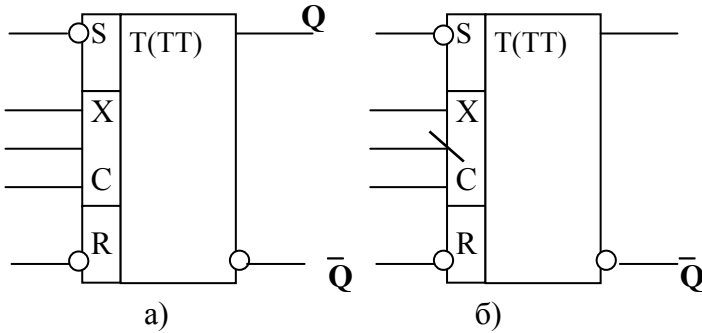
По *реалізованих функціях* усі тригери розділяють на такі різновиди: RS, D, T, JK, DV і інші. Реалізовані тригером функції задаються або таблицею переходів з одного стану в інше, або характеристичним рівнянням, що описує стани входів і виходів тригера в момент часу t_n до його спрацьовування (Q_n) і в момент часу t_{n+1} після його спрацьовування (Q_{n+1}).

По *способу запису інформації* в тригер розрізняють асинхронні і синхронні тригери.

У *асинхронні тригери* запис інформації здійснюється безпосередньо з надходженням інформаційного сигналу на вхід тригера.

Синхронні тригери, крім інформаційних входів, мають спеціальний вхід надходження синхронізуючих імпульсів. Запис інформації в синхронний тригер здійснюється тільки при надходженні дозволяючого сигналу, на вхід синхронізації. При цьому дозвіл запису може здійснюватися *або рівнем синхросигнала, або фронтом синхросигнала*.

Вхід синхросигнала позначають символом C (рис. 4.2а), якщо тригер синхронізується рівнем синхросигнала. Якщо ж тригер синхронізується фронтом синхросигнала, він має додаткову позначку у вигляді косої риски (рис. 4.2б).



- а) що синхронізується рівнем;
 б) що синхронізується негативним фронтом синхросигнала.

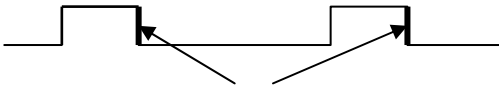
Рисунок 4.2 - Умовне позначення тригера

Керування тригера рівнем синхросигнала означає, що якщо на вході С сигнал знаходиться в “1”, то при зміні сигналу на входах Х або Y тригер може перейти в інший стан (рис. 4.3), але якщо на вході С сигнал знаходиться в стані “0”, то тригер зберігає незмінний стан.



Рисунок 4.3 - Керування тригера рівнем

Керування тригера фронтом синхросигнала означає, що дозвіл на зміну стану тригера відповідно до сигналів на інформаційних входах Х і Y дається тільки в момент перепаду сигналу на вході синхронізації (рис. 4.4).



Формування нового вихідного стану

Рисунок 4.4 - Керування тригера фронтом синхросигнала

Якщо який-небудь з входів на умовному позначенні тригера (рис. 4.2) позначений кружком, це означає, що схема активна при вхідному сигналі, рівному логічному «0».

4.1.2 RS-тригери

4.1.2.1 Асинхронний тригер RS-типу

Схема тригера на логічних елементах АБО-НІ і його умовне позначення приведені на рис. 4.3.

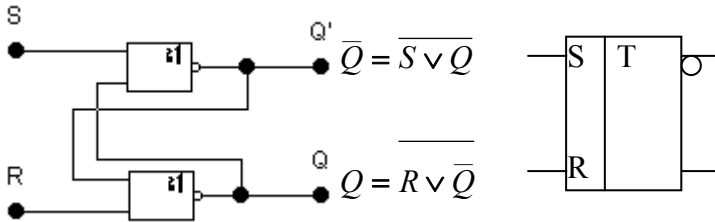


Рисунок 4.5 - Асинхронний тригер RS-типу і його умовне позначення

Часові діаграми переключення тригера (зміни його стану) показані на рис. 4.6.

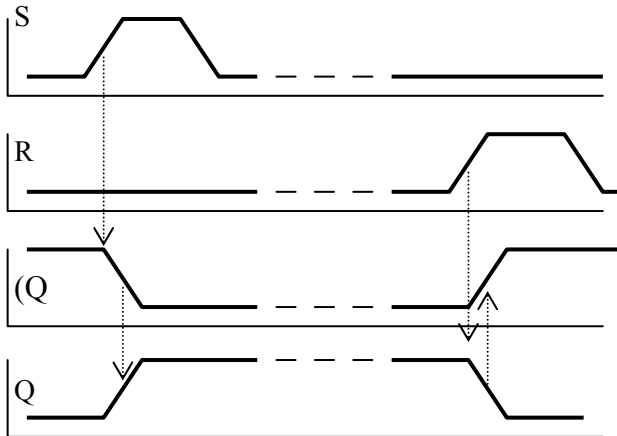


Рисунок 4.6 - Часові діаграми переключення тригера

Дані, що описують поведінку сигналів на виході тригера Q у момент часу t_{n+1} (Q_{n+1}) у залежності від аргументів S_n , R_n і Q_n (відповідному моменту часу t_n) і відповідна часовим діаграмам рис. 4.6, надані у табл. 4.1.

Таблиця 4.1 - Таблиця переходів тригера RS- типу

n S	n R	n Q	n+1 Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X

де X - невизначений стан на виході тригера.

У спрощеній формі ця ж таблиця може бути подана у вигляді табл. 4.2.

Таблиця 4.2 - Спрощена таблиця переходів тригера RS- типу

n S	n R	n+1 Q
0	0	0
0	1	0
1	0	1
1	1	X

З часових діаграм і таблиць впливає, що вхід S (set) - установка тригера в стан $Q="1"$, вхід R (reset) - вхід "скидання" (установка тригера в стан $Q="0"$).

Комбінація сигналів $S="1"$ і $R="1"$ є забороненою, тому що стан тригера буде невизначеним (або "0" або "1").

Характеристичне рівняння RS-тригера може бути записане у вигляді

$$Q^{n+1} = R \vee (S \vee \overline{Q}^n)$$

Логіку функціонування тригера можна також представити картою Карно

		RS	
Q	Q'	00	01 11 10
		0	1
0	0	1	X
1	1	1	X

Якщо комбінація 11 на входи RS не подається, можна довизначити невизначені стани до «0» і отримати

$$Q = \overline{R} \wedge (S \vee Q) = \overline{R \vee (\overline{S} \vee Q)}$$

Даний тригер RS-типу можна реалізувати і на елементах І-НІ, якщо функцію Q^{n+1} виписати з карти Карно у вигляді інімальної диз'юнктивної нормальної форми, довизначивши невизначені стани до «1» і представивши функцію в базисі І-НІ.

4.1.2.2 Синхронний RS-тригер

Синхронні RS-тригери - це тактовані тригери (RSC- тригери), тут С - вхід тактових (синхро-) імпульсів. Принципова схема RSC -тригера, виконаного на ЛЕ І-НІ, подана на рис. 4.7.

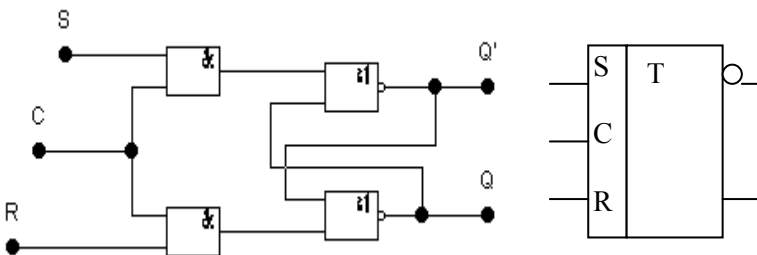


Рисунок 4.7 - Синхронний тригер RS-типу

Синхронний тригер має ту ж логіку функціонування, проте зміна стану відбувається тільки тоді, коли на вході С сигнал приймає

значення «1», дозволяючи сигналу $S=1$ або $R=1$ пройти на елемент пам'яті через вхідні вентиля І.

Значення вхідних сигналів $S = R = C = 1$ неприпустимі, і тільки при $SRC = 0$ виходи парафазні. Правила його роботи подані у табл. 4.3.

Таблиця 4.3 - Таблиця переходів синхронного тригера RS-типу

C^n	S^n	R^n	Q^{n+1}
0	0	0	Q^n
0	0	1	Q^n
0	1	0	Q^n
0	1	1	Q^n
1	0	0	Q^n
1	0	1	0
1	1	0	1
1	1	1	X

Для початкової установки тригера у певний вихідний стан можуть бути використані додаткові входи R, S (рис. 4.8)

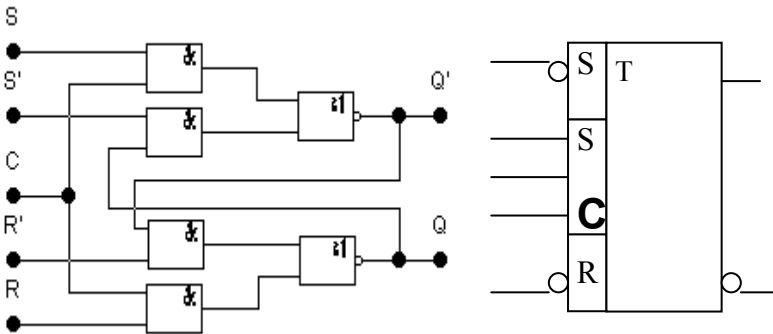


Рисунок 4.8 - Синхронний тригер RS-типу з асинхронними входами передустановки і його умовне позначення

4.1.3 D-тригер

Назва даного тригера від англійського слова Delay - затримка, оскільки виконує функцію затримки сигналу, що надійшов на вхід, на один такт. D-тригери мають один інформаційний вхід D і вхід синхронізації C (рис. 4.9) і реалізують логічну функцію

$$Q^{n+1} = Dn,$$

тобто інформаційне значення сигналу на виході Q на $n+1$ -ому такті дорівнює інформаційному значенню сигналу на вході D на попередньому n -му такті (рис. 4.10).

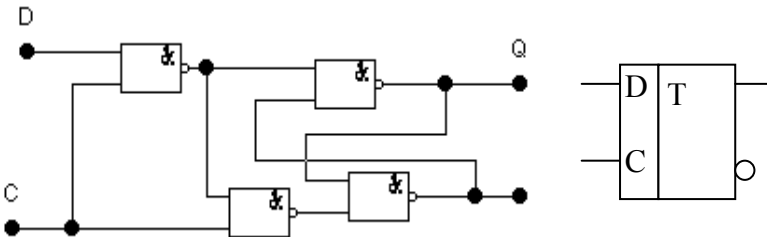


Рисунок 4.9 - Синхронний тригер D-типу і його умовне позначення

Вихідний сигнал тригера Q приймає значення, рівне вхідному сигналу D, тільки після приходу імпульсу, що синхронізує, C, у протилежному випадку тригер зберігає попередній стан.

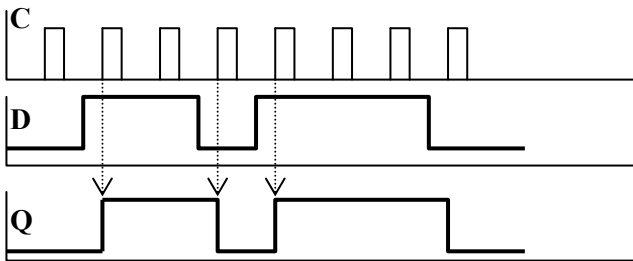


Рисунок 4.10 - Часові діаграми роботи D-тригера

Дані переходів тригера D-типу надано у табл. 4.4.

Таблиця 4.4 - Переходи тригера D

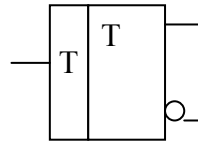
Cn	Dn	Qn	Qn ⁺¹
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

4.1.4 Т-триггер

Т-триггер (toggle - перекидання), називаний також тригером із лічильним входом, при подачі сигналу “1” на інформаційний вхід Т змінює свій стан на протилежний і характеризується таблицею переходів (табл. 4.5).

Таблиця 4.5 - Переходи тригера Т

Tn	Qn	Qn ⁺¹
0	0	0
0	1	1
1	0	1
1	1	0



Характеристичне рівняння для тригера Т-типа має вигляд:

$$Qn^{+1} = \bar{T}n Qn \vee Tn \bar{Q}n.$$

Часові діаграми переключення синхронного тригера Т-типа і його умовне позначення подані на рис. 4.11.

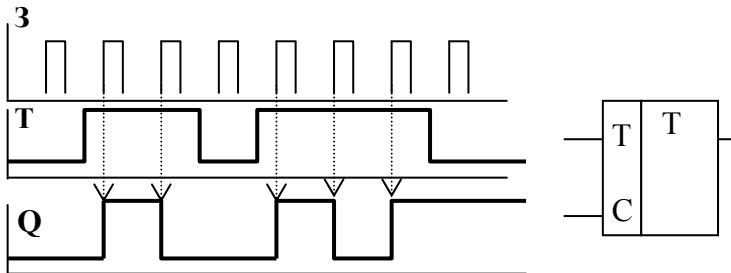


Рисунок 4.11 - Синхронний тригер Т-типу та його умовне позначення

4.1.5 JK- тригер

Даний тригер майже аналогічний RS-тригеру, у якому функції входів S і R виконують відповідно входи J і K. Але при $J=K=1$ JK-триггер переключається в стан, інверсний попередньому і, отже, не має заборонених комбінацій. Асинхронний JK-триггер характеризується таблицею станів (табл. 4.6), синхронний – (табл. 4.7).

Таблиця 4.6

Jn	Kn	Qn	Qn ⁺¹
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Таблиця 4.7

Cn	Jn	Kn	Q ⁿ⁺¹
0	0	0	Qn
0	0	1	Qn
0	1	0	Qn
0	1	1	Qn
1	0	0	Qn
1	0	1	0
1	1	0	1
1	1	1	$\bar{Q}n$

JK- тригери реалізують функцію:

$$Q^{n+1} = \bar{Q}^n \vee Q^n \bar{K}^n.$$

JK- тригер є універсальним тригером, тому що на його основі можна реалізувати інші типи тригерів.

JK- тригер може виконувати функції RS-тригера, якщо сигнали S подавати на J-вхід, а сигнали R - на K-вхід.

Для одержання D-тригера J-вхід об'єднують через інвертор із входом K в загальний вхід (рис. 4.12 а).

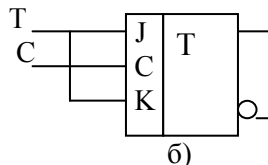
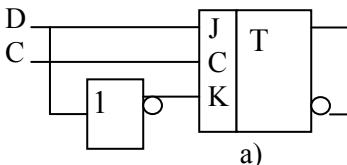


Рисунок 4.12 - Побудова тригерів інших типів із тригера JK-типа

Об'єднавши входи J і K в загальний вхід (рис. 4.12 б), можна одержати синхронний тригер Т-типа.

4.2 Підготовка до лабораторної роботи

4.2.1 Користуючись даними методичними вказівками і рекомендованою літературою, вивчити: визначення тригера; різновиди тригерів; сфери використання тригерів різноманітних видів.

4.2.2 Для входніх сигналів, вироблюваних генератором кодів слів, відповідно до заданого варіанта побудувати часові діаграми переключення тригера, що досліджується.

4.3 Порядок виконання роботи

4.3.1 Зібрати на робочому столі EWB схему іспитів тригера відповідно до заданого варіанту (табл. 4.8).

4.3.2 Встановити на генераторі коди слів та режим його роботи відповідно до того, що зображено на рисунку.

4.3.3 Одержати часові діаграми переключення тригера на екрані логічного аналізатора.

4.3.4 Побудувати таблицю переключення досліджуваного тригера.

Таблиця 4.8 – Варіанти схем

№ варіанту	1	2	3	4	5	6	7	8	9	10
№ рисунку	4.13	4.14	4.15	4.16	4.17	4.18	4.19	4.20	4.21	4.22

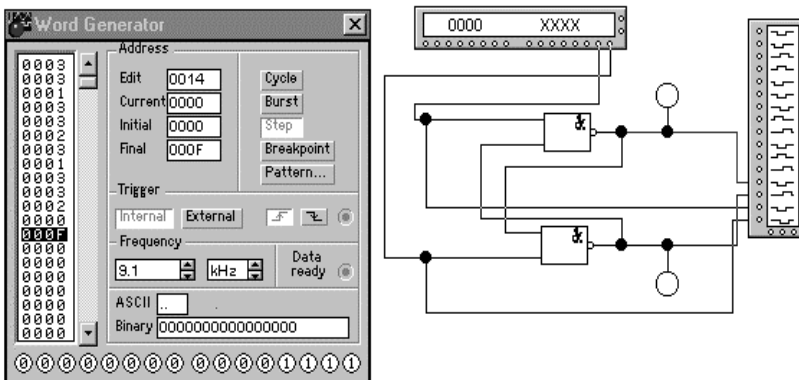


Рисунок 4.13 - Схема іспитів RS-тригера на елементах I-II

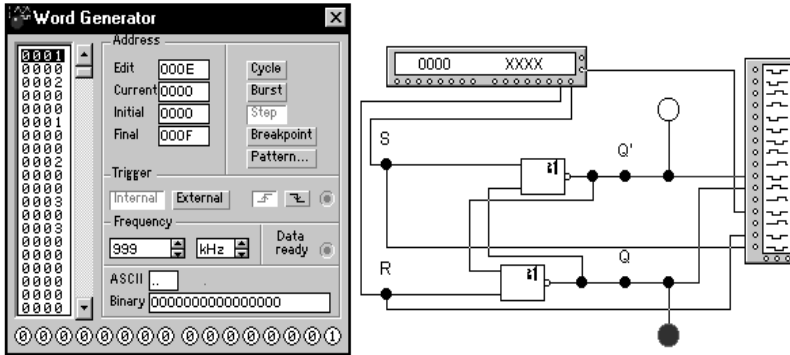


Рисунок 4.14 - Схема іспитів RS-тригера на елементах АБО-НІ

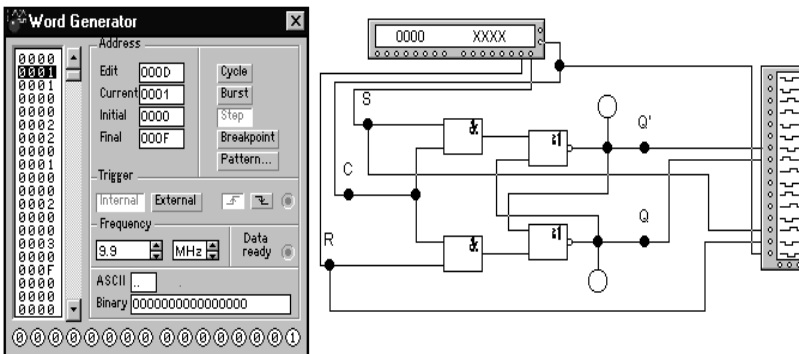


Рисунок 4.15 - Схема іспитів синхронного тригера RS

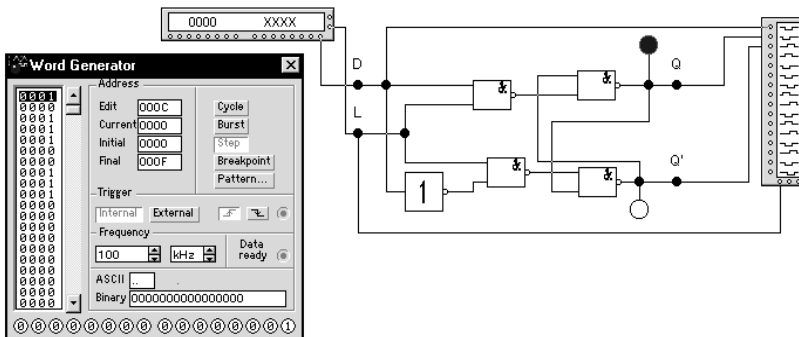


Рисунок 4.16 - Схема іспитів синхронного D-тригера з асинхронними входами RS

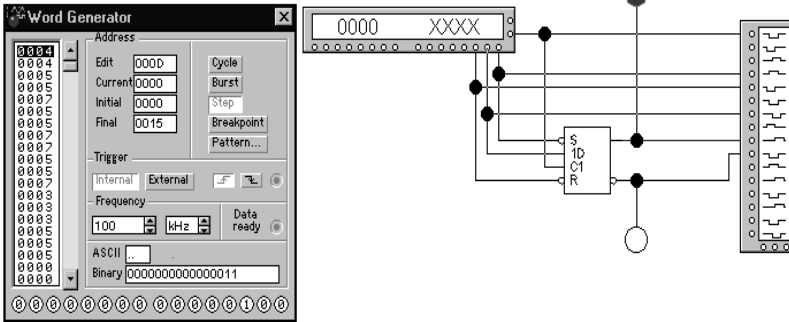


Рисунок 4.17 - Схема іспитів тригера DL – типу

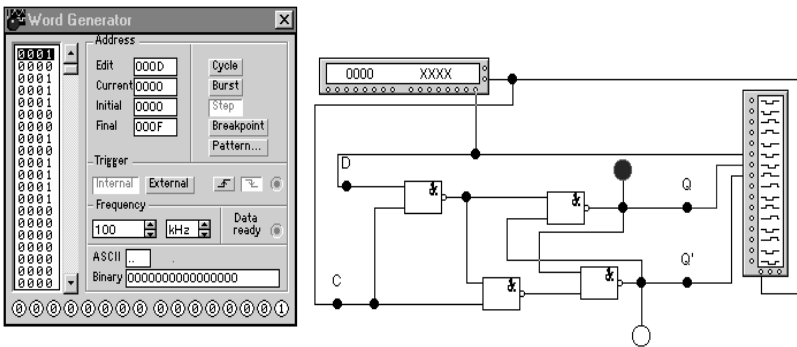


Рисунок 4.18 - Схема іспитів синхронного тригера типу D

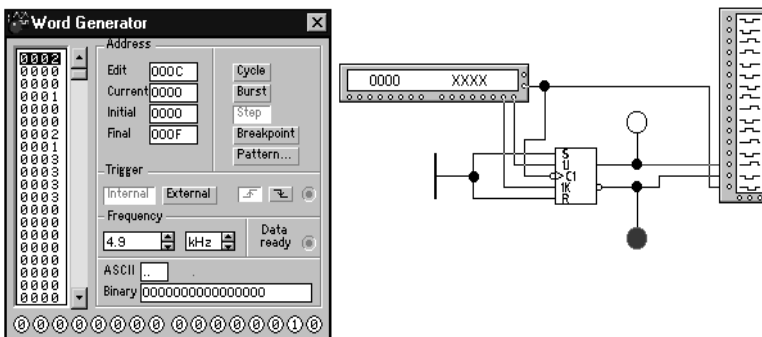


Рисунок 4.19 - Схема іспитів синхронного тригера JK- типу

4.4 Зміст звіту

Звіт повинен мати:

- мету роботи;
- схему іспитів тригера;
- часові діаграми переключення тригера, отримані на логічному аналізаторі;
- таблицю переходів досліджуваного тригера;
- аналітичний вираз для вихідного сигналу досліджуваного тригера;
- висновки по роботі, що відбивають сфери використання тригерів різноманітних типів.

КОНТРОЛЬНІ ПИТАННЯ

- 1 Що розуміють під тригером?
- 2 Перерахуйте різновиди тригерів.
- 3 Зобразіть логічну схему асинхронного тригера RS-типу на елементах АБО-НІ і поясніть його роботу.
- 4 Зобразіть логічну схему асинхронного тригера RS-типу на елементах І-НІ і поясніть його роботу.
- 5 Приведіть умовне позначення синхронного тригера D-типу і таблицю його переключень.
- 6 Приведіть умовне позначення синхронного тригера T-типу і таблицю його переключень.
- 7 Приведіть умовне позначення тригера JK-типа і таблицю його переключень.
- 8 Приведіть умовне позначення тригера RSC-типу і таблицю його переключень.

ЛІТЕРАТУРА

- 1 Калабеков Б.А., Мамзелев И.А. Цифровые устройства и микропроцессорные системы. - М.:Радио и связь, 1987.-400с.