

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ, СПОРТУ ТА МОЛОДІ
УКРАЇНИ
ЗАПОРІЗЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ**



МЕТОДИЧНІ ВКАЗІВКИ

до виконання лабораторних робіт з дисципліни

“Аналогова та цифрова електроніка”

для студентів за напрямком підготовки 6.050902

“Радіoeлектронні апарати”

усіх форм навчання

Частина 2

2011

Методичні вказівки до виконання лабораторних робіт з дисципліни "Аналогова та цифрова електроніка" для студентів за напрямком підготовки 6.050902 "Радіoeлектронні апарати" усіх форм навчання. Частина 2 / Уклад.: Полянський Г.О. – Запоріжжя: ЗНТУ, 2011. – с.62

Укладач:	Г.О. Полянський, к.т.н., доцент
Рецензент:	Петріщев О.О., к.т.н., доцент
Відповідальний за випуск.	В.М. Кришук, зав. кафедри КТВР, к.т.н., професор

Затверджено на засіданні
кафедри КВР
від 14.11.11
протокол № 2

ЗМІСТ

Лабораторна робота №5. Тригерні пристрої.....	71
5.1 Лабораторна установка.....	71
5.2 Підготовка до роботи.....	72
5.3 Порядок виконання роботи.....	74
5.4 Зміст звіту.....	75
5.5 Контрольні запитання.....	75
5.6 Короткі теоретичні відомості.....	76
5.6.1 Тригерні пристрої.....	76
5.6.2 Тригери на логічних елементах.....	77
5.6.2.1 Асинхронні КЗ-тригери.....	78
5.6.2.2 Синхронні Р8-тригери.....	78
5.6.3 D-тригери.....	80
5.6.4 Т-тригери.....	81
5.6.5 JK-тригери.....	82
5.6.6 Двухступінчаті тригери.....	84
5.7 Література.....	85
Лабораторна робота №6. Регістри.....	86
6.1 Лабораторна установка.....	86
6.2 Підготовка до роботи.....	88
6.3 Порядок виконання роботи.....	88
6.4 Зміст звіту.....	89
6.5 Контрольні запитання.....	89
6.6 Короткі теоретичні відомості.....	89
6.7 Література.....	95
Лабораторна робота №7. Дослідження роботи лічильників.....	96
7.1 Лабораторна установка.....	96
7.2 Підготовка до роботи.....	98
7.3 Порядок виконання роботи.....	100
7.4 Зміст звіту.....	101
7.5 Контрольні запитання.....	101
7.6 Стислі теоретичні відомості.....	103
7.6.1 Основні положення.....	103
7.6.2 Двійкові лічильники з послідовним переносом.....	104
7.6.3 Паралельні лічильники.....	106
7.6.4 Віднімаючі лічильники.....	108
7.6.5 Реверсивні лічильники.....	109

7.6.6 Лічильники з вільним коефіцієнтом переліку.....	110
7.7 Література.....	114
Лабораторна робота №8. Дослідження операційних підсилювачів	115
8.1 Стислі теоретичні відомості.....	115
8.1.1 Призначення та структура операційного підсилювача.....	115
8.1.2 Основні параметри ОП.....	117
8.1.3 Частотні властивості ОП.....	118
8.1.4 Схеми включення ОП.....	118
8.1.4.1 Інвертуючий підсилювач.....	119
8.1.4.2 Неінвертуючий підсилювач.....	120
8.1.4.3 Суматор з багатьма входами.....	120
8.1.4.4 Інтегруючий підсилювач.....	121
8.1.4.5 Диференційний підсилювач.....	123
8.2 Опис лабораторної установки.....	124
8.3 Підготовка до лабораторної роботи.....	124
8.4 Порядок виконання роботи.....	125
8.4.1 Дослідження інвертуючого ОП.....	125
8.4.2 Дослідження неінвертуючого ОП.....	126
8.4.3 Дослідження інтегратора напруги.....	127
8.4.4 Дослідження диференціатора напруги.....	127
8.5 Зміст звіту.....	127
8.6 Контрольні запитання.....	128
8.7 Література.....	128

Лабораторна робота №5

ТРИГЕРНІ ПРИСТРОЇ

Мета роботи: ознайомитися з принципом побудови і логікою роботи тригерів на інтегральних логічних схемах.

5.1 Лабораторна установка

До складу лабораторної установки (рис.5.1) входять: універсальний лабораторний стенд (2) зі змінним модулем "ТГ" (3), генератор прямокутних імпульсів Г5-54 (1) і осцилограф С1-55 (4).

Змінний модуль ТГ, електрична схема якого наведена на рис.5.3, містить тригери PS-, S-, D-і JK-типів.

Схема з 4-х логічних елементів І-НЕ мікросхеми DD3 за допомогою перемикачів S7 і S8 може бути модифікована в один з тригерів RS-, S-і 0-типів. Крім того, синхронний тригер 0-типу реалізований на мікросхемі 004.

На логічних елементах І-НЕ, мікросхем 005 007, зібраний двоступінчастий тригер JK-типу. Синхронний тригер аналогічного типу (JK) в інтегральному виконанні представлений мікросхемою DD8.

Підключення тригерів до ланцюгів харчування здійснюється за допомогою перемикачів лабораторного стенду: S1 - для тригерів RS-і S-типів; S2 - для тригера D-тип.), S9 - для тригерів JK-типів. Сигнали, що надходять на тригери і сигнали з виходів тригерів підключені до контрольних гнізд S1...S19, виведених на лицьову панель лабораторного стенду.

Мікросхеми 001, 002 і 009 служать для (формування управляючих сигналів виду XS1, XS2, XS9 і X3Ю, що подаються на входи тригерів, імпульсних послідовностей, що надходять від генератора імпульсів Г5-54 на роз'єми 01 і C2 стенду. Їх тимчасові діаграми представлені на рис.5.2.

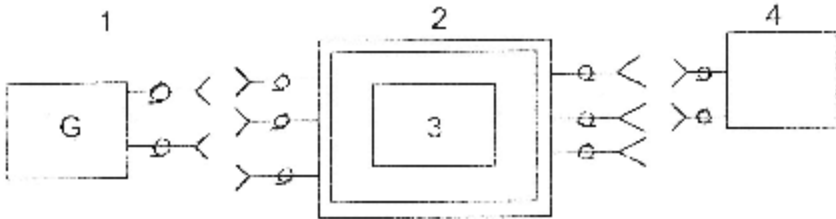


Рисунок 5.1 – Склад лабораторної установки

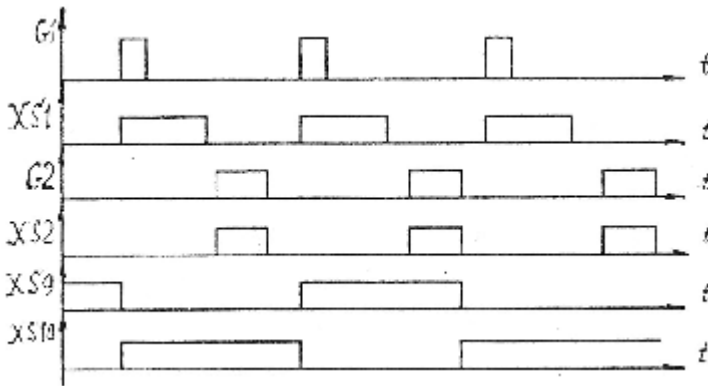


Рисунок 5.2 – Часові діаграми керуючих сигналів

5.2 Підготовка до роботи

5.2.1. Користуючись даними методичними вказівками (розділ 5.6) і рекомендованою літературою, вивчити: принцип дії, логіку роботи тригерів різних типів.

5.2.2. Отвeгiть на контрольнi запитання.

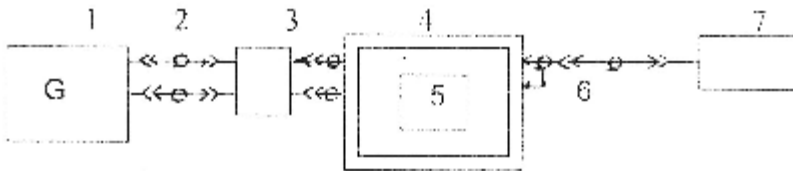
5.2.3. Підготувати протокол результатів дослідження, що містить:

- тимчасові діаграми вхідних і вихідних сигналів тригерів, досліджуваних в лабораторній роботі;
- таблиці переходів для цих же тригерів.

5.3 Порядок виконання роботи

5.3.1. Зібрати схему дослідження відповідно до рис.5.4. На генераторі імпульсів органи управління встановити в наступні положення: частота проходження - $f = 10\text{кГц}$; тимчасової зрушення - 50мкс ; тривалість імпульсів - 10мкс ; полярність основних імпульсів (OI) і синхроімпульсів (CI); амплітуду імпульсів - 45ВхО , 1. На універсальному стенді відключити всі кнопки комутації S1-S10. На осцилографі коефіцієнт відхилення по вертикалі встановити рівним 2В/дел і коефіцієнт розгортки 10мкс/дел . Включити живлення стенду, генератора імпульсів і осцилографа.

5.3.2. При дослідженні логіки роботи тригера RS-типу натиснути кнопку S1 (при цьому на мікросхему DD3 подається харчування). Зняти і побудувати часові діаграми (гнізда XS5, XS6) роботи RS-тригера при $R(XS2)-S(XS1) = 1$ і $R * S = 1$ (для цього затримку основного імпульсу потрібно зменшити так, щоб сигнал R (XS2) увійшов в зону сигналу S (XS1)).



1 - генератор Г5-54, 2, 6 - сполучні кабелі, 3 - стенд універсальний;
4 - модуль "Тг"; 7 - осцилограф С1-55 Формувач імпульсів

Рисунок 5.4 - Схема для дослідження тригерів

5.3.3. Дослідити S-тригер (натиснути перемикач S7), зібраний на логічному елементі DD3. Зняти і побудувати часові діаграми (гнізда XS3 і XS4).

5.3.4. Дослідити D-тригер (натиснути перемикачі S7, S8, S2), зібраний на логічному елементі DD3, а також на мікросхемі DD4. Зняти і побудувати часові діаграми (гнізда XS5, XS6, XS7 і XS8; гніздо XS9-сигнал на вхід D; XS2-сигнал на вхід C).

5.3.5. При дослідженні логіки роботи тригера JK-типу, натиснути кнопку S9 (при цьому на мікросхеми DD5 ... DD8 подається

харчування). Дослідити JK-тригер, зібраний на логічних елементах DD5 ... DD7, а також на мікросхемі DD8. Зняти і побудувати часові діаграми (гнізда XS17 і XS18, XS19; гнізда XS2 - сигнал C, XS9 - сигнал J, XS10 - сигнал K) для $J * K = 1$ і $J \cdot K = 1$ (XS10 натиснути тільки для JK-тригера на DD8).

5.4 Зміст звіту

- 5.4.1. Мета роботи.
- 5.4.2. Схеми дослідження тригерних пристроїв.
- 5.4.3. Результати досліджень тригерних пристроїв.
- 5.4.4. Висновки, що відображають результати досліджень.

5.5 Контрольні запитання

- 5.5.1. Дати визначення тригера, призначення входів і виходів.
- 5.5.2. Дати класифікацію тригерних схем.
- 5.5.3. Пояснити роботу асинхронного тригера на логічних елементах І-НЕ.
- 5.5.4. Відмінність RS-тригера з прямими входами від RS-тригера з інверсними входами. Робота S-тригера і його відмінність від RS-тригера.
- 5.5.5. Робота D-тригера на логічних схемах І-НЕ.
- 5.5.6. Робота асинхронного JK-тригера і його відмінність від RS-тригера.
- 5.5.7. Робота синхронного двоступінчастого JK-тригера.

5.6 Короткі теоретичні відомості

5.6.1 Тригерні пристрої

Тригер - це пристрій з двома стійкими станами. Вони застосовуються в якості електронного реле, амплітудного дискримінатора, формувача прямокутних імпульсів, елементів пам'яті, для побудови цифрових лічильників, які працюють у двійковій, десятковій та ін системах числення, регістрів.

Тригери представляють собою найпростіші кінцеві автомати, які мають зазвичай двома виходами (Q і P) і одним або декількома керуючими входами. Основний вихід тригера Q називається прямим, має в стаціонарному стійкому стані "1" або "0" тобто $Q = "1"$ або $Q = "0"$ (або низьке U, або висока U значення). Інший вихід P (зворотний) в нормальному стаціонарному режимі роботи тригера є інверсним: $P = \neg Q$. Вихідні сигнали тригера залежать не тільки від сигналів, прикладеним до його керуючим входів в даний момент, але і від сигналів, що впливають на нього раніше.

Тригери можуть бути синхронними (тактируемого) або асинхронними. У залежності від того, яка частина тактового імпульсу (або керуючого сигналу) призводить до зміни стану тригера їх розрізняють:

- тригери, керовані рівнем тактового або керуючого імпульсу (або рівнем "1", або "0").
- тригери, керовані фронтами тактового, або керуючого імпульсу.

Два способи запуску тригера: загальний (рахунковий) і роздільний. При роздільному запуску керуючі (запускають) сигнали надходять на два керуючих входи S і R (U_s або U_r). Вхід S-set - установка тригер, в стані 0 = "1", вхід R-reset - вхід "скидання", установка тригера в стан Q = "0".

Основними типами тригерів, що знайшли найбільш широке застосування в імпульсній та цифровій техніці, є:

1. **Асинхронні RS-тригери.** Комбінація $S = "1"$ і $R = "1"$ є забороненою, тому що його стан буде невизначеним (або "0" або "1").

2. **R-тригер при** одиниці на обох керуючих входах ($S = R = "1"$) встановлюються в нульовий стан ($Q = 0$), а S-тригери - в одиничне ($Q = 1$).

3. Синхронні (тактируемого) RS-тригери, або RSC-тригери.

Тут літерою С позначений вхід тактових імпульс, (Ів. Тригер перемикається у відповідності зі значеннями сигналів З та Р тільки у випадку $C = "1"$. Значення вхідних сигналів $S=R=C = "1"$ неприпустимі і, тільки при $SRC = "0"$, виходи парофазного ($P = Q$).

4. **JK-тригер** має два інформаційні входи J і K, два виходи Q і Q. Цей тригер аналогічний RS'-тригеру, в якому функції входів R і S виконують відповідно J та K. Відмінність в тому, що при $J = K = "1"$ тригер перемикається в стан, інверсний попередньому, тобто при $J = K = "1"$ тактовий імпульс переводить тригер в протилежний стан ($Q_n Q_{n-1}$).

5. **T-тригер** з одним інформаційним входом Т. Асинхронний Т-тригер перемикається щоразу коли на вхід Т надходить сигнал, що управляє (наприклад $T = "1"$).

6. **D-тригер** має один інформаційний вхід (іноді інверсні входи D і D, зазвичай вони синхронні, вакуіруємі).

D-тригер можна отримати з RS-тригера, якщо на вхід S подати інформаційний сигнал D, а на R - інвертований сигнал S(D). Для того, щоб з JK-тригера отримати D-тригер необхідно вхід через інвертор об'єднати зі входом K, отримавши таким чином вхід D.

Тригери можуть бути виконані на транзисторах, операційних підсилювачах, логічних елементах, інтегральних мікросхемах.

5.6.2 Тригери на логічних елементах

(ЛЕ) І-НЕ і АБО-НЕ, що виконують операції $Y = X_1 X_2 X_3 \dots X_n$ і $Y = X_1 + X_2 + X_3 + \dots + X_n$ широко використовуються при проектуванні тригерних пристроїв. Логічні елементи І-НЕ в тригерах зручно представити як вентиль, здатний під дією керуючого сигналу знаходитися в закритому (блокованому) або відкритому (розблокованому) стані.

Пристрій, що складається з двох каскадно включених інверторів, охоплених ПОС, буде представляти бістабільні клітинку. Зв'язок між ЛЕ в такій клітинці описується відношенням:

$$Q = x_1, (Q \ x_2) = \overline{x_1} + Q x_2$$

Тому весь процес проектування тригерній пристрою на ЛЕ буде полягати в складанні його рівняння і встановлення зв'язку між логічними елементами.

5.6.2.1 Асинхронні КЗ-тригери

Принципова схема асинхронного РЗ "-тригера на елементах І-НЕ і його тимчасові діаграми приведені на рис.5.5 (а, б).

Його функціонування описується таблицею переходів (табл.5.1).

Таблиця 5.1 – Таблиця переходів

S^k	R^k	Q^k
0	0	Н
0	1	1
1	0	0
1	1	Q^{k-1}

де Н - невизначений стан на виході тригера.

Його характеристичне рівняння записується у вигляді:

$$Q^k = S^k \cdot R^k \cdot Q^{k-1}$$

Принципова схема асинхронного RS - тригера на елементах АБО-НЕ представлена на рис.5.5 (б). Його функціонування описується таблицею переходів (табл.5.2).

Таблиця 5.2 – Таблиця переходів асинхронного RS – тригера

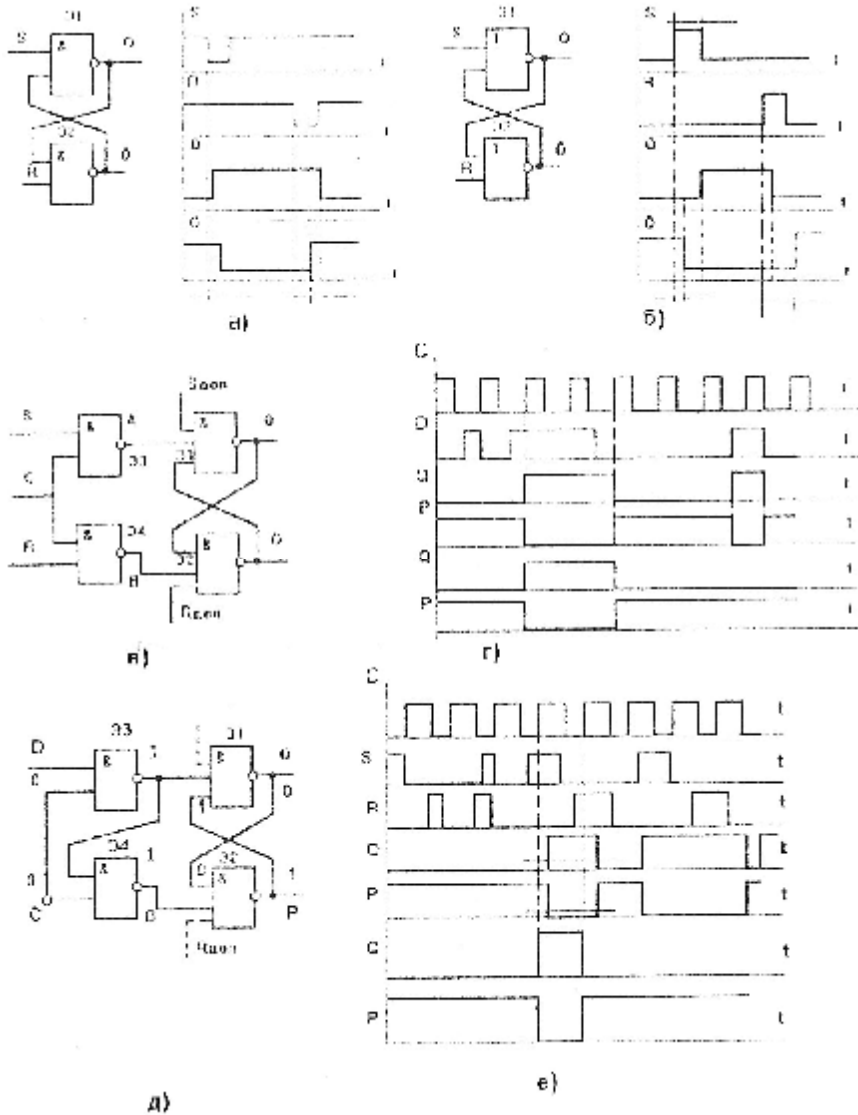
S^k	R^k	Q^k
0	0	Q^{k-1}
0	1	0
1	0	1
1	1	Н

Характеристичне рівняння RS-тригера може бути записано у вигляді:

$$Q^k = S^k \vee R^k \vee Q^{k-1}$$

5.6.2.2 Синхронні Р8-тригери

Синхронні RS-тригери це тактируемого тріп ери (Р8С-тригер), тут С - вхід тактових (синхронізурующих) імпульсів. Принципова схема К8С-тригера, виконаного на ЛЕ І-НЕ представлена на рис.5.5 (в).



а-асинхронний RS-тригер і його тимчасові діаграми (б) по-синхронний Ка-тригер і його тимчасові діаграми (в): д-О-тригер і його тимчасові діаграми (г).

Рисунок 5.5 - Тригери на логічних елементах

Порядок перемикавання визначається наступним характеристичним рівнянням:

$$Q^k = C^k \cdot S^k \vee \overline{C^k} \cdot R^k \cdot Q^{k-1} = \overline{C^k} \cdot S^k \cdot \overline{C^k} \cdot R^k \cdot Q^{k-1}$$

Тригер перемикається відповідно до значень сигналів S і R лише в разі C=1. Значення вхідних сигналів S=R=C=1 недопустимі і лише при SRC=0 виходи парофазні (P=Q).

Правила його роботи представлені в таблиці переходів табл.5.3.

Таблиця 5.3 – Правила роботи тригера

C^k	S^k	R^k	Q^k
0	0	0	Q^{k-1}
0	0	1	Q^{k-1}
0	1	0	Q^{k-1}
0	1	1	Q^{k-1}
1	0	0	Q^{k-1}
1	0	1	0
1	1	0	1
1	1	1	Н

Для початкової установки тригерів в певний вихідний стан можуть бути використані додаткові входи $K_{\text{доп}}$, $S_{\text{доп}}$ (рис.5.5 е).

5.6.3 D-тригери

Назва даного тригера від англійського Delay - затримка. D - тригери мають один інформаційний вхід D (інколи інверсні входи D і $\overline{D}$), і вхід синхронізації C, і реалізує логічну функцію $Q=D$. Тобто інформаційне значення сигналу на виході D на K такті дорівнює інформаційному значенню сигналу на вході D на попередньому (к-1) такті.

Принципова схема і тимчасові діаграми D-тригера представлені на рис.5(д,г).

Вхідний сигнал тригера Q приймає значення, рівне вхідному сигналу D, лише після приходу синхронізуючого імпульсу C. Его функціонування описується таблицею 5.4.

Таблиця 5.4 – Функціонування D-тригера

C^k	D^{k-1}	Q^{k-1}	Q^k
0	0	0	0
0	1	0	0
1	1	0	1
1	1	1	1
0	0	1	1
1	0	1	0
1	0	0	0

5.6.4 Т-тригери

Т-тригер, який також називається розрахунковим тригером, має інформаційний вхід Т та характеризується таблицею станів (таблиця 5.5).

Таблиця 5.5 – Таблиця станів Т-тригера

T^k	Q^{k-1}	Q^k
0	0	0
1	0	1
0	1	1
1	1	0

Т-тригер на елементах И-НЕ (рис.5.6) можна отримати з D-тригера з'єднавши інверсний вихід Р зі входом D, а керуючі імпульси Т подають на вхід С. В результаті тригер переходить у стан , інверсний минулому та прямування вихідних імпульсів $T_{вих.}$ виявляється в 2 рази менше входних $T_{вх.}$

$$T_{вих.}=2T_{вх.}$$

Та тригери по суті являються дільником частоти.

У багатьох випадках застосовується Т-тригер з додатковими входами. RST-тригер (Т-тригер з додатковими настановними входами R та S) та RT-тригер (Т-тригер з додатковим R-входом для установки у стан $Q=0$) та синхронний ТС-тригер.

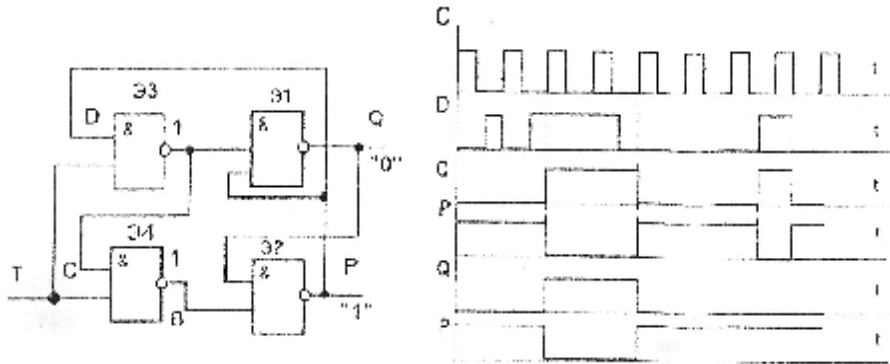


Рисунок 5.6 – Т-тригери на логічних елементах

5.6.5 JK-тригери

Даний тригер майже аналогічний RS-тригеру, у якому функції входів S та R виконують відповідно входи J та K. Але при $J=K=1$ тригер переключається у стан інверсний минулому та відповідно не має заборонених комбінацій. JK-тригер може бути як асинхронний так і синхронізуючим рівнем чи фронтами імпульсу. Асинхронний JK-тригер характеризується таблицею 5.6, синхронний – таблицею 5.7.

Таблиця 5.6 – Таблиця станів асинхронного JK-тригера

J^k	K^k	Q^{k-1}	Q^k
0	0	0	0
0	0	0	1
0	0	1	1
0	1	1	0
1	1	0	1
1	0	1	1
1	1	1	0
0	1	0	0

Таблиця 5.7 – Таблиця станів синхронного JK-тригера

C^k	J^k	K^k	Q^k
0	0	0	Q^{k-1}
0	0	0	Q^{k-1}
0	0	1	Q^{k-1}
0	1	1	Q^{k-1}
1	0	0	Q^{k-1}
1	1	0	1
1	0	1	0
1	1	1	Q^{k-1}

Принципова схема JK-тригера та часові діаграми представлені на рис.5.7. JK-тригери мають 2 інформаційних входу J та K, два виходи Q та $\bar{Q}$, та реалізують логічну функцію

$$Q^k = K^k * Q^{k-1} \vee J^k * \bar{Q}^{k-1}$$

JK-тригер являється універсальним, на базі якого реалізують інші типи тригерів. JK-тригер може виконувати функції RS-тригера, якщо сигнали S подавати на J-вхід, а R – на K-вхід.

Для отримання D-тригера J-вхід об'єднують через інвертор зі входом K в загальний вхід D. Об'єднавши входи в загальний, можна отримати розрахунковий тригер T, який використовується в різних лічильниках.

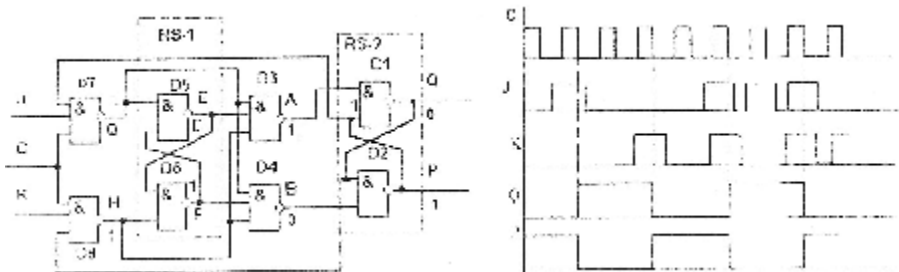


Рисунок 5.7 – JK-тригер на логічних елементах

5.6.6 Двухступінчаті тригери

Вони реалізуються за схемою провідний – ведений. Структурна схема такого тригера показана на рис.5.8. В цій схемі тригер T1 – провідний, а тригер T2 – ведений. Останній служить для запам'ятовування стану провідного тригера. Із-за того, що синхронізуючі імпульси на T1 та T2 подаються у протифазі, зміна стану тригера T2 відбувається із затримкою в порівнянні зі зміною стану тригера T1. Цим досягається розв'язка процесу запам'ятовування від вхідного сигналу і створюються додаткові можливості виконання логічних функцій. Серед двоступеневих тригерів найбільш поширені DV, JK-, T-тригери.

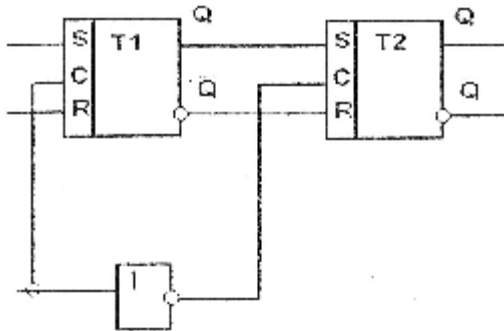


Рисунок 5.8 – Структурна схема двухступінчатого тригера

DV-тригер, як і D-тригер призначений для запам'ятовування, затримки логічного сигналу. DV-тригер, який має дозволяючий вхід V, управляється по входу D тільки тоді, коли на вході V є дозволяючий сигнал $V=1$. При заборонному сигналі $V=0$ тригер зберігає свій стан незалежно від сигналу на вході D.

JK-тригер, як і RS-тригер, має два логічних входи: J – для установки «1» та K – для збросу «1» чи установки «0». В JK-

тригері усунена невизначеність, що виникає в RS-тригері при поступанні $J=K=1$. Стани JK-тригера представлені в таблиці 5.8.

Таблиця 5.8 – Таблиця станів JK-тригера

J	K	Q
0	0	сохраняет прежнее состояние
0	1	0
1	0	1
1	1	устанавливается состояние, инверсное предыдущему

Схема JK-тригера, складеного з логічних елементів И-НЕ показана на рис.5.7.

Такий тригер складається з двох синхронізуючих RS-тригерів, з'єднаних за схемою провідний – ведений.

5.7 Література

5.7.1. Угрюмов С.П. «Проектирование элементов и узлов ЭВМ»
- М.: Высшая школа, 1987.

Лабораторна робота №6

РЕГІСТРИ

Мета роботи – дослідити роботу регістрів паралельного, послідовного і паралельно-послідовного типу.

6.1 Лабораторна установка

У лабораторну установку (рис.6.1) входять: універсальний стенд **2** зі змінним модулем регістри (РГ) **3**, генератор прямокутних імпульсів (Г5-54) **1** і осцилограф **4** (С1-55). Універсальний стенд містить роз'єми для підключення до нього змінних досліджуваних модулів, кнопки комутації ланцюгів **S1 - S10**, коаксіальні з'єднувачі і гнізда **XS1 - XS20** для підключення засобів вимірів. Для з'єднання засобів виміру з універсальним стендом використовуються допоміжні засоби - кабелі радіочастотні і навантаження.

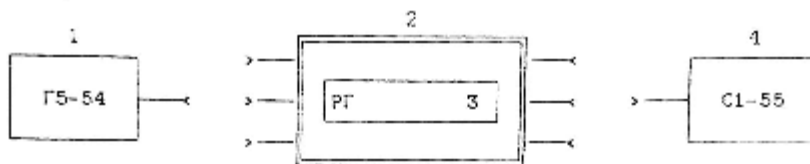


Рисунок 6.1 — Склад лабораторної установки

Змінний модуль РГ, схема якого приведена на рис. 6.2. містить: регістр паралельно-послідовного типу, зібраний на мікросхемі **DD6**; послідовний регістр на **D**-тригерах, зібраний на мікросхемах **DD1**, **DD2**; регістр на **JD**-тригерах, зібраний на мікросхемах **DD3**, **DD4**. Підключення регістрів до джерела живлення здійснюється за допомогою кнопок комутації ланцюга перемикачів **S1**, **S2**, **S3**. Перемикачем **S5** (натиснути-віджати) регістр встановлюється в стан 0000, регістр із зворотними зв'язками – в стан 1000 і паралельно-послідовний регістр – в стан, визначуваний положенням перемикачів

S7...S10 (при поданні логічної "1" на вхід **V2** мікросхеми **DD6** за допомогою перемикача **S6**).

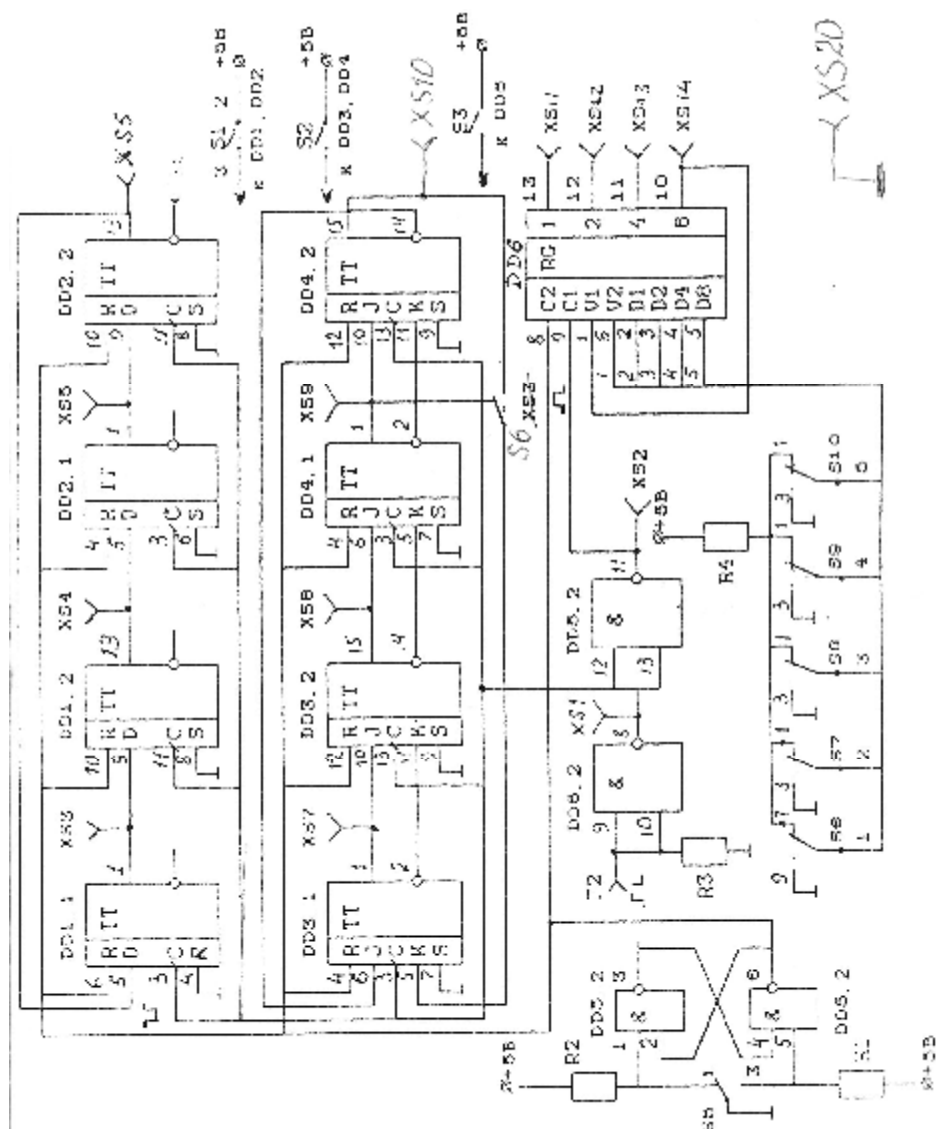


Рисунок 6.2 – Електрична схема змінного модулю

6.2 Підготовка до роботи

6.2.1 Користуючись цими методичними вказівками (розділ 6) і рекомендованою літературою, вивчити принцип дії регістрів [1, с.131-133].

6.2.2 Відповісти на контрольні питання.

6.2.3 Накреслити тимчасові діаграми роботи регістра на **D**-тригерах, регістра на **JK**-тригерах і паралельно-послідовного регістра.

6.3 Порядок виконання роботи

6.3.1 Встановити на генераторі **Г5-54** частоту дотримання імпульсів $f = 100$ кГц, основний імпульс **ОИ** позитивної полярності з амплітудою не більше 5В, тривалістю 1 мкс, подати на роз'єм **Г2**. Використати зовнішню синхронізацію осцилографа сигналами: **XS6** – для регістра на **D**-тригерах; **XS10** – для регістра на **JK**-тригерах; **XS14** – для паралельно-послідовного регістра.

6.3.2 Дослідити регістр послідовного типу на **D**-тригерах. Встановити перемикачем **S5** (натиснути-віджати) регістр в стан **XS3** = 1. **XS4** = 0, **XS5** = 0, **XS6** = 0. Зняти і побудувати тимчасові діаграми (**XS1**, **XS3...XS6**) роботи регістра. Визначити коефіцієнт перерахунку.

6.3.3 Дослідити паралельний регістр на **JK**-тригерах. Встановити перемикачем **X5**(нажать-отжать) регістр в стан **XS7** = 0, **XS8** = 0, **XS9** = 0, **XS10** = 0. Зняти і побудувати тимчасові діаграми (**XS1**, **XS7...XS10**) роботи регістра для парного (**S6**- натиснути) і непарного (**S6**-віджати) коефіцієнта перерахунку. Визначити коефіцієнт перерахунку по тимчасових діаграмах.

6.3.4 Досліджувати регістр послідовно-паралельного типу. Генератор **Г5-54** встановити в режимі разового пуску. При **S6** = 1 записати в регістр код, що визначається положенням перемикачів **S7...S10** (наприклад, **S7** = 1, **S8** = 0, **S9** = 0, **S10** = 1), перемикачем **S5** (нажать-отжать). Перевірити на **XS11...XS14** записаний код. Встановити **S6** = 0 (натиснути-віджати) і генератор **Г5-54** в режим внутрішнього запуску. Зняти і побудувати тимчасові діаграми (**XS2**, **XS11...XS14**) роботи регістра.

6.4 Зміст звіту

6.4.1 Мета роботи.

6.4.2 Схеми досліджуваних регістрів.

6.4.3 Результати досліджень регістрів у вигляді тимчасових діаграм роботи регістрів.

6.4.4 Висновки по роботі досліджених регістрів.

6.5 Контрольні запитання

6.5.1 Яке призначення регістрів?

6.5.2 Дати класифікацію регістрів.

6.5.3 Пояснити роботу регістрів паралельно-послідовного, паралельного, послідовного типів.

6.5.4 Пояснити роботу зрушуючих регістрів.

6.5.5 Як працює перетворювач паралельного коду в послідовний і навпаки на базі паралельно-послідовного регістра?

6.6 Короткі теоретичні відомості

Регістр – цей пристрій, призначений для прийому, зберігання і передачі двійкових чисел, а також дозволяють зрушувати слово на певну кількість розрядів, перетворювати паралельний код в послідовний і навпаки. До складу регістрів входять тригери і деякі логічні схеми, призначені для управління, прийому і видачі коду. Залежно від способу введення і виведення інформації розрізняють паралельні, послідовні і паралельно-послідовні регістри.

У регістрах паралельної дії (реєстри пам'яті) усі розряди коду вводяться і виводяться одночасно (рис. 6.3). При побудові n -розрядного паралельного регістра необхідно застосувати n тригери. На базі паралельних регістрів будуються системи оперативної пам'яті.

Послідовний (або зрушуючий) регістр забезпечує послідовний запис коду числа: на інформаційний вхід регістра послідовно подають значення двійкових розрядів числа. Зрушуючі імпульси, що поступають на тактові входи, передають записану інформацію від розряду до розряду вправо або вліво. У однотактових зрушуючих

регістрах при надходженні одного тактуючого імпульсу забезпечується зрушення одночасно усього числа на один розряд вправо або вліво. Залежно від кількості каналів, по яких поступає інформація на входи розрядів регістра, розрізняють парафазні (інформація на кожен розряд поступає по двох каналах Q і $\bar{Q}$) і однофазні (інформація поступає по одному каналу Q або $\bar{Q}$). При побудові зрушуючих регістрів застосовуються тригери типу - RS - D і - JK .

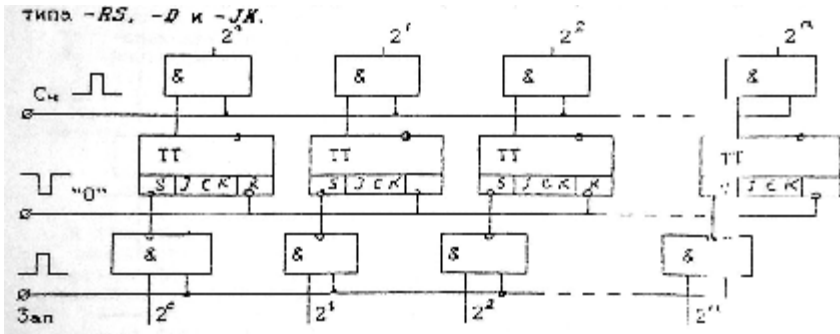
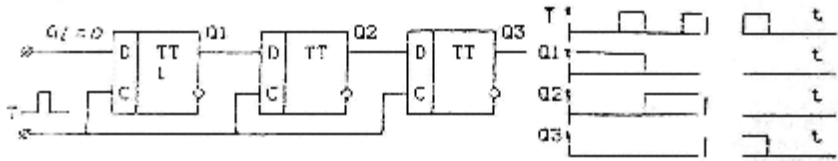


Рисунок 6.3 — Паралельний регістр

Найпростіше регістр зрушення реалізується на D -тригерах (рис. 6.4). Вихід Q попереднього розряду з'єднується з входом D подальшого, в результаті кожен тактовий імпульс встановлює тригер в стан, в якому до цього знаходився попередній, зрушуючи тим самим інформацію на розряд управо. Вхід $Q1$ першого розряду служить для прийому в регістр інформації у вигляді послідовного коду. З кожним TI на цей вхід повинен подаватися код нового розряду вхідної інформації. З виходу $Q3$ останнього тригера знімається послідовний код із затримкою відносно вхідного послідовного коду на число періодів TI , рівною числу розрядів регістра.

Рисунок 6.4 – Зрушуючий регістр однотактний на **D**-тригерах

На рисунку 6.5 показана схема зрушуючого регістра на **JK**-тригерах. У цій схемі входи **J** і **K** подальших тригерів сполучені з виходами **Q** і **Q** попередніх.

Рисунок 6.5 – Зрушуючий регістр паралельний на **JK**-тригерах

При проектуванні зрушуючих регістрів необхідно обов'язково застосовувати тригери, що синхронізуються фронтом, так як під час дії синхросигналу змінюються стани виходів тригерів, які підключені до входів подальших тригерів. Таким чином змінюються стани входів подальших тригерів і, якщо синхроімпульс ще не закінчився, то тригери, що синхронізуються рівнем, перемикаються в новий стан, тобто за час дії одного синхросигналу (один такт) інформація в регістрі просувається більш ніж на один розряд і нормальне функціонування регістра – зрушення на один розряд за один такт – порушується.

Зрушуючі регістри застосовуються для перетворення паралельного коду в послідовний і навпаки. Для цього кожен розряд регістра повинен мати додатковий вхід для паралельного прийому коду. Послідовний код перетвориться в паралельний одночасним опитуванням станів усіх тригерів регістра (рис. 6.6).

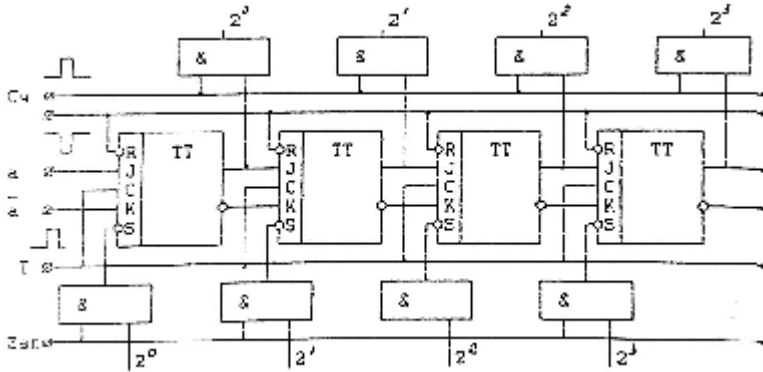


Рисунок 6.6 — Перетворювач паралельного коду в послідовний і навпаки на базі паралельно-послідовного регістра

Зрушуючі регістри можуть бути реверсивними, тобто такі що виконують зрушення вправо або вліво. Реверсивний регістр можна отримати, якщо в схемі паралельно-послідовного регістра (рис. 6.7) замість зовнішнього сигналу A_{m-2} підключити вихід подальшого розряду Q_{m-3} (показано пунктиром). Зрушення вправо виконується при значенні сигналу $M=1$, зрушення вліво при $M=0$. Зрушення числа вліво або вправо на один розряд відповідає його множенню або діленню на два. Тому регістри зрушення використовуються для побудови помножувачів і дільників.

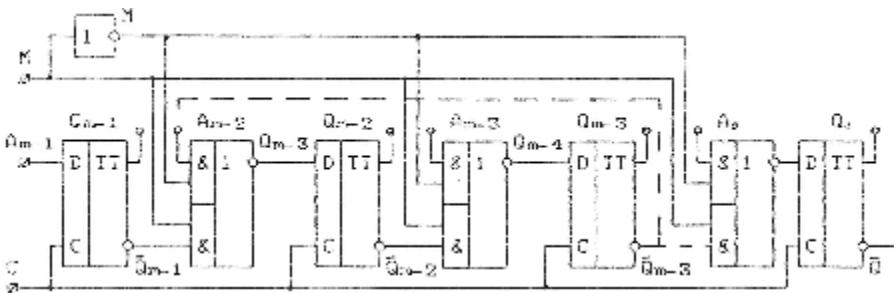


Рисунок 6.7 – Паралельно-послідовний регістр на D-тригерах

При з'єднанні виходу **РГ** з його входом послідовний регістр перетворюється на замкнуте кільце, в якому під дією **ТІ** циркулює введена в регістр інформація. Такі регістри називаються **кільцевими регістрами**. Схеми кільцевих регістрів побудованих на **D**- і **JK**-тригерах зображені на рис. 6.8.

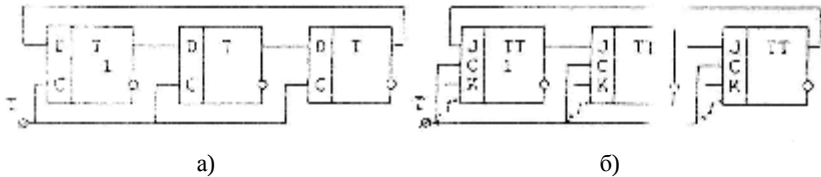
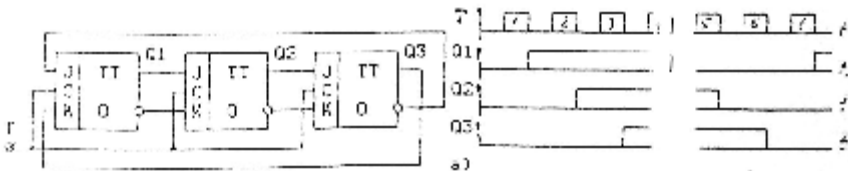


Рисунок 6.8 – Кільцеві регістри на D-тригерах (а) і JK-тригерах (б)

У цих регістрах кодова одиниця, введена в перший тригер, циркулює в плинні усього часу існування послідовності **ТІ**, що подаються на входи **С**-триггерів регістра. При "просуванні" кодової одиниці вздовж лічильника кожен тригер переходить з нульового стану в одиничне і знаходиться в ній впродовж періоду дотримання **ТІ**. Ця властивість кільцевого регістра використовується при побудові розподільників імпульсів. При цьому кодова одиниця з'являється на виході з частотою, рівною відношенню частоти **ТІ** на кількість **n** тригерів в регістрі. Таким чином, **Ксч = n**.

Недолік кільцевих регістрів: потрібно велику кількість тригерів при великих коефіцієнтах ділення. Цей недолік усувається в регістрі з перехресним зворотним зв'язком (лічильник Джонсона). Лічильник Джонсона (рис.6.9) має коефіцієнт перерахунку удвічі більше числа складових його тригерів. Особливість його роботи полягає в тому, що при рахунку спочатку від першого тригера до останнього поширюється "хвиля 1", а потім "хвиля 0".



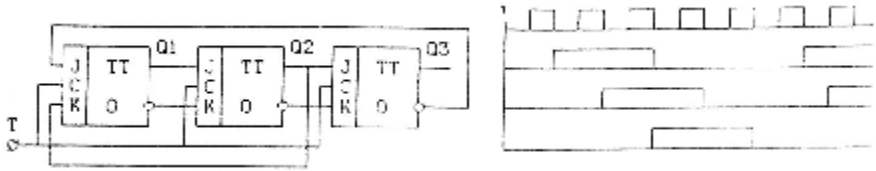


Рисунок 6.9 – Лічильники з $K_{sch} = 6$ (а) і $K_{sch} = 5$ (б) на регістрі з перехресним зв'язком

Якщо потрібно непарний коефіцієнт ділення $2n-1$, то вхід I першого тригера з'єднується з виходом Q_n останнього тригера. Як у кільцевих регістрах, так і в лічильниках Джонсона можливі збої у вигляді появи зайвих одиниць (уявних "хвиль одиниць" або "хвиль нулів") або зникнення потрібних кодових одиниць. Для усунення вводиться логічний ланцюг в кільцевий лічильник, що дозволяє перепис "1" з останнього тригера в перший тільки за умови, що усі інші тригери знаходяться в стані "0".

Регістром в інтегральному виконанні для прикладу може служити мікросхема **K155ИР1** (DD6) - 4 розрядний універсальний зрушуючий регістр (рис. 6.10). Зрушуючий регістр має два входи синхронізації: **C1** (що поступають на вхід **C1** тактові імпульси __ забезпечують зрушення інформації, при цьому на вхід **V2** потрібно подати логічний "0") і **C2** (синхроімпульс __ поступає на **C2**, записує в розряди регістра логічні значення, які подані у цей момент на входи **D1, D2, D4, D8**, при цьому на вхід **V2** потрібно подати логічну "1").

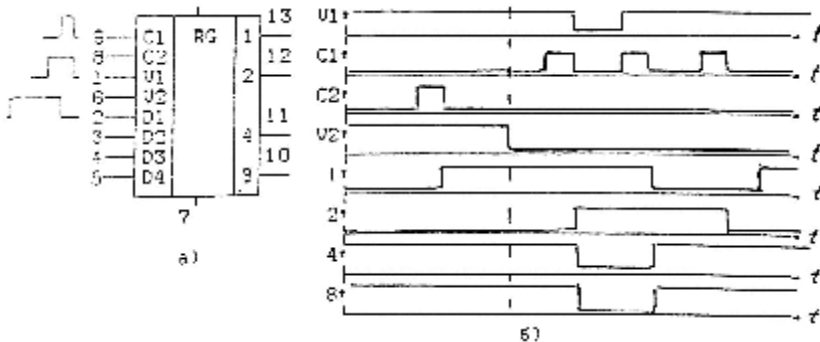


Рисунок 6.10 – Регістр K155ИР1

Вхід **V1** служить для введення інформації в перший розряд регістра в режимі зрушення управо. Стан тригерів регістра змінюється на негативний фронт 1/0 тактових імпульсів. Принцип роботи зрушуючого регістра **K155ИР1** показаний на рис. 6.10б в режимі запису паралельного коду 1101 і зрушення в право. При використанні регістра **K155ИР1** в режимі зрушення вліво необхідно попарно з'єднати виведення 2 і 12; 3 і 11; 4 і 10. Послідовний код слід подавати на виведення **5 (D8)**, а на вхід **V2** - логічну "1".

При цьому тактові імпульси на вході **C2** будуть зрушувати інформацію вліво. Регістр **K155ИР1** можна використати у багато розрядних перелічувальних пристроях і в дільниках з коефіцієнтами перерахунку від 2 до 8.

6.7 Література

6.7.1. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ: учеб. пособие для спец ЭВМ вузов. -М.: Высш. шк. 1987. -318с. : ил.

Лабораторна робота №7

ДОСЛІДЖЕННЯ РОБОТИ ЛІЧИЛЬНИКІВ

Мета роботи: вивчити і дослідити принцип роботи двоїчних лічильників послідовного та паралельного типів, двоїчно-десятичного лічильника та лічильника з вільним коефіцієнтом переліку.

7.1 Лабораторна установка

В лабораторну установку (рис.7.1) входять: універсальний стенд 2 змінним модулем лічильники (ЛЧ) 3, генератор імпульсів 1 і роз'єднувачі для підключення до нього змінних досліджуємих модулів, кнопки комутації ланцюгів S1 - S9, коаксіальні з'єднувачі і гнізда XS1 - XS20 для підключення засобів вимірювань. Для роз'єднання засобів вимірювань з універсальним стендом використовуються допоміжні засоби – кабелі радіочастотні і навантаження.

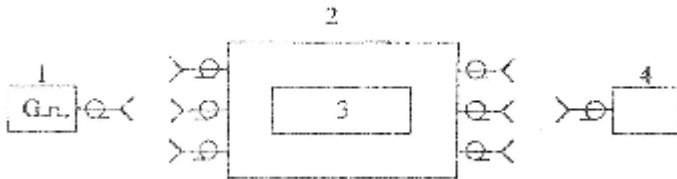


Рисунок 7.1 - Склад лабораторної установки

Змінний модуль ЛЧ, схема якого приведена на (рис.7.2), містить: лічильник з послідовним переносом на мікросхемах DD1 і DD2; лічильник з паралельним переносом - DD3...DD5; двоїчно-десятичний лічильник DD11; лічильник з вільним коефіцієнтом переліку - DD6-DD7.

Підключення до джерела постачання здійснюється з допомогою кнопочних перемикачів: S1 - лічильник з послідовним переносом; S2 - лічильник з паралельним переносом; S3 - лічильник з вільним коефіцієнтом переліку, S4 - двоїчно-десятковий лічильник.

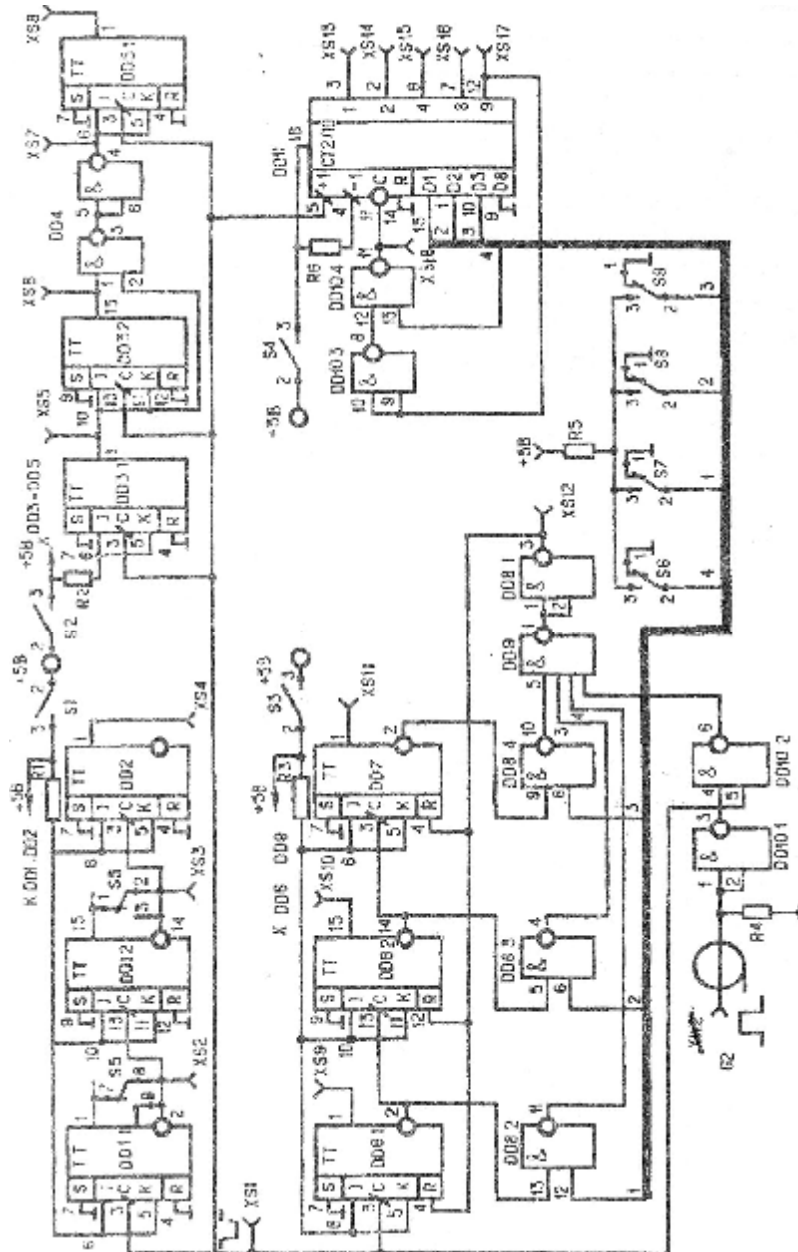


Рисунок 7.2 – Схема електрична змінного модуля ЛЧ

Перемикачами $S7 - 2^0$, $S8 - 2^1$, $S9 - 2^2$ встановлюється двійковий код N для задання необхідного коефіцієнта переліку $K_{сч}=N+1$. Перемикач $S6$ дозволяє перевести початкову установку двоїчно-десятькового лічильника в стан N , визначає положенням перемикачів $S7, S8, S9$ для реалізації лічильника з коефіцієнтом переліку $K_{сч}=10 - N$.

Вхідний сигнал від генератора імпульсів для всіх схем подається на роз'єднувач $XW2$ універсального стенду. Його наявність можна проконтролювати осцилографом, підключивши останній за допомогою роз'єднувального кабеля до роз'єднувача $XS1$.

7.2 Підготовка до роботи

7.2.1 Користуючись даними методичними вказівками (розділ 6) і рекомендованою літературою, вивчити роботу двоїчних лічильників з послідовним і паралельним переносом, двоїчно – десятькового лічильника і лічильника з вільним коефіцієнтом переліку, ознайомитись з їх перевагами і недоліками.

7.2.2 Відповісти на контрольні запитання.

7.2.3 Згідно з варіантом (табл. 7.1) накреслити часові діаграми роботи лічильників послідовного (гнізда $XS1...XS4$) і паралельного (гнізда $XS1, XS5...XS8$) типів, двоїчно – десятькового лічильника (гнізда $XS1, XS13...XS17$), лічильника з вільним коефіцієнтом переліку (гнізда $XS1, XS9...XS12$).

Таблиця 7.1 – Таблиця варіантів

№ вар.	Досліджуємі схеми функції
1	Двоїчно-десятковий лічильник $K_{сч}=2$ і двоїчний лічильник з паралельним переносом
2	Двоїчно-десятковий лічильник $K_{сч}=3$ і двоїчний лічильник з послідовним переносом
3	Двоїчно-десятковий лічильник 1 двоїчний лічильник з вільним коефіцієнтом переліку $K_{сч}=6$
4	Двоїчний лічильник з вільним коефіцієнтом переліку $K_{сч}=5$ і з паралельним переносом
5	Двоїчний лічильник з вільним коефіцієнтом переліку $K_{сч} \sim 4$ і з послідовним переносом
6	Двоїчно-десятковий лічильник $K_{сч}=8$ і двоїчний лічильник з послідовним переносом
7	Двоїчно-десятковий лічильник $K_{сч}=3$ і двоїчний лічильник з паралельним переносом
8	Двоїнні лічильники $K_{сч}=2$ з послідовними і паралельними переносами

7.3 Порядок виконання роботи

7.3.1 Зібрати схему вимірювань згідно рис. 7.3

7.3.2 Користуючись технічним описом осцилографа підготувати прилад до роботи.

7.3.3 Встановити на генераторі прямокутних імпульсів $f=100$ кГц, основний імпульс 0І позитивної полярності з амплітудою не більш 5В, тривалістю 1мкс подати на XW2. Використати зовнішню синхронізаціюосцилографа:

XS4 - для лічильника з послідовним переносом;

XS8 - для лічильника з паралельним переносом;

XS11 - для лічильника з вільним коефіцієнтом переліку;

XS17 - для двоїмно-десятичного лічильника;

7.3.4 Дослідити двоїчний лічильник з послідовним переносом, для цього перемикач S1 перевести в положення «ВКЛ». Зняти і побудувати часові діаграми (XS1... XS4) роботи лічильника.

7.3.5 Дослідити двоїчний лічильник з паралельним переносом, для цього перемикач S2 перевести в положення «ВКЛ», а перемикач S1 – в положення "ВЫКЛ. Зняти і побудувати часові діаграми (XS1,XS5... XS8) роботи лічильника.

7.3.6 Дослідити лічильник з вільним коефіцієнтом переліку. Для роботи лічильника необхідно перемикач S3 перевести в положення «ВКЛ», а перемикач S2 - в положення «ВЫКЛ». Перемикачами S7 – 2°, S8 – 2¹, S9 – 2² встановити двоїчний код N для задання необхідного коефіцієнта переліку $K_{сч}=N+1$ згідно таблиці варіантів (табл.7.1) для ($0 < N < 7$). Зняти і побудувати часові діаграми (XS1,XS9... XS12).

7.3.7 Дослідити двоїно-десятковий лічильник, для цього перемикач S4 перевести в положення «ВКЛ». Перемикачами S7 - 2°, S8 – 2¹, S9 - 2² встановити двоїчний код N для реалізації лічильника з коефіцієнтом переліку $K_{сч}=10 - N$ згідно таблиці варіантів (табл. 7.1) для ($0 < N < 10$). Перемикач S6 перевести в положення «ВКЛ», тим самим дозволити початкову установку двоїчно- десятичного лічильника в положення N. Зняти і побудувати часові діаграми (XS1,XS13... XS18) роботи лічильника

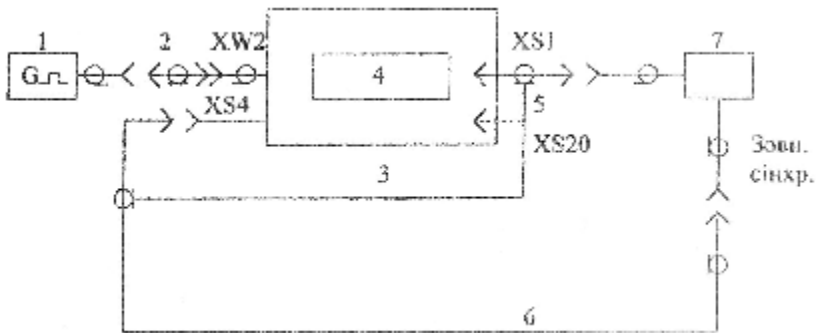
7.4 Зміст звіту

7.4.1. Мета роботи.

7.4.2. Схема вимірювань.

7.4.3. Результати вимірювань у вигляді часових діаграм роботилічильників згідно з варіантом.

7.4.4. Висновки, відобразити особливості роботи лічильників усіхвидів, їх переваги і недоліки.



1 – генератор Г5-54; 2, 5, 6 – з'єднуючі кабелі; 3 – стенд універсальний;
4 – модуль «СЧ»; 7 – осцилограф С1-55

Рисунок 7.3 - Схема установки для дослідження лічильника з послідовним переносом

7.5 Контрольні запитання

7.5.1. Яке призначення лічильників і галузі їх використання.

7.5.2. Назвіть різновиди лічильників.

7.5.3. Назвіть основні параметри лічильників і дайте їх визначення.

7.5.4. Поясніть роботу двоїчних передумовних сумуючих лічильників з послідовним переносом.

7.5.5. Поясніть роботу двоїчних сумуючих лічильників з паралельним переносом.

7.5.6. Поясніть роботу двоїчних відймаючих і реверсивних лічильників.

7.5.7. Поясніть роботу лічильників з вільним коефіцієнтом переліку.

7.6 Стислі теоретичні відомості

7.6.1 Основні положення

Лічильники - пристрої, призначені для підрахунку й зберігання кількості імпульсів, поданих на вхід. Лічильники використовуються в різноманітних цифрових пристроях, зокрема в пристроях керування ЕОМ. Вони складаються із розрядних схем, з'єднаних одна з одною, що містять тригери і логічні елементи. Специфікою для лічильників є операції інкрементації (або декрементації), тобто зміни перебуваючого на одиницю. Крім того, в них виконуються і такі мікрооперації, як встановлення в початкове положення, зберігання, видавання слів та ін.

Лічильники характеризуються перш за все модулем лічби (коефіцієнтом переліку Ксч, ємністю). При постачанні вхідних сигналів лічильник переходить з одного стійкого стану до іншого, причому, після кожного Ксч сигналів повертається до початку циклу. Лічильники класифікують по значенню модуля лічби, напрямку лічби, засобу організації міжрозрядних зв'язків.

По значенню модуля лічби розрізняють двійкові ($K_{сч}=2^n$), двійково кодовані (з вільним модулем, але кодуванням станів двійковими кодами), лічильники з одинарним кодуванням та ін.

За напрямком лічби лічильники поділяються на сумуючі (прямої лічби), віднімаючі (зворотньої лічби) та реверсивні (з зміною напрямку лічби). По засобу організації міжрозрядних зв'язків розрізняють лічильники з послідовним, паралельним і комбінованим переносами.

Швидкодія лічильника характеризується наступними параметрами: часом встановлення коду $-t_{уст.}$, відлічуванім від початку вхідного сигналу до моменту встановлення нового стану, часом розповсюдження переносу $-t_n$ (від початку вхідного сигналу до початку вихідного, викликаного даним вхідним), максимальною частотою вхідних імпульсів $-F_{max}$.

Найбільш зручно будувати лічильники на тригерах Т або JK (при $J=K=1$), функціонуючими як однорозрядні двійкові лічильники.

7.6.2 Двійкові лічильники з послідовним переносом

Модуль двійкового лічильника - ціла ступінь двійки ($K_{сч}=2^n$), а його стан виявляється двійковим кодом $Q_{(n-1)}...Q_{(0)}$, читаємих по виходах тригерів розрядів. Структури двійкових лічильників можна одержатиуважно роздивившись послідовність двійкових чисел або застосовуючи елементи формального синтезу.

Розглянемо послідовність двійкових чисел від 0 до $K_{сч} - 1$. Для 4х-розрядного лічильника - це табл. 7.2.

Таблиця 7.2 – Таблиця перемикаць тригерів

	ПРЯМИЙ ЛІК					ЗВОРОТНІЙ ЛІК				
Вхід	Q3	Q2	Q1	Q0	N _{дес}	Q3	Q2	Q1	Q0	N _{дес}
1	0	0	0	0	0	1	1	1	1	15
1	0	0	0	1	1	1	1	1	0	14
1	0	0	1	0	2	1	1	0	1	13
1	0	0	1	1	3	1	1	0	0	12
1	0	1	0	0	4	1	0	1	1	11
1	0	1	0	1	5	1	0	1	0	10
1	0	1	1	0	6	1	0	0	1	9
1	0	1	1	1	7	1	0	0	0	8
1	1	0	0	0	8	0	1	1	1	7
1	1	0	0	1	9	0	1	1	0	6
1	1	0	1	0	10	0	1	0	1	7
1	1	0	1	1	11	0	1	0	0	5
1	1	1	0	0	12	0	0	1	1	4
1	1	1	0	1	13	0	0	1	0	3
1	1	1	1	0	14	0	0	0	1	2
1	1	1	1	1	15	0	0	0	0	1

З таблиці бачимо, що тригер молодшого розряду перемикається від кожного вхідного сигналу (нулі і одиниці чергуються в стовпцях праворуч по-одному). В стовпці наступного розряду нулі і одиниці чергуються парами, потім четвірками, вісімками, і , якщо продовжувати таблицю, то можна побачити

продовження тієї ж закономірності - частота перемикання зменшується вдвічі в порівнянні з частотою перемикань попереднього. Отже, лічильник можна побудувати як ланцюг послідовно ввімкнених лічильних тригерів, кожний з яких володіє властивістю поділу частоти на два.

Таким чином, лічильники з послідовним переносом характеризуються тим, що керуючими сигналами для старших розрядів є сигнали з інформаційних виходів молодших розрядів, а лічильні імпульси надходять на вхід першого розряду (рис. 7.4). Для таких двійкових лічильників максимальна частота поступу лічильних імпульсів визначається з виразу:

$$t_{сч} = 1 / (t_{имп} + t_{уст}), \text{ де } t_{имп} - \text{тривалість лічильних імпульсів}$$

$$t_{уст} = n * t_{зт.сер.}, \text{ де } n - \text{кількість тригерів}$$

$$t_{зт.сер.} = 0.5 * (t_{зт}^{01} + t_{зт}^{10}) - \text{середня затримка перемикання тригера.}$$

Перевага таких лічильників - простота, недолік - мала швидкодія

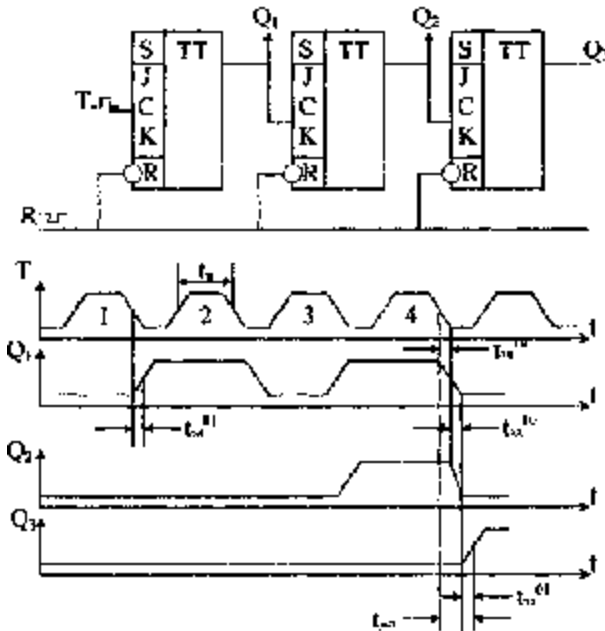


Рисунок 7.4 - Двійковий лічильник з послідовним переносом і безпосередніми зв'язками

7.6.3 Паралельні лічильники

Паралельні лічильники (синхронні, з паралельним переносом) мають найбільшу швидкість, оскільки в них усі розряди перемикаються одночасно. Паралельний лічильник (рис.7.5) містить розрядні тригери з кон'юнкторами, аналізуючими стан попередніх розрядів. При постачанні вхідного сигналу перемикаються лиш ті тригери, для яких усі попередні були в одиничному стані. Час встановлення лічильника не залежить від розрядності і дорівнює:

$$t_{уст} = t_{зк} + t_{тг},$$

де $t_{зк}$ - затримка сигналу кон'юнктором

Труднощі реалізації багаторозрядних паралельних лічильників пов'язані із зростанням кількості входів у кон'юнкторів (або кількості входів J і K в тригерах) по мірі збільшення розрядності лічильника. Звичайно розрядність паралельного лічильника обмежена наявністю необхідних елементів в використовуємії серії ІМС. Другий обмежуючий фактор – зростання навантаження на виходи тригерів по мірі збільшення кількості розрядів лічильника.

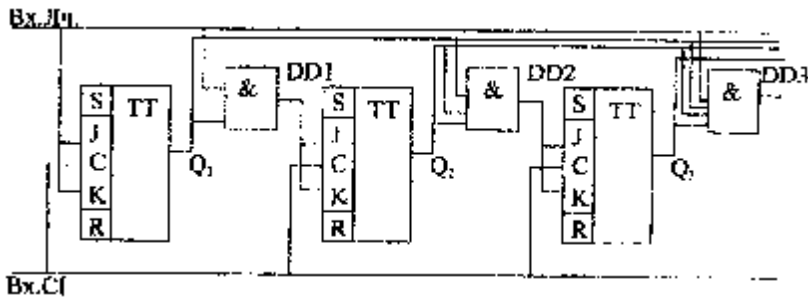


Рисунок 7.5 - Двійковий лічильник з паралельним переносом

У зв'язку з обмеженнями на побудову паралельних лічильників широке розповсюдження отримали лічильники з груповою структурою (комбінованим переносом), в яких лічильник розділяється на групи, усередині яких реалізується міжгруповий перенос.

Лічильник з паралельно-послідовним переносом має в ланцюгах міжгрупових переносів кон'юнктори, формуючи перенос в наступну групу при одиничному стані усіх тригерів попередньої. Кожна група

включається в роботу (отримує сигнал на вхід T) з затримкою, що вноситься кон'юнкторами.

В найгіршому з точки зору швидкодії випадку, коли перенос проходить увесь ланцюг і поступає на вхід останньої групи, час встановлення коду:

$$t_{уст} = t_{зк}(L-1) + t_{уст.гр.},$$

де L - кількість груп, $t_{уст.гр.}$ - час встановлення коду в групі.

Враховуючи вираз для часу встановлення коду в групі з паралельним переносом, що дорівнює часу встановлення коду в паралельному лічильнику, отримаємо:

$$t_{уст} = L * t_{зк} + t_{л.тч.},$$

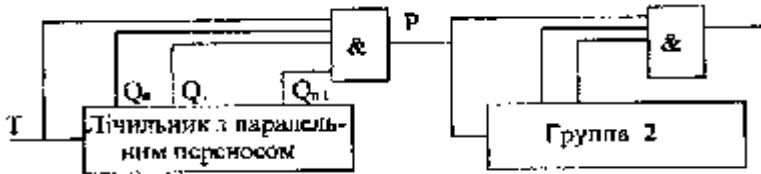


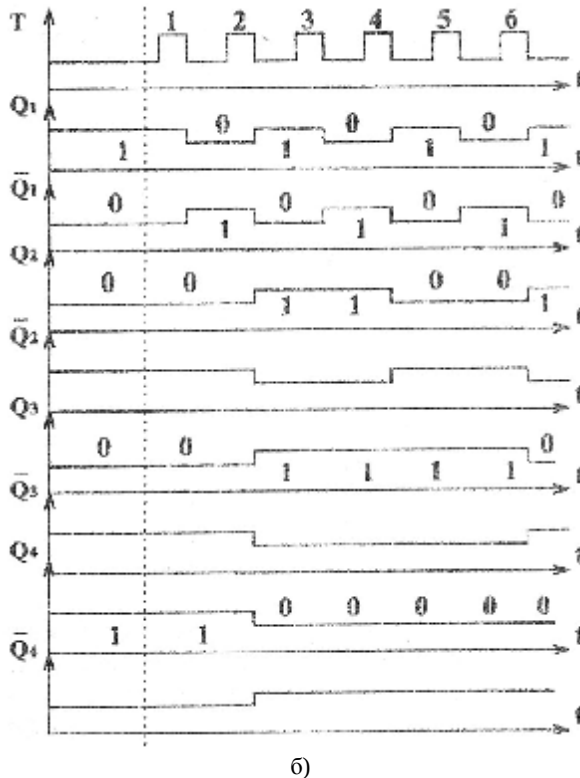
Рисунок 7.6 - Схема лічильника групового типу з паралельно-послідовним переносом

Лічильник з крізним переносом (рис.7.7) можна розуміти як крайній випадок для структури групового типу при використанні однорозрядних груп. В цьому лічильнику вхідний сигнал розповсюджується по низці кон'юнкторів від молодшого розряду до першого, що містить нуль. Подальше розповсюдження переносу припиняється блокуванням відповідного вентиля. Розповсюджуючись по низці кон'юнкторів, сигнал переносу одночасно перемикає тригери і усі молодші розряди лічильника, враховуючи перший нульовий, інвертуються, що і треба для реалізації лічильного режиму.

Максимальний час встановлення коду в лічильнику з крізним переносом:

$$t_{уст} = t_{зк}(n-1) + t_{тр.}$$

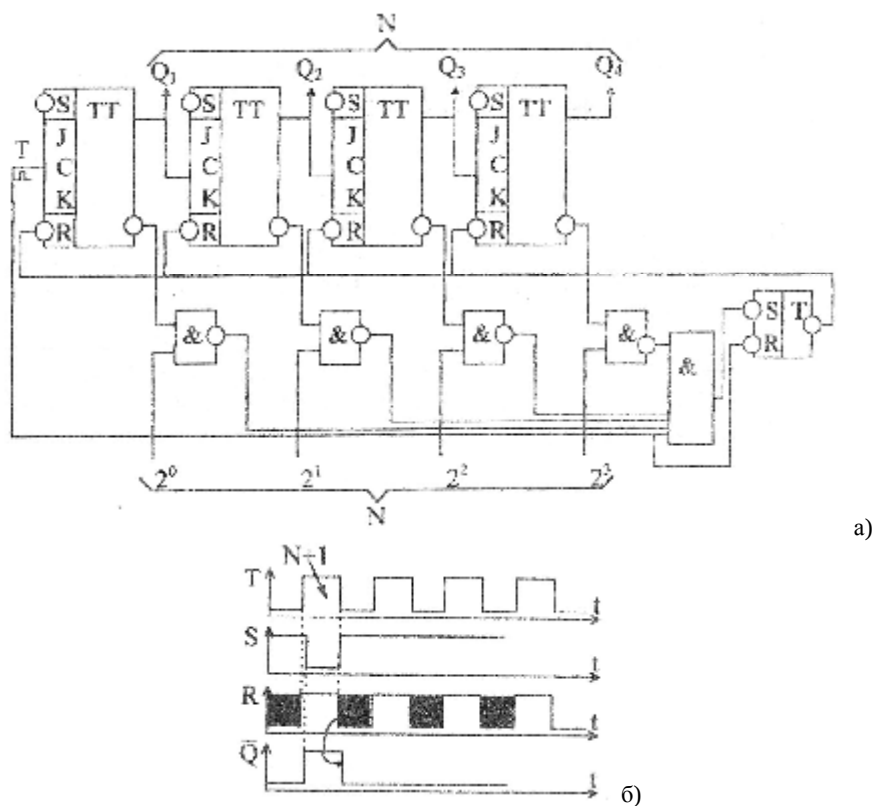
В порівнянні з послідовним лічильником схема з крізним переносом виграс в тій мірі, в якій затримка кон'юнктора даної серії елементів менше часу розповсюдження переносу в тригері.



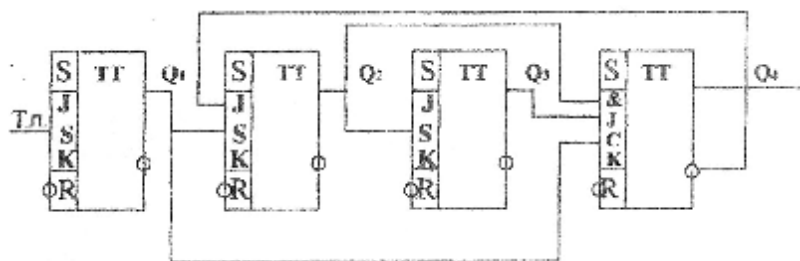
а) - віднімаючий двійковий лічильник; б) - часова діаграми
Рисунок 7.8 – Лічильник

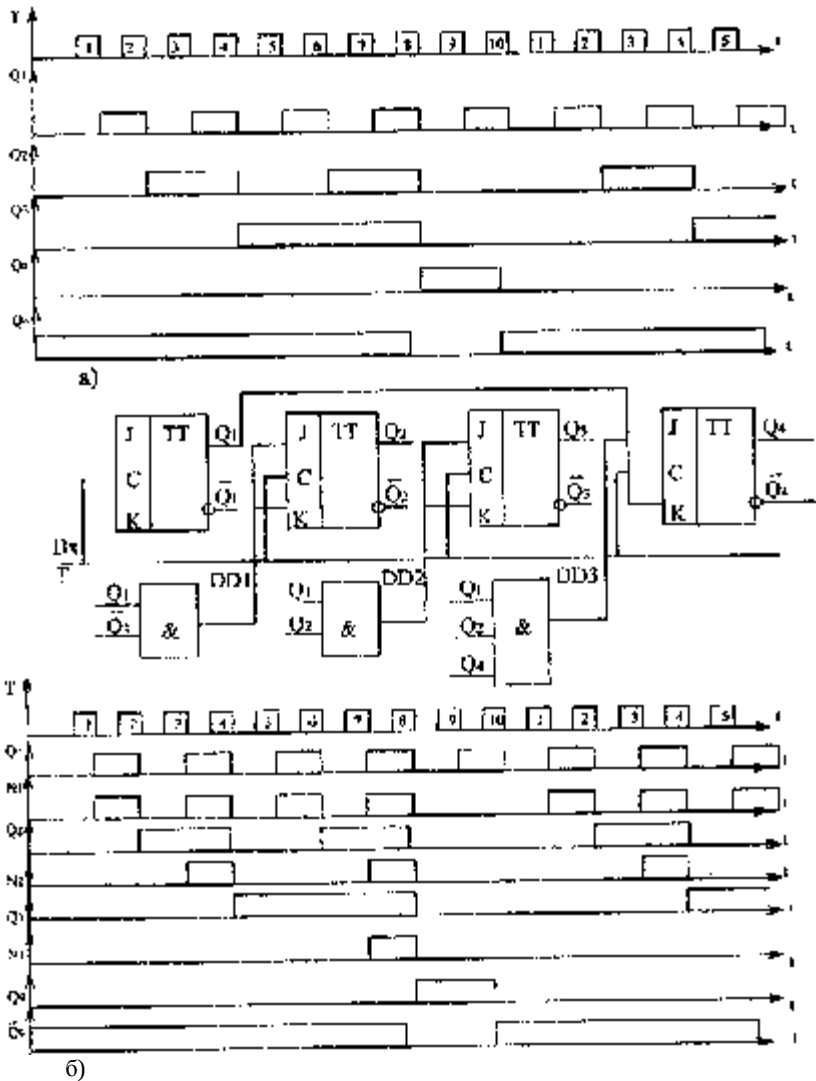
7.6.5 Реверсивні лічильники

Реверсивні лічильники (рис.7.9) дозволяють виконувати операції додавання і віднімання імпульсів. В залежності від керування $\pm V$ лічильника входи наступних тригерів з'єднуються або з прямими, або з інверсними виходами попередніх. У режимі додавання ($+V=1; -V=0$) відкриваються елементи DD1, DD4, і з приходом кожного лічильного імпульсу показання лічильника буде збільшуватись на одиницю. У режимі віднімання ($+V=0; -V=1$) відкриваються елементи



а) – схема лічильника; б) – часова діаграма роботи RS тригера
Рисунок 7.10 – Лічильник з природним порядком лічби і регульовим коефіцієнтом передачі





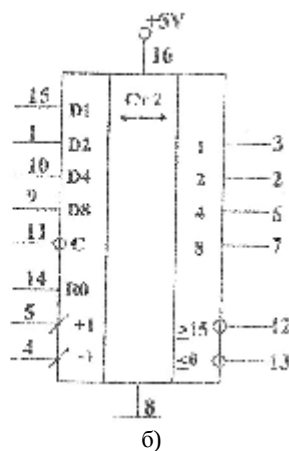
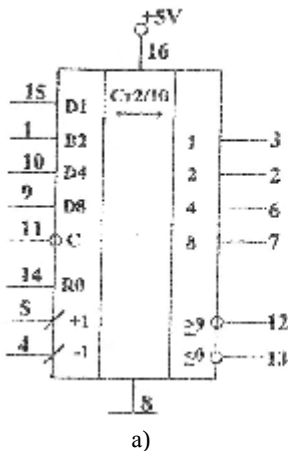
а) - десятичний паралельний лічильник

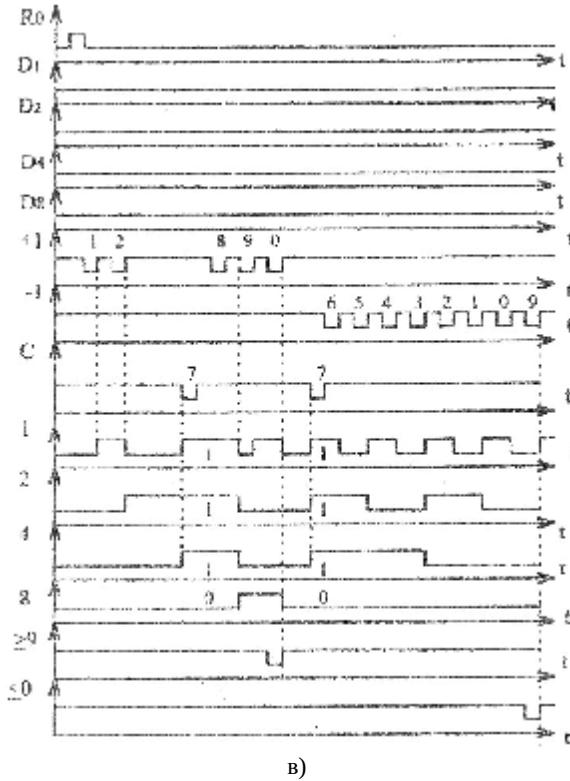
б) - десятичний послідовний лічильник

Рисунок 7.11 - Десятичний лічильник з природним порядком переліку

В серію мікросхем К155 входять лічильники: К155ІЕ6 - лвійково-десятичний реверсивний, К155ІЕ7 - двійковий. Призначення виводів мікросхем К155ІЕ6(К155ІЕ7): встановлення тригерів лічильника в "0" відбуваються при постачанні імпульсів $\neg$ на вхід **Ro**, при цьому на вході **C** повинна бути логічна "1" (рис.7.12). Лічильник дозволяє попередньо записувати в двійковому коді число, що подається на входи D1, D2, D4, D8. При запису двійкового коду на вхід **C** подається імпульс $\neg$, при цьому на вході **Ro** повинен бути логічний "0".

Пряма лічба відбувається при постачанні від'ємних імпульсів на вхід +1, при цьому на входах -1 та **C** повинна бути логічна "1", а на вході **Ro** - логічний "0". Перемикання тригерів лічильника відбувається по фронту 0/1 тактових імпульсів. Одночасно з кожним десятим (шістнадцятим) тактовим імпульсом на вході ≥ 9 (≥ 15) з'являється від'ємний імпульс. Потенціали на входах 1, 2, 4, 8 відповідають записаному в ньому в даний момент числу. При зворотній лічбі (відніманні) тактові імпульси подають на вхід -1, вихідні імпульси знімають з виходу ≤ 0 .





а) - K155IE6; б) - K155IE7;
в) - часові діаграми роботи лічильника K155IE6

Рисунок 7.12 - Умовні графічні позначення лічильників

7.7 Література

- 7.7.1. Каламбеков Б.А., Мамзев И.А., Цифровые устройства и микропроцессорные системы. - М: Радио и связь, 1987. - 400 с.
- 7.7.2. Угрюмов Е. П. Проектирование элементов и узлов ЭВМ. - М: Высшая школа, 1987.-400 с.

Лабораторна робота №8

ДОСЛІДЖЕННЯ ОПЕРАЦІЙНИХ ПІДСИЛЮВАЧІВ

Мета роботи:

- вивчити схеми побудови, принцип роботи та параметри операційних підсилювачів (ОП) в інтегральному виконанні;
- дослідити характеристики інвертуючого та неінвертуючого підсилювачів;
- дослідити роботу ОП в лінійних частотно-незалежних та частотно-залежних схемах;
- дослідити вплив на роботу ОП параметрів конструкції.

8.1 Стислі теоретичні відомості

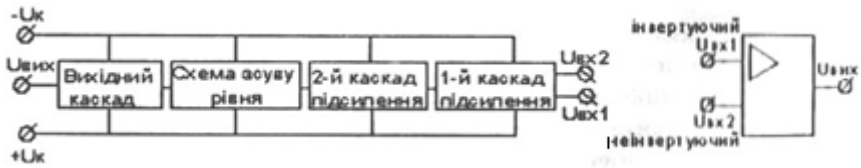
8.1.1 Призначення та структура операційного підсилювача

Операційний підсилювач в інтегральному виконанні є високоякісним, багатокаскадним підсилювачем напруги. ОП виконує наступні функції: - алгебраїчне додавання, віднімання, множення, ділення, диференціювання, інтегрування, а також підсилення та перетворення сигналів, активна фільтрація, генерація сигналів і т.д.

Інтегральні ОП будуються по схемі підсилювача з безпосереднім зв'язком між окремими каскадами, з диференціальним вхідним підсилювачем, з двома входами та одним (двома) виходами. З метою збільшення вхідного опору, а також зменшення статичних та дрейфових похибок, вхідний каскад працює в режимі мікроамперних струмів. Другий каскад - підсилювач напруги, також виконується по схемі диференціального підсилювача і забезпечує значний коефіцієнт підсилення. В підсилювачі напруги здійснюється також зсув рівня підсилювання сигналу на деяку постійну напругу, з метою узгодження виходу цього каскаду із входом підсилювача потужності. В вихідному каскаді підсилювача потужності формується амплітуда вихідного сигналу. Вихідна напруга може бути позитивна або негативна по відношенню до потенціалу загальної точки двох джерел живлення $+U_k$ та $-U_k$. Обидві різнополярні вихідні напруги повинні бути приблизно рівні, тому необхідно мати рівні по абсолютній величині

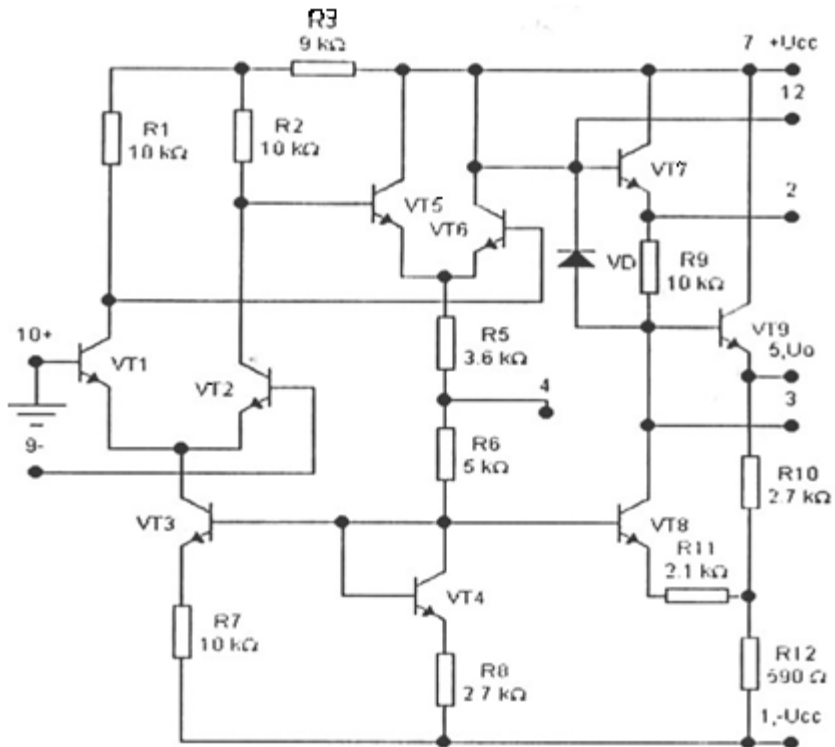
напруги живлення. Вихідна напруги $U_{\text{вих}}$ знаходиться напругою $U_{\text{вх2}}$ і в протифазі до напруги $U_{\text{вх1}}$.

Схема ОП наведена на рис. 8.1.



а) структурна схема

б) умовне позначення



в) Електрична схема 140УД11»

Рисунок 8.1 - Операційний підсилювач

Вхідний каскад ОП 140УД1Б (рис. 8.1, в) складається з диференційного підсилювача на транзисторах VT1, VT2 з джерелом струму в колі емітера на транзисторі VT3. Температурна стабілізація струму забезпечується транзистором VT4. Другий каскад ОП виконаний на транзисторах VT5 та VT6, який безпосередньо зв'язаний з виходами вхідного каскаду. На виході ОП включені два емітерних повторювача на транзисторах VT7, VT9. Каскад на транзисторі VT8 забезпечує зсув рівня постійної напруги.

8.1.2 Основні параметри ОП

Коефіцієнт підсилення по напрузі $K_{уц}$ характеризує здатність ОП підсилювати диференційний вхідний сигнал

$$K_{уц} = U_{вих} / (U_{вх1} - U_{вх2})$$

Типове значення коефіцієнта підсилення $10^5 \dots 10^6$

Вхідна напруга зсуву $U_{зс}$ - це напруга, яка пов'язана з неідентичністю напруги емітерних переходів транзисторів вхідною диференціальним підсилювача. Напруга зсуву призводить до невиконання умови $U_{вих} = 0$ при $U_{вх} = 0$. Типове значення $U_{зс}$ - одиниці ...десятки мілівольт.

Вхідний струм $I_{вх}$ - це струм, протікаючий через вхідні виводи ОП і необхідний для забезпечення режиму роботи транзисторів по постійному струму. Типове значення $I_{вх}$ - одиниці мікроампер ... сотні наноампер.

Вхідний опір $R_{вх}$. Розрізняють диференціальний $R_{вхд}$ і синфазний $R_{вхс}$ вхідні опори.

$R_{вхд}$ визначається як опір між входами підсилювача, а $R_{вхс}$ - як опір між об'єднаними вхідними виводами і загальною шиною. Типове значення вхідного опору - сотні кОм.

Вихідний опір $R_{вих}$ - це опір підсилювача, який визначається при відсутності навантаження. Типове значення вихідного опору - сотні Ом.

Коефіцієнт ослаблення синфазного сигналу визначає міру ослаблення синфазного вхідного сигналу. Типове значення - 50...70 дБ.

Максимальна швидкість зміни вихідної напруги V характеризує частотні властивості підсилювача при його роботі в імпульсних схемах. Типове значення V - одиниці В/мкс.

Частота одиничного підсилення f_1 - це частота, на якій коефіцієнт підсилення ОП дорівнює одиниці. Ця частота не більше декількох мегагерц.

8.1.3 Частотні властивості ОП

Частотні властивості ОП в залежності від умов його застосування характеризуються двома групами параметрів.

Перша група параметрів використовується при побудові аналогічних схем. До них відносяться передаточна характеристика або АЧХ, ФЧХ.

Друга група параметрів використовується при побудові імпульсних схем. До них відносяться максимальна швидкість зміни вихідної напруги.

Треба підмітити, що на частотні властивості ОП також значно впливають конструктивні параметри пристроїв (паразитні ємності).

8.1.4 Схеми включення ОП

Виконання ОП різних операцій залежить від використання зворотного зв'язку (ЗЗ). ЗЗ виконуються за допомогою схемних елементів, електричні характеристики яких визначаються видом виконуваної функції. Відмітимо, що незалежно від схеми включення ОП залишаються незмінними два правила:

- вихідна напруга ОП намагається призвести до того, щоб різниця входних напруг $U_{вх1}-U_{вх2}=0$ (правило!);
- входи ОП струму не споживають $I_{вх}=0$ (правило 2).

Перше правило не означає, що ОП дійсно міняє напругу на своїх входах. ОП "оцінює" стан входів і за допомогою зовнішньої схеми ЗЗ передає напругу з виходу на вхід так, що різниця напруги між входами стає рівною 0.

8.1.4.1 Інвертуючий підсилювач

Схема інвертуючого ОП з від'ємним зворотним зв'язком (ВЗЗ) наведена на рис 8.2.

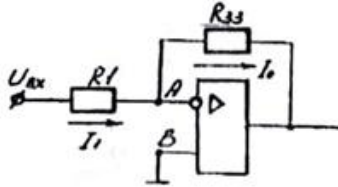


Рисунок 8.2 - Схема інвертуючого ОП

Відповідно до правила 1 $U_B = U_A = 0$. Це значить, що напруга зворотнього зв'язку $U_{R33} = U_{вих}$, а $U_{R1} \sim U_{вх}$. Відповідно до правила 2 $U_{вих} / R_{33} = -U_{вх} / R_1$. Коефіцієнт підсилення по напрузі буде:

$$K_u = U_{вих} / U_{вх} = - R_{33} / R_1.$$

ОП в цій схемі тільки підтримує близький до нуля потенціал на інвертуючому вході. Таким чином, ОП з ВЗЗ підтримує вхідну напругу (диференційний сигнал) на вхідних виводах рівну нулю.

Інвертуючий ОП є однією з основних схем, на основі якої будуються різні функціональні вузли.

Якщо потенціал неінвертуючого входу дорівнює нулю, то і потенціал інвертуючого входу також дорівнює нулю, в наслідок чого вхідний опір по інвертуючому входу ОП $R_{*вх} = R_1$.

Значення ВЗЗ характеризується коефіцієнтом зворотнього зв'язку $K_{взз}$:

$$K_{взз} = K_u / K_u = - K_u R_1 / R_{33}.$$

ВЗЗ стабілізує параметри ОП. Вихідний опір ОП з ВЗЗ дорівнює:

$$R_{*вих} = R_{вих} / K_{взз} = R_{вих} * K_u / K_u.$$

Інвертуючий ОП має крайні параметри при $K_u = 1$. Верхня гранична частота смуги пропускання ОП при $K_u < K_u$ визначається

$$f_{в*} = f_1 / (1 + R_{33} / R_1).$$

8.1.4.2 Неінвертуючий підсилювач

Схема неінвертуючого ОП з ВЗЗ наведена на рис.8.3.

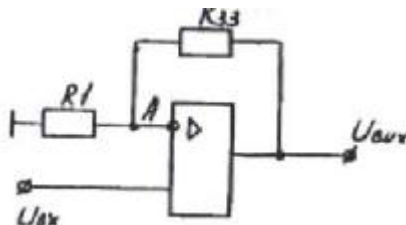


Рисунок 8.3 - Схема неінвертуючого ОП

Коефіцієнт підсилення по напрузі неінвертуючого ОП визначається виразом:

$$K_u = U_{вих}/U_{вх} = 1 + R_{зз}/R_1.$$

Полярність вихідного сигналу не інвертується .

Вхідний опір каскаду для джерела сигналу дуже великий (МОм) і визначається виразом:

$$R^*_{вх} = R_{вх} K_u / K_u = R_{вх} * K_{ВЗЗ}$$

Вихідний опір каскаду малий (10 Ом) і визначається виразом:

$$R^*_{вих} = R_{вих} K_u / K_u = R^*_{вих} / K_{ВЗЗ}$$

8.1.4.3 Суматор з багатьма входами

Принципова схема інвертуючого суматора, який виконує математичну операцію додавання трьох вхідних сигналів U_1, U_2, U_3 , наведена на рис. 8.4. До інвертуючого входу ОП через $R_{зз}$ підводиться частина вихідної напруги $U_{вих}$.

Згідно з першим законом Кірхгофа для інвертуючого входу маємо:

$$- U_{\text{вих}} / R_{33} = U_1/R_1 + U_2/R_2 + U_3/R_3$$

і далі

$$U_{\text{вих}} = -(U_1 R_{33}/R_1 + U_2 R_{33}/R_2 + U_3 R_{33}/R_3)$$

Тобто сигнал на виході $U_{\text{вих}}$ рівняється інверсії від алгебраїчної суми вхідних сигналів, взятих із своїми масштабними коефіцієнтами. При умові рівності $R_1 = R_2 = R_3 = R$ маємо:

$$U_{\text{вих}} = -(R_{33}/R) (U_1 + U_2 + U_3),$$

де R_{33}/R - масштабний коефіцієнт.

Таким чином, вихідна напруга пропорційна сумі вхідних напруг.

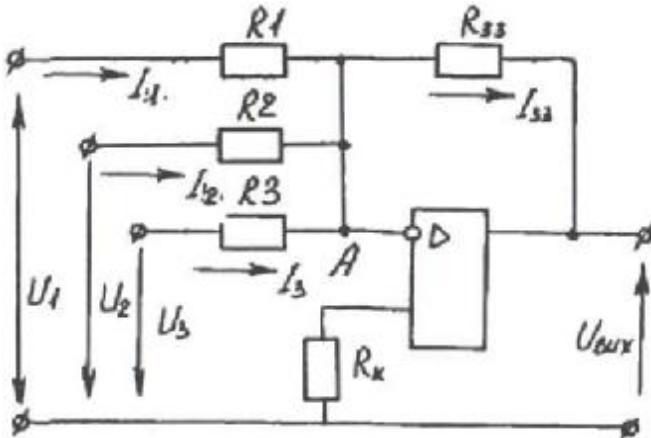


Рисунок.8.4- Принципова схема інвертуючого суматора

8.1.4.4 Інтегруючий підсилювач

Для інтегруючого підсилювача (інтегратора) вихідна напруга пропорційна інтегралу від вхідної напруги.

Схема інтегратора на ОП наведена на рис. 8.5.

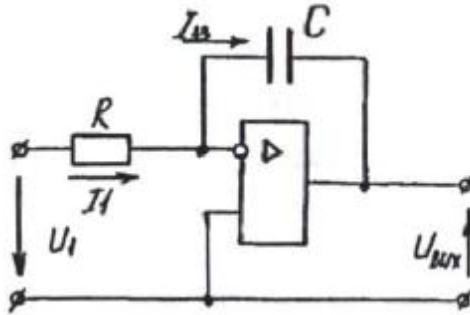


Рисунок 8.5- Схема інтегратора на ОП

Схему інтегратора одержують методом заміни активного опору в колі зворотнього зв'язку $R_{зз}$ конденсатором C . Під час перехідного процесу в колі RC , ОП працює в лінійному режимі. Цьому режиму відповідає процес інтегрування. Якщо допустити, що $K_u \rightarrow \infty$ то в схемі існує ПОВНИЙ ВЗЗ.

Згідно з першим законом Кірхгофа для інвертуючого входу ОП маємо:

$$U_1/R = -C(d U_{вих}/dt),$$

звідки

$$U_{вих} = -(1/RC) \int U_1 dt$$

Отриманий вираз справедливий для ідеального ОП. Якщо до входу ОП прикладати стрибкоподібну напругу, то

$$U_{вих} = -[U_1/RC]t$$

де RC - стала інтегрування.

Частота зріза інтегратора $f_{зр} = 1/RC$.

8.1.4.5 Диференційний підсилювач

Для диференційного підсилювача (диференціатора) вихідна напруга пропорційна dU_1/dt .

Схема диференціатора наведена на рис. 8.6.

Згідно з першим законом Кірхгофа для інвертуючого входу маємо:

$$U_{\text{вих}}/R = -C dU_1/dt$$

і далі

$$U_{\text{вих}} = -RC dU_1/dt$$

де RC - стала часу диференціатора.

Оскільки ємність конденсатора може бути достатньо малою, диференціатор є підсилювачем високочастотних сигналів.

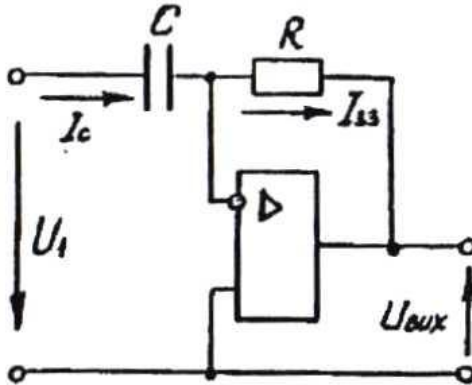


Рисунок 8.6- Схема диференціатора на ОП

8.2 Опис лабораторної установки

Лабораторна установка складається і універсального станда, змінного модуля "ОП" (операційний підсилювач), осцилографа, вольтметра, генераторів гармонійних коливань та генератора прямокутних імпульсів, коаксіальних кабелів.

Універсальний стенд містить з'єднувачі для підключення змінного модуля "ОП", кнопки комутації S1 - S10, гнізда XS1 - XS20 для підключення вимірювальних приладів, кнопку "ВКЛ" для включення напруги живлення універсального станда.

Змінний модуль "ОП" містить мікросхему ОП 140УД1Б та дискретні компоненти. Електрична схема модуля ОП, що досліджуються наведена на рис.8.7.

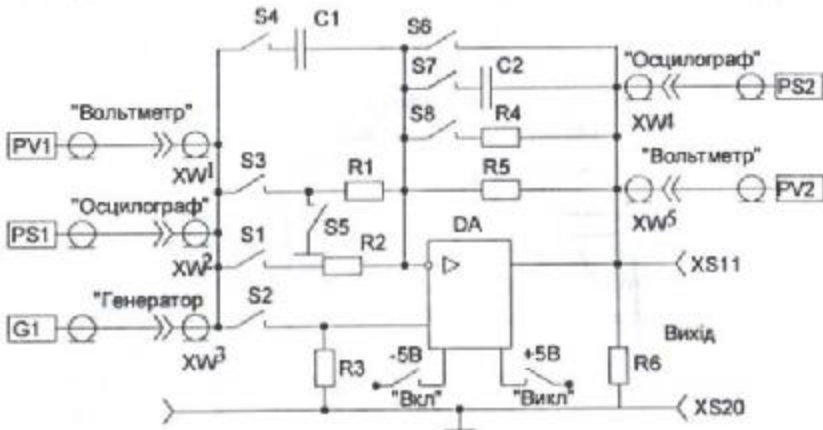


Рисунок 8.7 - Електрична схема модуля "ОП"

8.3 Підготовка до лабораторної роботи

8.3.1 Користуючись методичними вказівками і рекомендованою літературою вивчити: схеми інвертуючого та неінвертуючого ОП, їх параметри та характеристики; схеми побудови частотно-залежних пристроїв на базі ОП, їх параметри та характеристики.

8.3.2 Накреслити схеми досліджуваних пристроїв.

8.3.3 Відповісти на контрольні запитання.

8.3.4 Підготувати протоколи експериментальних досліджень.

8.4 Порядок виконання роботи

8.4.1 Дослідження інвертуючого ОП

Зібрати схему лабораторної установки для дослідження пристроїв, побудованих на базі ОП, відповідно до рис.8.7. Включити універсальний стенд і апаратуру в мережу 220 В, 50 Гц.

Побудувати схему інвертуючого ОП, використовуючи для цього кнопки комутації S1-S10.

Дослідження виконувати при різних значеннях опору в колах вхідного сигналу та В33. Положення кнопок комутації наведено в табл. 8.1.

Ввімкнути напругу живлення схеми ОП ("ВКЛ"). Подати на вхідне гніздо універсального стенда "Генер.1" сигнал 0,25В від генератора гармонійних коливань, на вихід ОП (XW4 "Осцил.", XW5 "Вольтметр") підключити вольтметр та осцилограф. Вхідну напругу 011 підтримувати постійною.

Визначити верхню граничну частоту смуги пропускання, а також коефіцієнт підсилення на частоті 100 Гц. Верхня гранична частота визначається за зменшенням коефіцієнту підсилення напруги в $\sqrt{2}$ раз в порівнянні з його значенням на частоті 100Гц.

Полученні дані занести до табл. 8.1.

Таблиця 8.1 - Результати дослідження інвертуючого ОП

Натиснуті кнопки	S1	S1; S8	S1;S3; S8
Резистори, включені в коло В33	R5	R5 □ R4	R5 □ R4
Резистори, включені в коло вхідного сигналу	R2	R2	R 2 □ R 1
Коефіцієнт підсилення на частоті 10^2 Гц			
Верхня гранична частота, кГц			

Отримати експериментальні дані для побудови амплітудної характеристики $U_{вих} = f(U_{вх})$.

Для цього з виходу генератора гармонійних коливань подати на вхід ОП сигнал частотою 100 Гц.

Кнопка комутації S1 натиснута, S2-S10 виключені.

Результати досліджень занести до табл. 8.2.

Таблиця 8.2 – Результати досліджень амплітудної характеристики

U _{вх} , В	0,1	0,5	0,7	1,0	1,2	1,5	1,8	2,0
U _{вих} , В								

Користуючись даними табл.8.2, побудувати амплітудну характеристику інвертуючого ОП, по ній визначити динамічний діапазон ОП.

Зменшити вихідну напругу генератора до мінімуму, кнопки S1-S10 виключити.

8.4.2 Дослідження неінвертуючого ОП

Побудувати схему неінвертуючого ОП, використовуючи для нього кнопки комутації S1-S10.

Дослідження провести при різних значеннях опору в колах вхідного сигналу та ВЗЗ. Положення кнопок комутації наведено в табл.8.3.

Вимірювальні прилади підключити так, як описано в розділі 8.1.

Таблиця 8.3 - Результати дослідження інвертуючого ОП

Натиснути кнопки	S2;S5	S2;S5;S8	S2;S5;S6
Резистори, включені в коло ВЗЗ	R5	R5 □ R4	R3
Резистори, включені в коло вхідного сигналу	R3	R3	R3
Коефіцієнт підсилення на частоті 10 ² Гц			
Верхня гранична частота, кГц			

Визначити верхню граничну частоту, а також коефіцієнт підсилення на частоті 100Гц. Получені дані занести до табл. 8.3.

Виключити генератор гармонійних коливань та вольтметр, відключити їх від універсального стенда. Кнопки комутації S1-S10 виключити.

8.4.3 Дослідження інтегратора напруги

Побудувати схему інтегратора напруги, використовуючи кнопки комутації S1; S7(натиснуті).

Подати на вхідне гніздо універсального стенда "Генер.1." позитивний імпульсний сигнал амплітудою 3В, частою 100 Гц та тривалістю 1 мкс. від генератора прямокутних імпульсів, на вихід інтегратора (XW4 "Осцил.") підключити осцилограф.

Спостерігаючи осцилограму на виході інтегратора, оцінити відмінну форми сигналу від лінійної. Накреслити форму сигналу на вході та виході інтегратора.

Зменшити вихідну напругу генератора до мінімуму, кнопки S1-S10 виключити.

8.4.4 Дослідження диференціатора напруги

Побудувати схему диференціатора, використовуючи кнопки комутації S4; S8 (натиснуті).

Подати на вхідне гніздо універсального стенда "Генер." позитивний імпульсний сигнал амплітудою 3 В, частою 5 кГц та тривалістю 1 мкс. від генератора прямокутних імпульсів, на вихід диференціатора (XW14 "Осцил.") підключити осцилограф.

Спостерігаючи осцилограму на вході та виході диференціатора, оцінити тривалість вихідних імпульсів. Накреслити форму сигналу на вході та виході диференціатора.

Виключити генератор прямокутних імпульсів, осцилографа та універсальний стенд.

Відключити прилади від універсального стенду.

8.5 Зміст звіту

Звіт повинен містити:

- назву і мету роботи;
- схеми досліджуваних пристроїв;
- результати досліджень;
- висновки по роботі.

8.6 Контрольні запитання

- 8.6.1 Накресліть структурну схему ОП. Які основні функції виконує ОП?
- 8.6.2 Які основні параметри ОП та їх порядок?
- 8.6.3 Накресліть схему інвертуючого ОП. Як по параметрах схеми розрахувати його коефіцієнт підсилення?
- 8.6.4 Накресліть АЧХ інвертуючого ОП. Від чого і як залежать її параметри?
- 8.6.5 Накресліть схему неінвертуючого ОП. Як по параметрах схеми розрахувати його коефіцієнт підсилення?
- 8.6.6 Накресліть АЧХ неінвертуючого ОП. Від чого і як залежать її параметри?
- 8.6.7 Що і як впливає на граничні частоти інвертуючого і неінвертуючого ОП?
- 8.6.8 Накресліть схему інтегратора на основі ОП, та поясніть принцип його роботи. Чому рівняється стала часу?
- 8.6.9 Накресліть схему диференціатора на основі ОП, та поясніть принцип його роботи. Від чого залежить тривалість вихідних імпульсів?
- 8.6.10 Покажіть копа, по яких проходить струм в ОП.

8.7 Література

- 8.7.1 Опадчий Ю.Ф., Грудкин О.П., Гуров Л.И. Аналоговая и цифровая электроника - М.: «Горячая линия», 2000.
- 8.7.2 Завадский В.А. Компьютерная электроника. - К.: «ТОО-БЕК», 1996.