

УДК 658:004

Бутко В. О.¹, Зеленьова І.Я.²

¹ студ. гр. КНТ-520 НУ «Запорізька політехніка»

² канд. техн. наук, доц. НУ «Запорізька політехніка»

АНАЛІЗ СУЧАСНИХ СТРУКТУР ОПЕРАЦІЙНОЇ ЧАСТИНИ ПРОЦЕСОРНОГО ЯДРА

Актуальна задача полягає у систематизації архітектур ядер процесорів за ступенем паралелізму на рівні інструкцій (англ. instruction level parallelism, або ILP). Це необхідно для визначення сучасних тенденцій у розробці процесорних ядер з максимальним ILP для проєктування майбутніх ядер.

Виконується пошук прикладів реалізації типів операційних автоматів (англ. datapath) I (individual), M (mutual) та IM (individual-mutual) у ядрах процесорів. I-автомат виконує мікрооперації (uOp) паралельно, M – послідовно. Причому, в процесі виконання uOp, в I та M-автоматах конвеєр не застосовується. IM-автомат має декілька конвеєрів, що працюють паралельно.

Розглянуто архітектури ядер: Intel 8008, AMD Zen 2 та Zen 4 [1], Intel Skylake та Sunny Cove, ARM v7 та v8, ARM Cortex M0 та A7, TMS320C6000 DSP, E2K (або Elbrus 2000).

З'ясовано, що M-автомат використовується лише в ранніх моделях ядер процесорів. Такі ядра зазвичай використовувалися в одноядерних процесорах. Наприклад, в ядрі процесора Intel 8008, випущеного у 1972-му році. Він має один арифметико-логічний пристрій (далі – АЛП), що може послідовно виконувати одну з чотирьох АЛП uOp (sum, AND, XOR або OR).

В сучасних процесорах, які зазвичай є багатоядерними, найчастіше зустрічається IM-автомат. Набір uOp поділено на класи, що одночасно виконуються в окремих блоках. Причому, кожен такий блок містить по одному конвеєру з різною кількістю етапів. Як мінімум, ядро має два виконуючих блоки: один для виконання цілочисельних uOp, інший – uOp з плаваючою комою.

Зазвичай, ядро має два регістрові файли: один для зберігання цілочисельних значень, інший – чисел з плаваючою комою. Кількість портів запису зазвичай відповідає кількості виконуючих блоків, що працюють з даним регістровим файлом. Тоді як кількість портів читання у два рази більше, що дозволяє виконувати uOp максимум з двома операндами.

Але іноді зустрічаються додаткові порти запису, що під'єднані до розширеного виходу виконуючого блоку. Прикладом може слугувати ядро сигнального процесора TMS320C6000. Такі порти мають більшу розрядність для запису результатів більшої точності. Тож, результат таких uOp розміщується у двох регістрах.

Пошук прикладу реалізації I-автомата відбувається серед ядер процесорів, що демонструють досягнення найвищого показника ILP. Даний показник досягається шляхом застосування наступних технік:

- конвеєризація: виокремлення етапів підготовки операндів, виконання uOp та запису результату для їх виконання на окремих апаратних пристроях одночасно. Це дозволяє розпочати виконання наступної uOp після завершення 1-го етапу. Кількість uOp, що може виконувати конвеєр, дорівнює кількості етапів конвеєра. Таким чином, середня кількість інструкцій за машинний цикл (англ. instruction per cycle, або IPC) може бути більшою, аніж кількість портів запису до регістрового файлу. Зменшення кількості портів покращує енергоефективність процесора;

- не послідовне виконання (англ. out-of-order) uOp: дослідження певної кількості uOp виконуваної програми, починаючи з поточної, на предмет їх залежності між собою для одночасно їх виконання;

- перейменування регістрів в uOp: усуває хибні залежності від даних;

- спекулятивне виконання: завчасне виконання передбачених uOp, що дозволяє вже частково виконати uOp, якщо передбачення є вірним;

- передбачення гілки виконання;

- використання архітектури набору інструкцій VLIW.

Серед розглянутих ядер процесорів не знайдено прикладу реалізації I-автомата в строгому розумінні структури. Найбільш наближений приклад наявний в архітектурі ядра для одноядерного процесора E2K. Дане ядро реалізує архітектуру набору інструкцій VLIW. Незважаючи на наявність конвеєру для цілочисельних та uOp з плаваючою комою, етап виконання цілочисельних uOp не поділено на окремі етапи. Разом з цим, цілочисельні uOp виконуються паралельно в декількох АЛП. Але, через те, що етап виконання uOp з плаваючою комою конвеєризується, не можна сказати, що ядро E2K у повній мірі реалізує I-автомат.

Отже, одноядерні процесори перестали масово використовуватися після лінійки процесорів Pentium 4 з ядром Intel Skylake. В теперішній час такі процесори можна зустріти лише у вигляді мікроконтролерів (англ. MCU), наприклад, NXP LPC810M021FN8 MCU, що використовує ядро ARM Cortex M0. Зокрема, в одноядерних процесорах застосовується ІМ-автомат. За рідким виключенням, можна зустріти одноядерні процесори, що використовують автомат, схожий на І, наприклад, E2K. Відсутність, в чистому вигляді, I-автомата пояснюється досягненням сучасними ядрами процесорів граничної розрахункової теплової енергії (англ. thermal design power, або TDP), що вимагає покращення їх енергоефективності за рахунок, зокрема, конвеєризації.

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Zen - Microarchitectures - AMD: URL: «<https://en.wikichip.org/wiki/amd/microarchitectures/zen>» (дата звернення: 07.04.2024).