

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Національний університет «Запорізька політехніка»

МЕТОДИЧНІ ВКАЗІВКИ
до лабораторних робіт з дисципліни
“Технологія проектування комп’ютерних систем”

для студентів спеціальностей 123 «Комп’ютерна інженерія»
всіх форм навчання

Частина 2.1

2019

Методичні вказівки до лабораторних робіт з дисципліни “ Технологія проектування комп’ютерних систем” для студентів спеціальностей 123 «Комп’ютерна інженерія» всіх форм навчання. Частина 2. /Укл. К.М. Касьян, А.В.Сирота. - Запоріжжя: НУ «Запорізька політехніка», 2019. – 58 с.

Укладачі:

К.М. Касьян, доцент, к.т.н.,
А.В. Сирота ст. викладач.

Рецензент:

М.Ю. Тягунова, доцент, к.т.н.

Відповідальний за випуск:

А.В. Сирота, ст. викладач

Затверджено
на засіданні кафедри КСМ

Протокол №3
від 17.10.2019

Затверджено
на засіданні НМК КНТ

Протокол № 2 від 25.10.2019

ЗМІСТ

1 ЗАСОБИ ВВЕДЕННЯ ОПИСУ ЦИФРОВОЇ СИСТЕМИ В САПР ACTIVE-HDL	4
1.1 Постановка задачі	4
1.2 Хід роботи	4
1.2.1 Створення проекту	5
1.2.2 Лічильник	7
1.2.3 Логічний елемент І	11
1.2.4 VCD-лічильник	13
1.2.5 Перетворювач HEX-коду на код 7-сегментного LED-індикатора	18
1.2.6 Логічна схема верхнього рівня ієрархії	20
1.2.7 Керуючий автомат	23
1.2.8 Завершення роботи	29
1.3 Зміст звіту	33
1.4 Контрольні запитання	33
2 ЗАСОБИ МОДЕЛЮВАННЯ І ВІДЛАГОДЖЕННЯ САПР ACTIVE-HDL	34
2.1 Постановка задачі	34
2.2 Хід роботи	35
2.2.1 Ініціалізація моделювання	35
2.2.2 Виконання моделювання	40
2.2.3 Створення випробувального стенду	42
2.2.4 Відлагодження VHDL-програми	46
2.2.5 Візуалізація зміни значень сигналів в редакторі BDE	51
2.2.6 Відлагодження кінцевих автоматів	52
2.2.7 Вікно Data Flow	54
2.3 Зміст звіту	57
2.4 Контрольні запитання	58
ЛІТЕРАТУРА	58

1 ЗАСОБИ ВВЕДЕННЯ ОПИСУ ЦИФРОВОЇ СИСТЕМИ В САПР ACTIVE-HDL

ЛАБОРАТОРНА РОБОТА № 4

Мета роботи. Ознайомитися з циклом створення проектів цифрових систем (ЦС) мовою VHDL. Основним засобом введення VHDL-проекту є *текстовий редактор* (HDL Editor, **HDE**). Хоча деякі файли проекту будуть створені за допомогою редактора логічних *схем* (Block Diagram Editor, **BDE**) і *редактора графа переходів кінцевих автоматів* (Finite State Machine Editor, **FSM**), для них САПР Active-HDL автоматично генерує еквівалентний код мовою VHDL.

1.1 Постановка задачі

Необхідно розробити модель простої цифрової системи – частотоміра. В його конструкції є компоненти, поведінку яких можна описати окремо: двійково-десятковий (BCD) лічильник і 7-сегментний рідкокристалічний (LED) індикатор. Вимірювання частоти виконується після порівняння частоти вхідного сигналу **f_{input}** з частотою сигналу **f_{pattern}** при умові, коли **f_{pattern} < f_{input}**. Для того, щоб прилад почав працювати, треба встановити сигнал **start** в '1'. Для завершення циклу вимірювання на вхід **start** треба подати '0'.

VHDL-проект містить три текстових документи опису ЦС мовою VHDL, один граф переходів кінцевого автомата і одну логічну схему. Логічна схема, яка зв'язує всі блоки VHDL-проекту разом, є *файлом верхнього рівня* (top-level file) ієрархії проекту.

Модель частотоміра містить описи блоків:

- двійково-десятковий лічильник (файл **cnt_bcd.bde**), що складається з чотирьох десяткових лічильників (файл **cnt_4b.vhd**) і трьох логічних елементів (ЛЕ) І (файл **and2.vhd**);
- керуючий автомат (файл **control.asf**);
- перетворювач шістнадцятирічного коду (далі скорочено називатимемо "HEX-код") на код 7-сегментного LED-індикатора (**hex2led.vhd**).
- вимірювальний блок **freq_top**, що містить вищезазначені елементи (рис.1.1).

1.2 Хід роботи

В лабораторній роботі вивчаються наступні питання.

1. Техніка створення моделі поведінки ЦС засобами САПР Active-HDL.
2. Методика проектування програм мовою VHDL в редакторі HDE.

3. Методика створення логічних схем в редакторі BDE.
4. Методика розробки графів переходів в редакторі FSM.
5. Особливості використання висхідної стратегії проектування.
6. Особливості використання низхідної стратегії проектування.

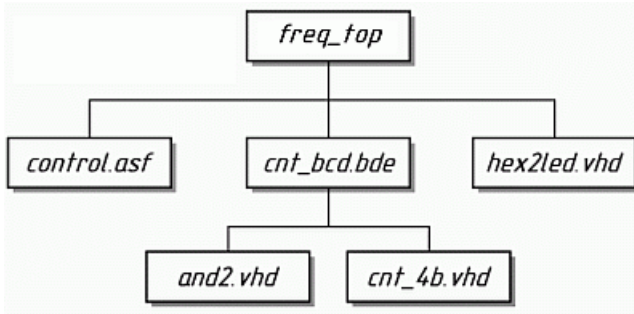


Рисунок 1.1 – Ієрархічна організація опису частотоміру

1.2.1 Створення проекту

- 1.2.1.1 Після запуску середовища Active-HDL може з'явитися вікно **Getting Started**, де пропонується створити новий *робочий простір* (workspace) або відкрити існуючий. Виберіть команду **Create new workspace** і клацніть OK.
- 1.2.1.2 З'явиться вікно майстра **New Workspace wizard**. Введіть ім'я і місцеположення робочого простору, в якому знаходитиметься новий *проект*. Клацніть OK.

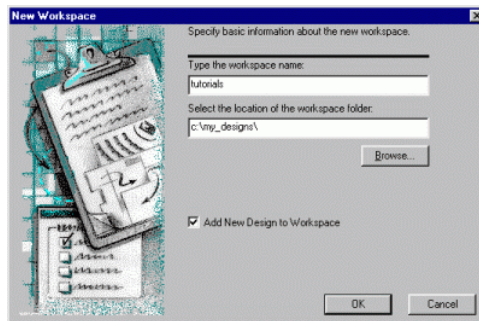


Рисунок 1.2 – Майстер New Workspace

- 1.2.1.3 На наступному кроці визначається спосіб створення ресурсів проекту. Виберіть *Create an empty design* і клацніть Next.
- 1.2.1.4 В наступному вікні указується інформація про настройки BDE і вибирається мова опису ЦС – VHDL. Також тут можна вибрати інструменти синтезу і реалізації проекту, а також вказати цільове сімейство НВІС ПЛ. Клацніть Next.
- 1.2.1.5 В кінці роботи у вікні **New Design Wizard** треба вказати ім'я файлу проекту і встановити його місцезнаходження. В полі *Type design name* надрукуйте **tutorial_VHDL**. Майстер створить робочу бібліотеку з тією ж самою назвою. Ця бібліотека міститиме всі компільовані моделі VHDL-проекту. Після заповнення полів клацніть Next.

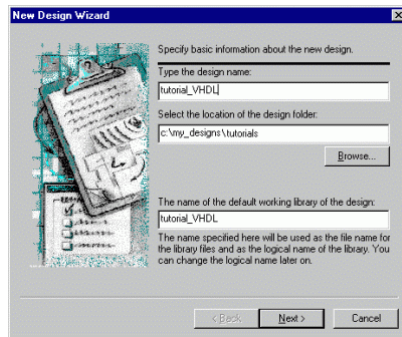


Рисунок 1.3 – Введення імені проекту

- 1.2.1.6 В останньому вікні **New Design Wizard** клацніть Finish. Проект створений.
- 1.2.1.7 Можна побачити, що у вікні **Design Browser** з'явиться новий порожній проект **tutorial_VHDL** і однойменна бібліотека.

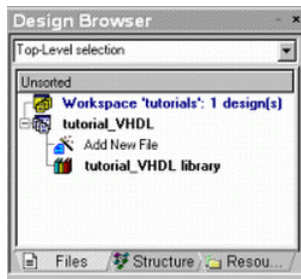


Рисунок 1.4 – Вікно Design Browser

1.2.2 Лічильник

1.2.2.1 Приступимо до розробки ресурсів VHDL-проекту. Двічі клацніть на піктограмі **Add New File** у вікні **Design Browser**. На вкладці **Wizards** вікна **Add New File** виберіть **VHDL Source Code Wizard** і клацніть **OK**.

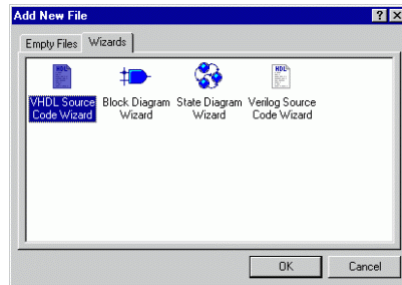


Рисунок 1.5 – Запуск майстра VHDL Source Code Wizard

1.2.2.2 З'явиться вікно майстра **New Source File Wizard**. Переконайтеся, що настройка *Add generated file to design* активна і клацніть **Next**. В наступному вікні треба вказати ім'я створюваного нового файлу, *сутності* (entity) і *архітектури* (architecture) моделі. Введіть **cnt_4b** в полі імені файлу і клацніть **Next**.

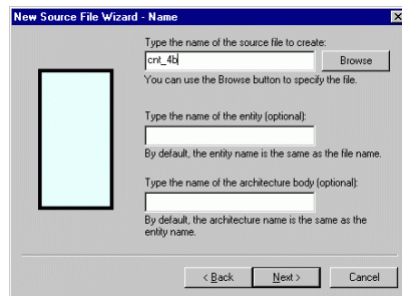


Рисунок 1.6 – Вибір імені файлу

1.2.2.3 Лічильник повинен мати порти введення/виведення, що описані в табл.1.1.

Таблиця 1.1 – Порти лічильника cnt_4b

Порт	Вхід/вихід	Розрядність	Призначення
clk	вхід	1 біт	Тактовий вхід
enable	вхід	1 біт	Включення рахунку
reset	вхід	1 біт	Скидання лічильника
full	вихід	1 біт	Переповнювання лічильника
q	вихід	4 біт	Результат рахунку

Щоб додати новий *порт* (сигнал) в модель, клацніть кнопку *New*, надрукуйте ім'я сигналу в полі імені і виберіть напрям його розповсюдження (in – для входів, out – для виходів). Якщо порт з'єднаний з шиною (розрядність більше 1), як сигнал *Q*, то треба вказати його розрядність за допомогою індексних стрілок в полі *Array Indexes*, як показано на рис.1.7.

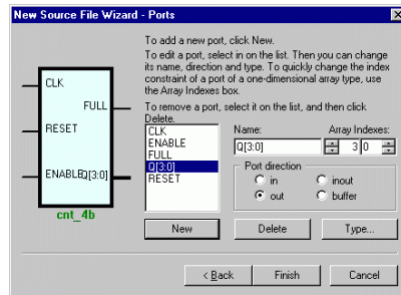


Рисунок 1.7 – Вибір розрядності сигналу

- 1.2.2.4 Після клацання на кнопці *Finish* буде автоматично створений шаблон файлу опису моделі мовою VHDL. Цей файл завантажуватиметься в редактора HDE (рис.1.8).
- 1.2.2.5 Шаблон опису містить опис портів і порожню область опису архітектури. Встановіть курсор в розділі опису архітектури (в рядку *-- enter your statements here --*) і наберіть текст опису архітектури (див. листинг 1.1).

Листинг 1.1

```

process (CLK, RESET)
begin
    if RESET = '1' then
        Qint <= (others => '0');
    elsif CLK='1' and CLK'event then

```

```

if ENABLE = '1' then
  if Qint = 9 then
    Qint <= (others => '0');
  else
    Qint <= Qint + 1;
  end if;
end if;
end process;
Q <= Qint;
FULL <= '1' when (Qint = 9) else '0';

```

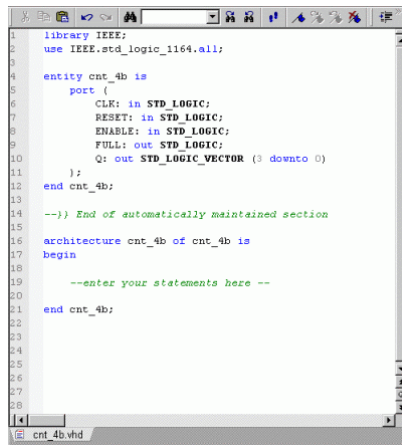


Рисунок 1.8 – Шаблон опису моделі в редакторі HDE

1.2.2.6 В декларативній частині опису архітектури (перед ключовим словом **begin**) повинен бути об'явлений сигнал **Qint**:

```
signal Qint: STD_LOGIC_VECTOR(3 downto 0);
```

1.2.2.7 Оскільки лічильник використовує векторну операцію складання в описі архітектури, треба підключити бібліотеку **STD_LOGIC_unsigned**. Для цього вставте відповідний рядок на початку програми:

```
use IEEE.std_logic_unsigned.all;
```

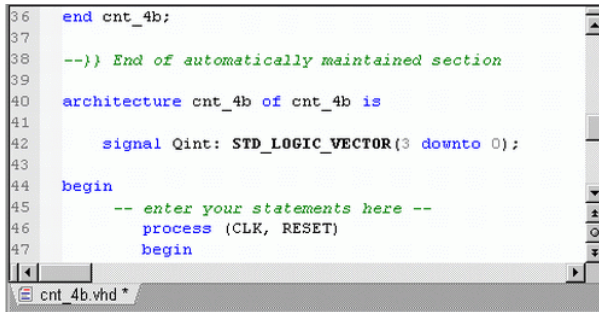


Рисунок 1.9 – Фрагмент опису архітектури

1.2.2.8 Тепер програма мовою VHDL готова до трансляції. Щоб запустити компіляцію файлу, клацніть правою кнопкою миші на його імені у вікні **Design Browser**, і виберіть команду **Compile** контекстного меню (рис.1.10).

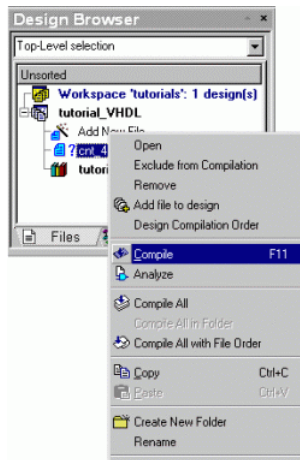


Рисунок 1.10 – Компіляція файлу проекту

1.2.2.9 Зелений значок поряд з ім'ям файлу і відповідне повідомлення у вікні **Console** сигналізують про те, що компіляція виконана успішно. Модель, що відкомпілювалася, автоматично додається в робочу бібліотеку. Зовнішній вигляд вікна **Design Browser** після успішної компіляції показаний на рис.1.11.

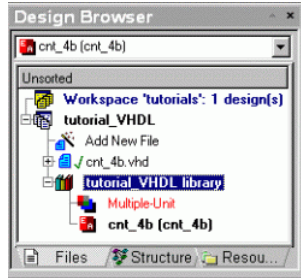


Рисунок 1.11 – Додавання моделі в робочу бібліотеку

1.2.3 Логічний елемент I

- 1.2.3.1 Щоб створити BCD-лічильник, треба використовувати чотири лічильники **cnt_4b** і три ЛЕ I. Створімо опис VHDL-моделі **and2**. Щоб додати новий файл в проект, двічі клацніть на піктограмі **Add New File** у вікні **Design Browser**.
- 1.2.3.2 З'явиться вікно **Add New File**. Виберіть **VHDL Source Code Wizard** і клацніть OK.
- 1.2.3.3 Переконайтеся, що у вікні **New Source File Wizard** встановлена настройка *Add generated file to design*. Клацніть Next і в наступному вікні дайте ім'я файлу моделі – **and2**. Клацніть Next.
- 1.2.3.4 Оголосямо порти логічного елемента **and2**. Для додавання порту, клацніть кнопку New, надрукуйте ім'я сигналу в полі імені і виберіть напрям його розповсюдження (in або out). Введіть опис усіх портів. В таблиці 1.2 приведений опис портів ЛЕ I. Клацніть Finish.

Таблиця 1.2 – Порти логічного елемента and2

Порт	Вхід/вихід	Розрядність	Призначення
a0	вхід	1	перший операнд
a1	вхід	1	другий операнд
y	вихід	1	результат логічного множення

- 1.2.3.5 В результаті у вікні **Design Browser** з'явиться новий файл **and2.vhd** (рис.1.12).

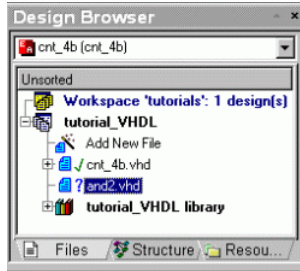


Рисунок 1.12 – Додавання файлу and2.vhd в проєкт

1.2.3.6 Як і у попередньому випадку, створений майстром **New Source File Wizard** файл автоматично відкривається у вікні редактора HDE. Нижче рядка *-- enter your statements here --* надрукуйте інструкцію мовою VHDL, яка описує поведінку ЛЕ I:

```
y <= a0 and a1;
```

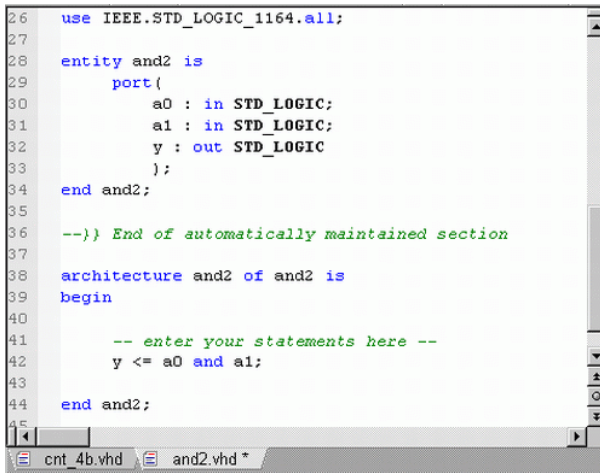


Рисунок 1.13 – Опис поведінки ЛЕ I

1.2.3.7 Файл **and2.vhd** повинен відкомпілюватися. Запустити компілятор можна за допомогою кнопки  **Compile** панелі інструментів. Результат трансляції буде автоматично доданий в бібліотеку VHDL-проєкту.

1.2.4 BCD-лічильник

- 1.2.4.1 Тепер можна приступити до проектування моделі BCD-лічильника. Двічі клацніть на піктограмі **Add New File** у вікні **Design Browser** і виберіть спосіб опису моделі – **Block Diagram Wizard**. Модель двійково-десятькового лічильника буде представлена у вигляді логічної схеми. Клацніть OK.

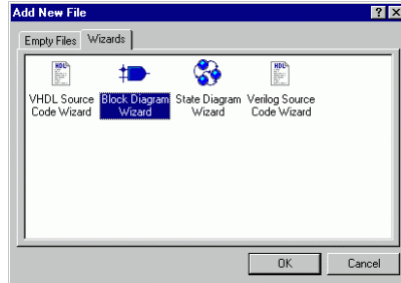


Рисунок 1.14 – Запуск майстра Block Diagram Wizard

- 1.2.4.2 Переконайтеся, що у вікні **New Source File Wizard** активізована настройка *Add generated file to design* і клацніть Next.
- 1.2.4.3 Логічна схема, яку створить майстер, може бути перетворений в один з трьох форматів опису: EDIF, VHDL і Verilog. Виберіть мову VHDL і натисніть Next.
- 1.2.4.4 Як раніше це робилося для компонентів **cnt_4b** і **and2**, в наступному вікні вкажіть ім'я файлу і довільні імена для entity і architecture. Надрукуйте ім'я файлу – **cnt_bcd** і клацніть Next.
- 1.2.4.5 На наступному кроці треба задати порти BCD-лічильника. Користуючись кнопкою **New**, додайте в модель **cnt_bcd** сигнали, опис яких приведений в таблиці 1.3. В кінці роботи клацніть Finish.

Таблиця 1.3 – Порти лічильника cnt_BCD

Порт	Вхід/вихід	Розрядність	Призначення
clk	вхід	1 біт	Тактовий вхід
reset	вхід	1 біт	Скидання лічильника
gate	вхід	1 біт	Вибір пристрою
bcd_a	вихід	4 біт	Канал А
bcd_b	вихід	4 біт	Канал В
bcd_c	вихід	4 біт	Канал З
bcd_d	вихід	4 біт	Канал D

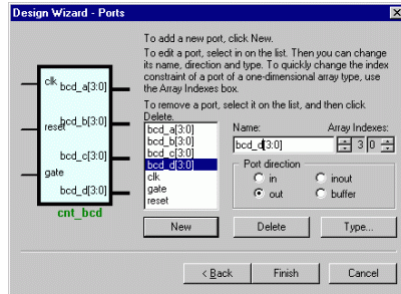


Рисунок 1.15 – Оголошення портів лічильника cnt_bcd

1.2.4.6 У вікні **Design Browser** з'явиться новий файл – **cnt_bcd.bde** (рис. 1.16).

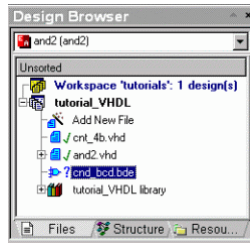


Рисунок 1.16 – Додавання файлу логічної схеми в проект

1.2.4.7 Шаблон нової логічної схеми буде автоматично завантажений у вікно редактора BDE. Шаблон логічної схеми містить тільки контакти – раніше оголошені порти лічильника **cnt_bcd**.

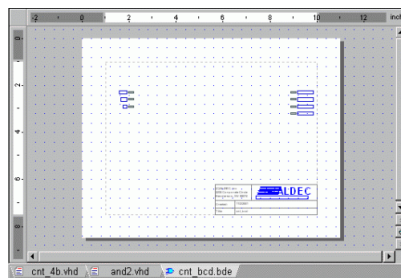


Рисунок 1.17 – Шаблон логічної схеми

1.2.4.8 Інструментальна панель редактора BDE містить кнопку  **Symbol toolbox**, яка дозволяє поміщати в логічну схему раніше згенеровані моделі – *блоки*. Клацніть на кнопці **Symbol toolbox**. Зверніть увагу, що у вікні, що з'явилося, вже є блоки **cnt_4b** і **and2**.

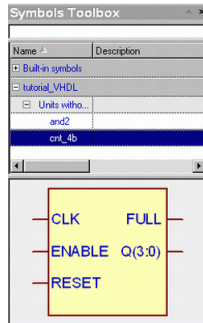


Рисунок 1.18 – Вікно Symbol Toolbox

1.2.4.9 Перетягніть блоки **and2** і **cnt_4b** на робоче поле редактора BDE і розташуйте, як показано на рис. 1.19. Закрийте вікно **Symbol Toolbox**.

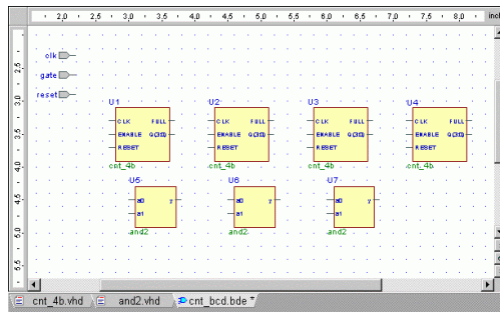


Рисунок 1.19 – Розміщення компонентів логічної схеми

1.2.4.10 Виконаємо з'єднання компонентів логічної схеми. Один провідник прокладається за допомогою інструменту  **Wire** редактора BDE. Для виконання з'єднання треба активізувати кнопку **Wire** панелі інструментів, клацнути на контакт-джерелі, перемістити курсор і клацнути на контакт-одержувачі. В результаті в логічну схему буде додано з'єднання. Щоб видалити помилково виконане з'єднання, треба використовувати інструмент **Select**. З його допомогою виділіть компонент ло-

гічної схеми і видалить, натиснувши кнопку <DELETE>. Підключіть блоки як показано на рис.1.20.

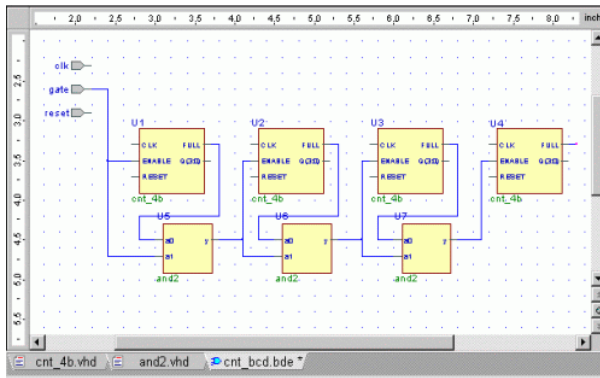


Рисунок 1.20 – З'єднання компонентів логічної схеми

Іноді в логічній схемі можна указувати *глобальні сигнали*. Глобальним називається сигнал, який присутній на всіх однойменних вузлах схеми. Немає необхідності формувати відповідні з'єднання. Достатньо, щоб глобальний сигнал і пов'язані з ним вузли логічної схеми однаково називалися.

1.2.4.11 В даному випадку глобальними сигналами є **reset** і **clk**. Додати глобальний сигнал в схему можна за допомогою інструменту  **Global Wire** редактора BDE. Клацніть на кнопці **Global Wire** панелі інструментів і помістіть два глобальні сигнали в схему.

1.2.4.12 Виберіть інструмент **Select** панелі інструментів і двічі клацніть на імені **Global0**. Змініть цю назву на **clk**. Таким же чином перейменуйте глобальний сигнал **Global1** в **reset**.

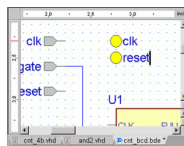


Рисунок 1.21 – Розміщення глобальних сигналів

1.2.4.13 Для з'єднання вузлів і портів, що мають розрядність більше 1 (*векторів*), використовується спеціальний інструмент –  **Bus** (шина). Викор-

1.2.5 Перетворювач HEX-коду на код 7-сегментного LED-індикатора

- 1.2.5.1 Модель частотоміра повинна містити перетворювач HEX-коду на код LED-індикатора. Двічі клацніть на піктограмі **Add New File** у вікні **Design Browser** і у вікні, що з'явилося, виберіть спосіб введення моделі – **VHDL Source Code Wizard**. Клацніть ОК.
- 1.2.5.2 Додайте файл, що створюється, у проект і клацніть Next.
- 1.2.5.3 Як і раніше, введіть ім'я файлу моделі – **hex2led** і, якщо треба, задайте імена сутності і опису архітектури. Клацніть Next.
- 1.2.5.4 В наступному вікні визначите порти, використовуючи кнопку **New**. Опис портів приведений в таблиці 1.4. Для завершення настройки шаблону моделі клацніть Finish.

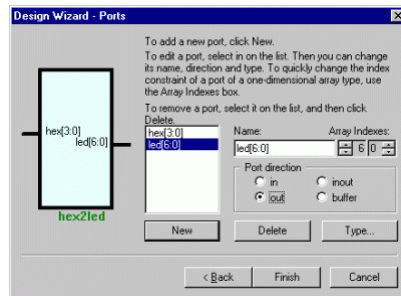


Рисунок 1.24 – Оголошення портів перетворювача hex2led

Таблиця 1.4 – Порти перетворювача hex2led

Порт	Вхід/вихід	Розрядність	Призначення
hex	вхід	4	шістнадцятирічний код
led	вихід	7	код 7-сегментного індикатора

- 1.2.5.5 Файл шаблону опису мовою VHDL буде автоматично доданий до дерева проекту вікна **Design Browser**. Він має ім'я **hex2led.vhd**.
- 1.2.5.6 Файл **hex2led.vhd** автоматично завантажується у вікно редактора HDE. Розташуйте курсор нижче за напис *-- enter your statements here --*.
- 1.2.5.7 В САПР Active-HDL є майстер **Language Assistant**, використання якого дозволяє скоротити час складання моделей і функцій, що часто використовуються. Для запуску **Language Assistant** натисніть кнопку  панелі інструментів. Пересуваючись по дереву поля *Synthesis tem-*

plates вікна **Language Assistant**, знайдіть модель **HEX2LED Converter** і клацніть на її імені. В контекстному меню виберіть команду **Use**.

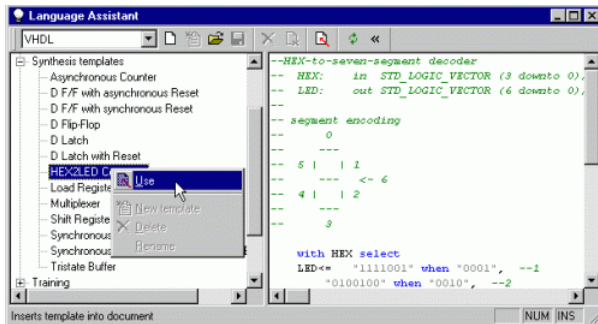


Рисунок 1.25 – Використовування майстра Language Assistant

1.2.5.8 Стандартний опис перетворювача HEX-коду на код 7-сегментного індикатора буде скопійований у вказане раніше місце програми.

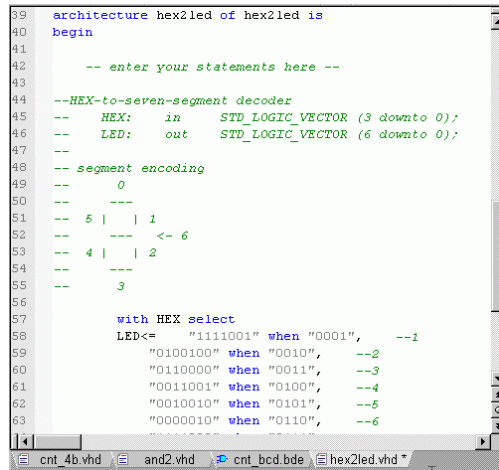


Рисунок 1.26 – Опис перетворювача hex2led

1.2.5.9 Запустіть компілятор, натиснувши кнопку  **Compile** панелі інструментів. Зелений значок поряд з ім'ям файлу і відповідне повідомлення у вікні **Console** сигналізують про те, що компіляція виконана успішно.

Результат трансляції буде автоматично доданий в бібліотеку VHDL-проекту (рис. 1.27).

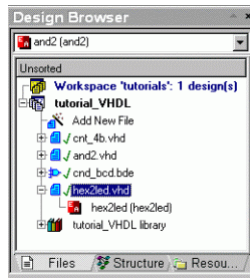


Рисунок 1.27 – Компіляція файлу hex2led

1.2.6 Логічна схема верхнього рівня ієрархії

- 1.2.6.1 Створимо *файл верхнього рівня ієрархії* (top level file) проекту. Його призначення – зв'язати всі раніше створені компоненти воедино, в рамках однієї моделі ЦС. Top level опис зручно створювати в редакторі BDE. Двічі клацніть на піктограмі **Add New File** у вікні **Design Browser**. У вікні, що з'явилося, виберіть спосіб введення файлу опису нової моделі – **Block Diagram Wizard** і клацніть OK.
- 1.2.6.2 У вікні **New Source File Wizard**, що з'явилося, залиште настройки, що використовуються за умовчанням, і клацніть Next.
- 1.2.6.3 Виберіть мову опису VHDL і клацніть Next.
- 1.2.6.4 На цьому кроці треба ввести ім'я файлу. Надрукуйте ім'я – **freq_top** і клацніть Next для переходу у вікно оголошення портів моделі. Як і раніше, користуючись кнопкою **New**, оголосіть порти, опис яких приведений в таблиці 1.5. В кінці роботи клацніть Finish.

Таблиця 1.5 – Порти моделі частотоміра freq_top

Порт	Вхід/вихід	Розрядність	Призначення
f_input	вхід	1	Вхідна частота
f_pattern	вхід	1	Зразкова частота
reset	вхід	1	Скидання
start	вхід	1	Запуск
LED_d	вихід	7	Канал D LED-індикатора
LED_c	вихід	7	Канал C LED-індикатора
LED_b	вихід	7	Канал B LED-індикатора
LED_a	вихід	7	Канал A LED-індикатора

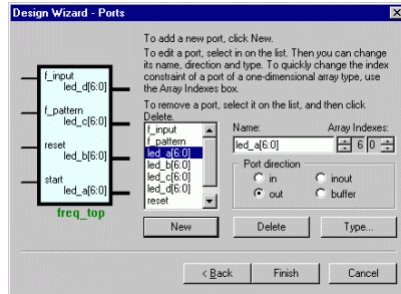


Рисунок 1.28 – Оголошення портів моделі частотоміра

1.2.6.5 У вікні **Design Browser** з'явиться новий файл **freq_top.bde** – логічна схема опису верхнього рівня ієрархії проекту. Ця схема автоматично завантажується у вікно редактора BDE.

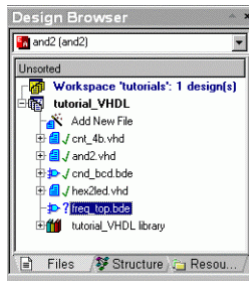


Рисунок 1.29 – Додавання файлу freq_top.bde

Поки що логічна схема нічого не містить, окрім портів, оголошених під час роботи з майстром **New Source File Wizard**. В попередній раз, складаючи логічну схему BCD-лічильника ми використовували блоки – моделі компонентів, розроблених раніше. Така стратегія розробки VHDL-проекту називається *висхідною* (bottom-up). Існує протилежна стратегія – *top-down*, *низхідна*, коли в редакторі BDE або FSM спочатку створюються порожні блоки, які заповнюються змістом пізніше, по ходу опрацювання проекту. Для проектування керуючого автомата ми використовуватимемо низхідну стратегію проектування.

1.2.6.6 Порожній блок в логічну схему можна додати, використовуючи інструмент  **Fub** редактора BDE. Намалюйте цей прямокутник на

схемі, використовуючи ліву кнопку миші і діагональний рух курсору на робочому полі редактора BDE.

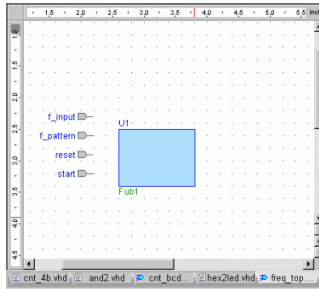


Рисунок 1.30 – Додавання порожнього блоку в логічну схему

Перейдіть в режим *Select* (піктограма стрілки на панелі інструментів), клацніть правою кнопкою миші на створеному порожньому блоці і в контекстному меню виберіть команду **Properties**. У вікні **Fub Properties** замість імені *fub* надрукуйте *control* і клацніть OK.

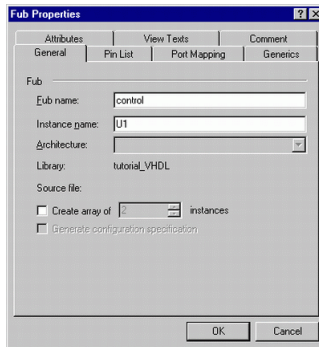


Рисунок 1.31 – Вікно Fub Properties

1.2.6.7 Зверніть увагу на те, що новий блок не має ніяких вузлів підключення. Він є абсолютно порожнім, поки даремним контейнером. Приступимо до його заповнення. Клацніть на блоці правою кнопкою миші і в контекстному меню виберіть команду **Push**.

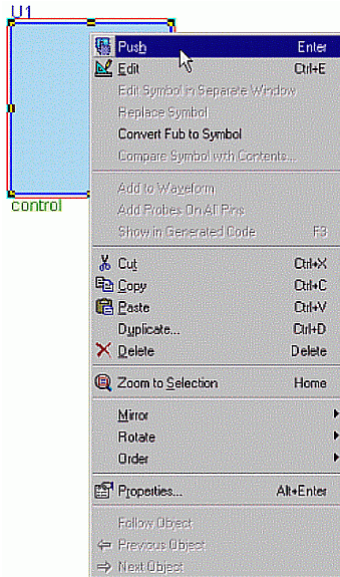


Рисунок 1.32 – Команда заповнення порожнього контейнера

1.2.7 Керуючий автомат

1.2.7.1 У вікні **Create New Implementation**, що з'явилося, виберіть об'єкт – **State Diagram** і введіть ім'я файлу опису графу переходів кінцевого автомата **control** в полі **Name**. Клацніть **OK**.

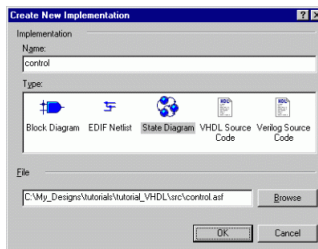


Рисунок 1.33 – Прикріплення файлу control.asf до порожнього контейнера

1.2.7.2 В проєкті повинен з'явитися новий файл шаблона опису графу переходів автомата **control.asf**. Це можна побачити у вікні **Design Browser**.

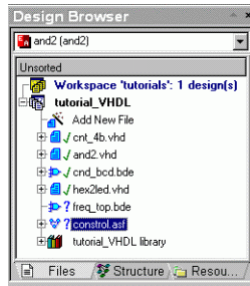


Рисунок 1.34 – Додавання файлу control.asf в проект

1.2.7.3 Приступимо до введення графу переходів кінцевого автомата. Введення графа і визначення його основних настройок виконується у вікні редактора FSM. На початку роботи створимо порти – сигнали, які грають роль *логічних умов* (ЛУ) переходів. Для введення портів використовується інструмент  **Input Port**. Розмістіть три порти у верхній декларативній частині робочого простору документа, відкритого у вікні редактора FSM.

1.2.7.4 Змініть імена портів. Для цього спочатку перемкніться в режим роботи *Select*, а потім, послідовно перейменуйте порти. Для того, щоб приступити до редагування імені порту, необхідно двічі клацнути на його імені. Порти повинні називатися: **start**, **reset** і **f_pattern**. Збережіть параметри настройки, використовуючи комбінацію "гарячих" клавіш <CTRL+S>.

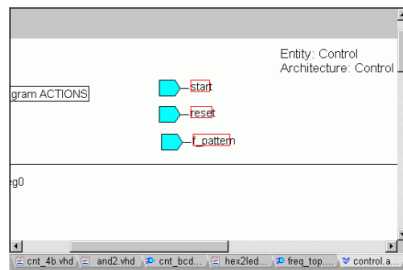


Рисунок 1.35 – Оголошення входних портів керуючого автомата

1.2.7.5 Так само введіть два вихідні порти. Для цього треба використовувати інструмент  **Output Port**.

1.2.7.6 Змініть імена вихідних портів. Вони повинні називатися: ***end_reset*** і ***gate***.

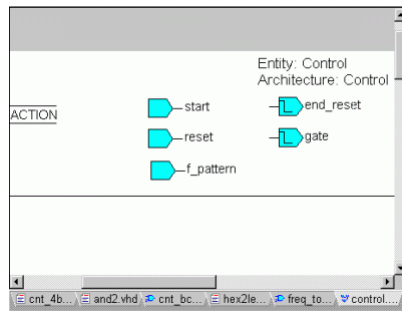


Рисунок 1.36 – Оголошення вихідних портів керуючого автомата

1.2.7.7 Вхід ***f_pattern*** служить сигналом синхронізації. Змінимо режим роботи цього входу. Для цього клацніть правою кнопкою миші на його назві і виберіть команду **Properties** контекстного меню.

1.2.7.8 У вікні **Port Properties** відзначте настройку *Clock* і підтвердіть зміни, клацнувши OK. Блок сигналу ***f_pattern*** тепер помічений відповідною піктограмою.

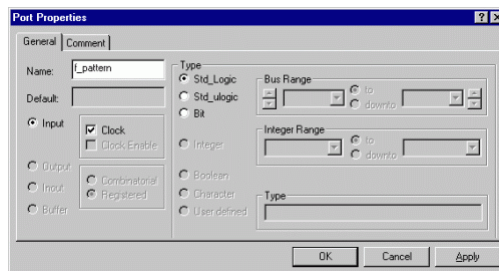


Рисунок 1.37 – Зміна настройок порту

1.2.7.9 Таблиця переходів приведена в таблиці 1.6. Це автомат Мура, що має три стани. За допомогою інструменту  **State** розмістіть стани в нижній частині вікна редактору FSM (рис.1.38).

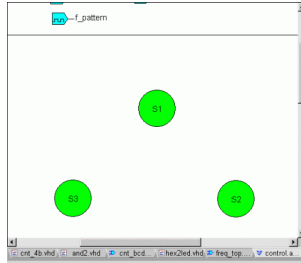


Рисунок 1.38 – Розміщення станів

Таблиця 1.6 – Таблиця переходів керуючого автомата

Стан- передавач	Вихідні сигнали	Стан-приймач	ЛЮ
idle	gate <= '0'; end_reset <= '1';	idle	start = '0';
		open_gate	start = '1';
open_gate	gate <= '1'; end_reset <= '0';	end_circle	1
end_circle	gate <= '0'; end_reset <= '0';	end_circle	start = '1';
		idle	start = '0';

1.2.7.10 Для вказівки переходів в автоматі використовують інструмент  **Transition**. Встановивши курсор миші на стані передавача, натискуйте ліву кнопку і перетягніть лінію-перехід в стан приймача. Утворюється направлена гілка графу переходів. В результаті повинен вийти граф автомата, зображений на рис.1.39.

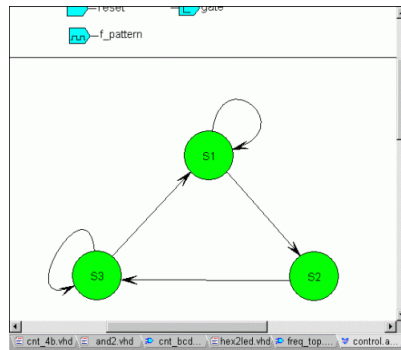


Рисунок 1.39 – Розміщення переходів

1.2.7.11 Для запуску/скидання керуючого автомата передбачається використувати сигнал асинхронного скидання **reset**. Для його визначення використовується спеціальний інструмент –  **Reset**. Розмістіть піктограму скидання недалеко від початкового стану автомата і вкажіть відповідний перехід (рис.1.40).

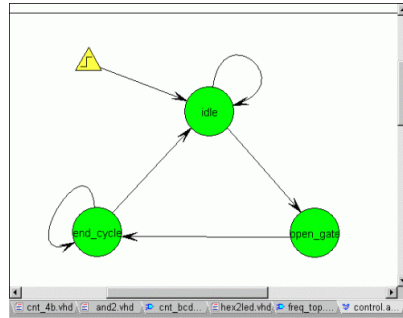


Рисунок 1.40 – Визначення сигналу запуску/скидання автомата

1.2.7.12 Дайте імена станам автомата: **idle**, **open_gate** і **end_cycle**.

1.2.7.13 Визначимо умови переходів автомата. Щоб це зробити, треба вибрати інструмент  **Condition**, вказати потрібну гілку графа і в полі, що з'явилася, надрукувати формулу переходу. Задайте умови переходів, як показано на рис.1.41.

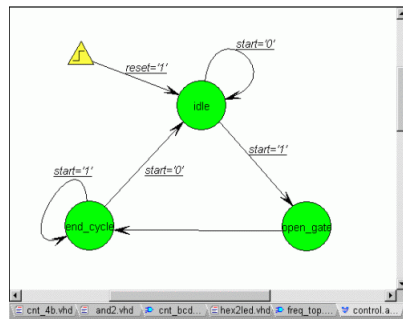


Рисунок 1.41 – Налаштування умов переходів

1.2.7.14 Для кожного стану треба вказати значення вихідних сигналів. Для того, щоб виконати цю операцію, виберіть інструмент  **State Action**,

вкажіть стан і в полі, що з'явилося, надрукуйте відповідну формулу (див. табл.1.6). Результат роботи показаний на рис.1.42.

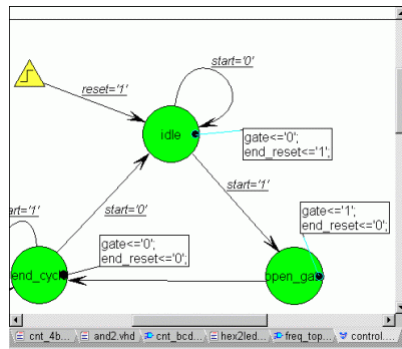


Рисунок 1.42 – Граф переходів керуючого автомата

1.2.7.15 Введення графа автомата закінчено. Залишилися задати тип сигналу запуску/скидання автомата. Клацніть правою кнопкою миші у вікні редактора і в контекстному меню виберіть команду **Properties**.

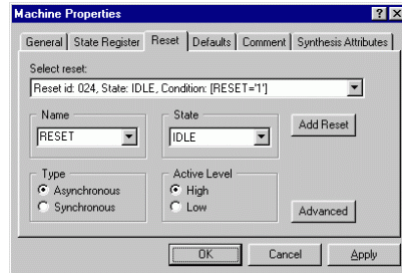


Рисунок 1.43 – Налаштування керуючого автомата

1.2.7.16 У вікні **Machine Properties** знайдіть вкладку *Reset* і змініть тип сигналу запуску/скидання автомата з *Synchronous* на *Asynchronous*. Підтвердіть налаштування автомата, клацнувши OK. Збережіть файл **control.asf**, використовуючи комбінацію клавіш <CTRL+S>.

1.2.7.17 Клацнувши кнопку  **Compile**, виконайте трансляцію опису графа переходів автомата в текст мовою VHDL. Про те, що трансляція пройшла успішно, з'явиться відповідне повідомлення у вікні **Console**, і у ві-

кні **Design Browser** напроти файлу *control.asf* буде поміщена зелена піктограма.

1.2.8 Завершення роботи

- 1.2.8.1 У вікні **Design Browser** виберіть файл *freq_top.bde*. Порожній блок, розміщений на логічній схемі, асоційований із знов розробленим управляючим автоматом. Клацніть правою кнопкою миші на блоці і виберіть команду **Compare Symbol with Contents** з контекстного меню. Коли буде запропоновано, збережіть зміни в схемі.

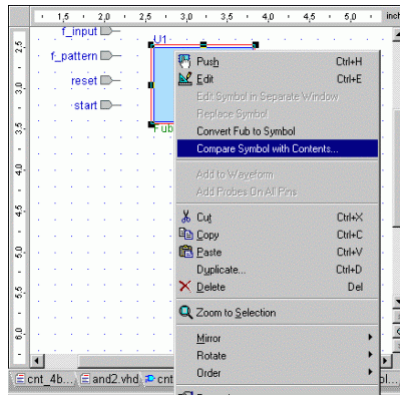


Рисунок 1.44 – Оновлення змісту блока логічної схеми

- 1.2.8.2 Внизу вікна **Compare Interfaces**, що з'явилося, встановіть настройку *Update symbol* і клацніть ОК (рис.1.45).

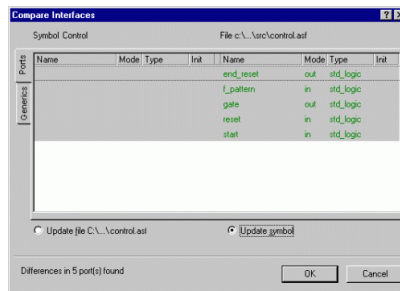


Рисунок 1.45 – Вікно Compare Interfaces

1.2.8.3 Після порівняння змісту блока його умовне зображення на логічній схемі буде модифіковано – з'являться вузли, які відповідають вхідним і вихідним портам керуючого автомата. Створіть ще один порожній блок і помістіть його праворуч від блока керуючого автомата (рис. 1.46).

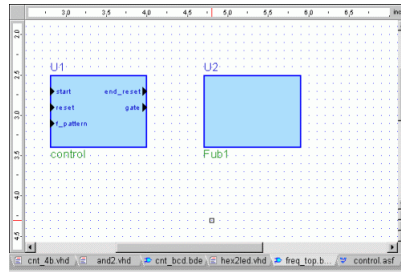


Рисунок 1.46 – Результат порівняння змісту блока

- 1.2.8.4 Цього разу зміст блока створювати не треба. Блок є операційним пристроєм, опис якого приведений у файлі **cnt_bcd.bde** (BCD-лічильник). Клацніть правою кнопкою миші на порожньому блоці і в контекстному меню виберіть команду **Push**.
- 1.2.8.5 У вікні **Create New Implementation** виберіть піктограму **Block Diagram** і вкажіть місцеположення файлу **cnt_bcd.bde**. Виконувати пошук потрібного файлу зручніше, якщо заздалегідь клацнути на кнопці **Browse**. Клацніть **OK**.

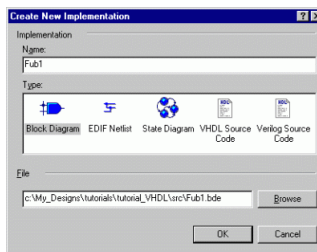


Рисунок 1.47 – Вибір файлу логічної схеми

1.2.8.6 Буде виведений запит: використовувати вміст вказаного файлу для опису поведінки блока або перезаписати цей файл. Виберіть режим *Use existing file* і клацніть **OK**. Файл **cnt_bcd.bde** буде автоматично асоційований з блоком. На умовному графічному зображенні блока з'являться

вузли, що відповідають портам раніше розробленого BCD-лічильника (рис.1.48).

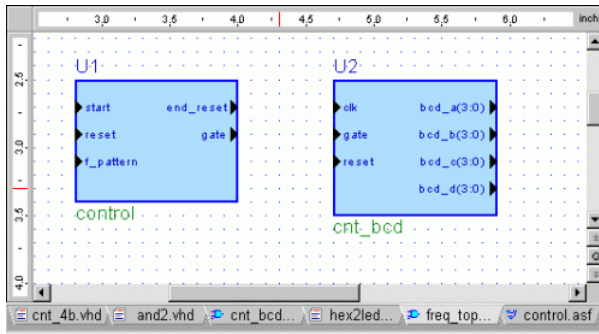


Рисунок 1.48 – Блоки control і cnt_bcd

1.2.8.7 Тепер треба додати блоки перетворювача HEX-Кода на код LED-індикатора. Клацніть кнопку  **Show Symbol toolbox** на панелі інструментів.

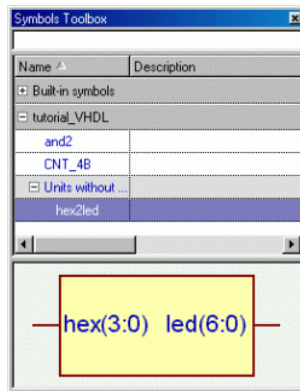


Рисунок 1.49 – Вікно Symbol toolbox

1.2.8.8 Перетягніть на робочий простір логічної схеми чотири копії блока **hex2led**.

1.2.8.9 Використовуючи інструмент  **Bus**, виконайте всі з'єднання для ліній, що мають розрядність більше 1 (рис.1.50).

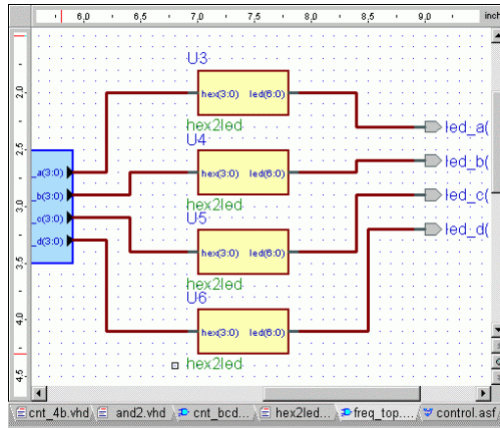


Рисунок 1.50 – Шини

1.2.8.10 Використовуючи інструмент  **Wire**, виконайте всі з'єднання для однопровідних ліній (рис.1.51). Збережіть створену схему, використовуючи <CTRL+S>.

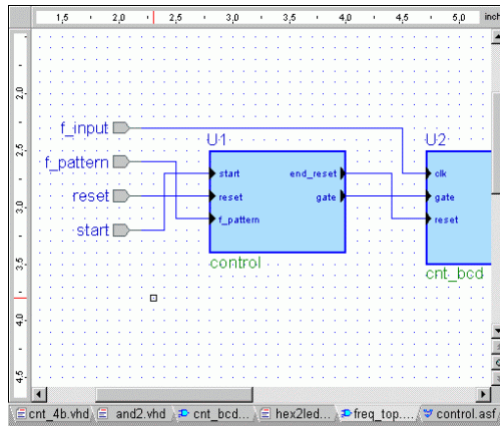


Рисунок 1.51 – Однопровідні з'єднання

1.2.8.11 VHDL-проект готовий. Виконайте його трансляцію, вибравши команду **Compile** в контекстному меню вікна **Design Browser**.

1.3 Зміст звіту

1. Мета роботи.
2. Таблиці дійсності та логічні схеми модулів частотоміра.
3. Тексти програм.
4. Висновки.

Звіт до лабораторної роботи повинен містити результати, отримані під час її виконання і тези відповідей на контрольні питання. Звіти в електронному вигляді або ксерокопії до захисту не приймаються.

1.4 Контрольні запитання

1. Поясніть принцип роботи частотоміра, що проектується.
2. Як виконується кодування сегментів LCD індикатора? Навести шістнадцятирічні коди 7-сегментного індикатора для цифр від 0 до 9.
3. З яких файлів складається VHDL- проект ЦС? Для чого потрібно створювати робоче середовище (workspace)? Яку функцію у VHDL- проекті виконує файл верхнього рівня ієрархії? Для чого в описі ЦС використовують модуль entity? Модуль architecture?
4. Побудуйте граф-схему алгоритму програми (див. листинг 1.1).
5. Що міститься у бібліотеці STD_LOGIC_unsigned? Яким чином підключаються бібліотеки до програми мовою VHDL?
6. Які засоби редагування має редактор HDL? Поясніть техніку їх використання.
7. Які функції виконує майстер Language Assistant? Поясніть техніку його використання.
8. Які засоби редагування має редактор BDE? Поясніть техніку їх використання.
9. Яка різниця між висхідною та низхідною стратегіями проектування? Поясніть техніку реалізації обох стратегій в редакторі BDE.
10. Які сигнали називаються глобальними? Як задається глобальний сигнал в редакторі BDE?
11. Як використовуються блоки в редакторі BDE? Які є вбудовані блоки в САПР Active-HDL? Наведіть приклади.
12. Які засоби редагування має редактор FSM? Поясніть техніку їх використання. Чи можна в САПР Active-HDL розробляти граф переходів кінцевого автомату, що не має тактового входу?
13. Яким чином задаються параметри кінцевого автомату? Яка різниця між кінцевими автоматами Мура і Мілі?

2 ЗАСОБИ МОДЕЛЮВАННЯ І ВІДЛАГОДЖЕННЯ САПР ACTIVE-HDL

ЛАБОРАТОРНА РОБОТА № 4

Мета роботи. Ознайомитися з двома способами функціонально-структурного моделювання опису цифрових систем (ЦС) мовою VHDL. Перший спосіб – виконання моделювання в тісній взаємодії з користувачем, який власноруч задає тестові послідовності. Другий спосіб – тестування ЦС за допомогою випробувального стенду. За результатами роботи випробувального стенду розглянути внутрішній устрій моделі ЦС у вікні Data Flow.

2.1 Постановка задачі

Опис частотоміра мовою VHDL, що був створений в попередній лабораторній роботі, повинен бути перевірений. Це можливо виконати під час моделювання роботи пристрою. Для автоматизації тестування ЦС засобами мови VHDL може бути створений *випробувальний стенд* – програма, що містить *тестові послідовності* та перевіряє правильність роботи **UUT** (Unit Under Test, пристрій що тестується).

САПР Active-HDL має ряд засобів для перевірки роботи компонентів VHDL-проекту, трасування програми мовою VHDL.

Наприклад, в редакторі BDE можна стежити за зміною значень сигналів, що зображені на логічній схемі; в редакторі HDL можна виконувати:

- трасування програми мовою VHDL;
- призначати контрольні точки;
- стежити за зміною значень сигналів, що використовуються у програмі.

Редактор FSM має власні засоби трасування кінцевих автоматів.

Крім того, для відлагодження ЦС можуть використовуватися спеціальні засоби: вікна Processes, List, Data Flow, Call Stack та ін.

В лабораторній роботі вивчаються наступні питання.

1. Засоби ініціалізації та повторного запуску моделювання.
2. Засоби відображення результатів моделювання – вікна часових діаграм та таблиць перемикань.
3. Засоби створення тестових послідовностей – стимуляторів.
4. Засоби керування моделюванням.
5. Техніка створення найпростішого випробувального стенду – для одного процесу (single process test bench).
6. Засоби керування трасуванням програми мовою VHDL.
7. Засоби відображення результатів трасування – вікна процесів, сигналів і потоків даних.

8. Засоби підтримки відлагодження, що вбудовані у редактори HDE, BDE і FSM.

Варіанти індивідуальних завдань наведені в таблиці 2.1.

Таблиця 2.1 – Індивідуальні завдання

Варіант	f_input, нс	f_pattern, нс	Варіант	f_input, нс	f_pattern, нс
0	100	10000	13	100	17000
1	22	11000	14	640	16000
2	40	12000	15	200	15000
3	200	13000	16	56	14000
4	70	14000	17	65	13000
5	750	15000	18	24	12000
6	40	16000	19	100	11000
7	425	17000	20	200	10000
8	60	18000	21	200	11000
9	200	19000	22	20	12000
10	50	20000	23	130	13000
11	19	19000	24	125	14000
12	20	18000	25	60	15000

2.2 Хід роботи

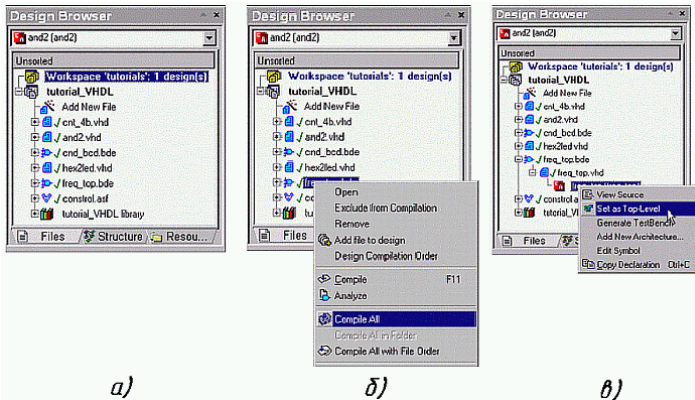
В якості прикладу розглядається варіант 0. Частотомір повинен виводити результат вимірювання, що дорівнює $f_pattern/f_input = 10000/100 = 100$. Тобто, частота сигналу, що надходить на вхід частотоміру (сигнал **f_input**) в 100 разів більше зразкової частоти (сигнал **f_pattern**). Якщо частотомір працює правильно, то для відображення результатів вимірювання на чотири 7-сегментні LCD індикатори повинні надходити коди: канал А – шістнадцятирічний код 40 (відповідає символу '0'); канал В – шістнадцятирічний код 79 (відповідає символу '1'); канал С – шістнадцятирічний код 40 (відповідає символу '0'); канал D – шістнадцятирічний код 40 (відповідає символу '0').

2.2.1 Ініціалізація моделювання

Всі компоненти VHDL-проекту частотоміра зібрані в редакторі BDE в єдиний файл **freq_top.bde**. У вікні **Design Browser** показані файли VHDL-проекту (рис.2.1,а).

2.2.1.1 Перш, ніж почати моделювання, треба упевнитися, що всі файли проекту компілюються без помилок. Для цього у вікні **Design Browser** виберіть файл **freq_top.bde**, клацніть правою кнопкою миші і в контекстному меню виберіть команду **Compile All in Folder** (рис.2.1,б).

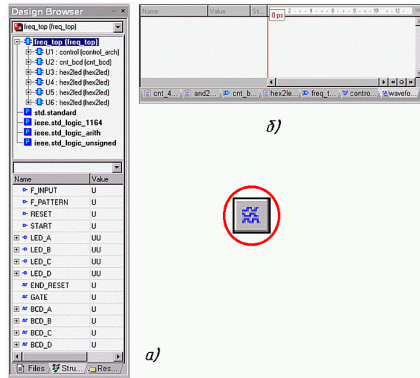
2.2.1.2 Перед функціональним моделюванням треба визначити пару описів сутності (entity) і архітектури (architecture) верхнього рівня проекту (Top-Level). Для цього розкрийте зміст файлу **freq_top.bde**, клацнувши символ **+** перед його ім'ям у вікні **Design Browser**. Виберіть пару **freq_top (freq_top)** і клацніть правою кнопкою миші. В контекстному меню виберіть команду **Set as Top-Level**. (рис.2.1,в).



а – файли проекту; б – компіляція всіх файлів VHDL-проекту;
 в – вибір пари entity/architecture верхнього рівня
 Рисунок 2.1 – Вікно Design Browser

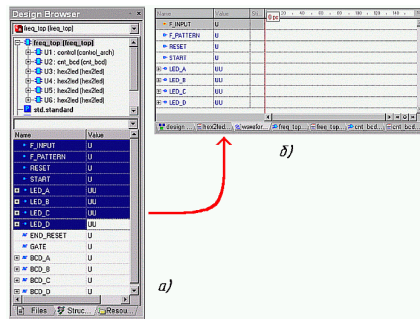
2.2.1.3 Виконайте ініціалізацію моделювання. Для цього виберіть команду **Simulation** → **Initialize Simulation** головного меню САПР Active-HDL. Після ініціалізації моделювання стане активною вкладка **Structure** у вікні **Design Browser**.

2.2.1.4 Відкрийте вікно редактора часових діаграм **Waveform Editor**. Для цього клацніть на кнопці  **New Waveform** панелі інструментів Active-HDL. Вибравши у верхній частині вікна **Design Browser** на вкладці **Structure** поле **freq_top**, внизу вікна можна побачити всі сигнали вибраного модуля (рис. 2.2,а). Для з'єднання компонентів проекту деякі сигнали можуть бути створений автоматично. Імена таких сигналів починаються з символів **BUS** і **NET**. Після клацання на кнопці **New Waveform** з'явиться нове вікно часової діаграми **Waveform** (рис.2.2,б).



а – сигнали вибраного модуля на вкладці Structure; б – порожнє вікно часової діаграми
Рисунок 2.2 – Створення нової часової діаграми

2.2.1.5 Додайте сигнали, що відносяться до модуля **freq_top**, з вікна **Design Browser** в створене вікно часової діаграми. Тримаючи натиснутою клавішу <SHIFT>, клацніть на сигналі **f_input** і, перемістивши курсор миші, потім клацніть на сигналі **led_d**. Всі сигнали, що розташовані між вибраними сигналами, будуть виділені (рис. 2.3,а). Тримаючи ліву кнопку миші натиснутою, перетягніть виділені сигнали у вікно **Waveform Editor** (рис. 2.3,б).



а – виділення сигналів у вікні Design Browser; б – розміщення сигналів на часовій діаграмі
Рисунок 2.3 – Додавання сигналів у вікно Waveform Editor

2.2.1.6 Результати моделювання в Active-HDL можуть відобразитися не тільки у вигляді часової діаграми. Іноді необхідно виводити результати моделювання в символічному вигляді. Для цієї мети можна використувати *таблиці перемикань* (вікно **List**). Щоб створити нову таблицю

перемикаць, клацніть на кнопці  **New List** панелі інструментів Active-HDL. Так само, як це робилося при додаванні сигналів в часову діаграму, додайте сигнали **f_input**, **f_pattern**, **reset**, **start**, **led_a**, **led_b**, **led_c**, **led_d** в нове вікно **List** (рис.2.4).

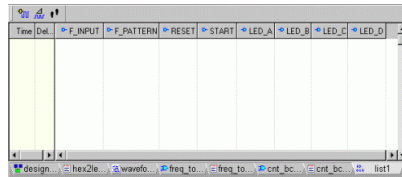


Рисунок 2.4 – Вікно таблиці перемикаць

2.2.1.7 Поверніться до вікна редактора часових діаграм. Для цього клацніть на вкладці *Waveform Editor 1*. Виберіть сигнал **f_input** і, клацнувши на ньому правою кнопкою, в контекстному меню виберіть команду **Stimulators...** З'явиться вікно **Stimulators**, де можна задавати тестові послідовності для вибраних сигналів (рис. 2.5).

2.2.1.8 В полі **Type** вікна **Stimulators** виберіть тип стимулятора – **Clock** для сигналу **f_input**. Залиште без змін задані за умовчанням настройки (рис.2.5) і клацніть **Apply**.

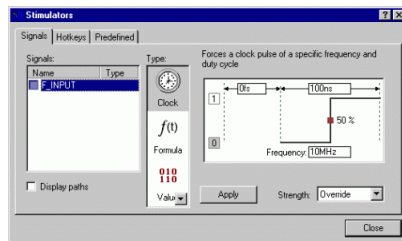
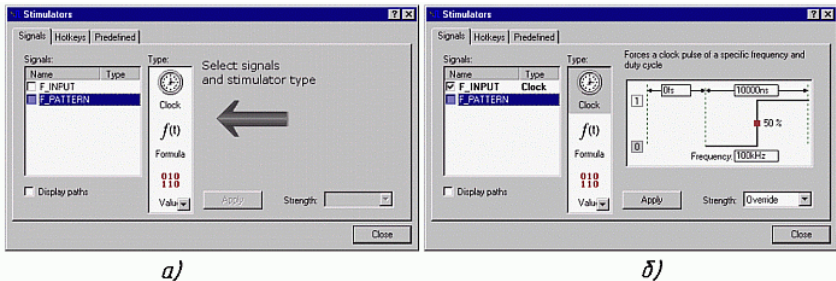


Рисунок 2.5 – Настройки стимулятора для сигналу F_INPUT

2.2.1.9 Для того, щоб задати тестові послідовності для решти сигналів вікно **Stimulators** можна не закривати. Вікно **Stimulators** перемістите так, щоб бачити сигнали у вікні редактора часових діаграм. Тепер у вікні **Waveform Editor** можна вибрати сигнал **f_pattern**, його ім'я буде автоматично додано до списку *Signals* у вікні стимуляторів (рис. 2.6,а).

2.2.1.10 Для сигналу **f_pattern** використовуватимемо той же тип стимулятора. На цей раз треба змінити задану за умовчанням настройку стимулятора **Clock** – 100 ns на інше значення – 10000 ns. Для цього клацніть у відпо-

відному полі (100 ns) і надрукуйте нове значення – 10000 ns (рис. 2.6,б). Для підтвердження внесених змін клацніть Apply. По завершенню настройки стимулятора ім'я сигналу і мітка перед ним в списку *Signals* виділяються жирним шрифтом.



а – вибір сигналу; б – зміна заданих за умовчанням настройок
Рисунок 2.6 – Настройки сигналу F_PATTERN

2.2.1.11 Виберіть сигнал **reset**. Для нього виберіть тип стимулятора *Value*. В полі *Force Value* виберіть значення '1'. Підтвердить зміни кнопкою Apply.

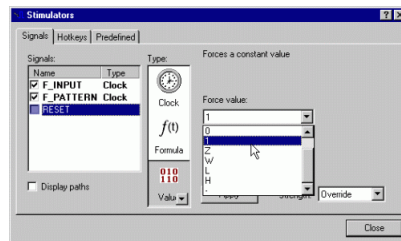


Рисунок 2.7 – Настройка сигналу RESET

2.2.1.12 Додайте у вікно **Stimulators** останній вхідний сигнал – **start**. Оскільки його значення не змінюватиметься протягом моделювання, виберіть для нього тип стимулятора – *Value*. В полі *Force Value* виберіть значення '1'. Підтвердить зміни клацанням на кнопці Apply (рис.2.8). Хоча всі стимулятори були задані, вікно **Stimulators** залиште відкритим.

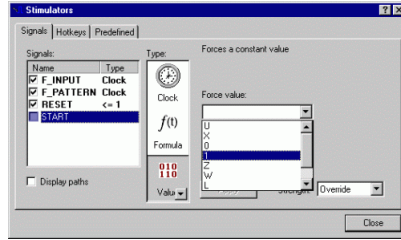


Рисунок 2.8 – Настройка сигнала START

2.2.2 Виконання моделювання

2.2.2.1 Для виконання моделювання в САПР Active-HDL використовуються п'ять кнопок, розташованих на панелі інструментів. Зверніть увагу на комбінований список поряд з кнопкою  **Run for**. Необхідно змінити заданий за умовчанням крок моделювання 100 ns на нове значення – 10000 ns (10 us). Для цього клацніть на комбінованому списку і надрукуйте нове значення (рис. 2.9).

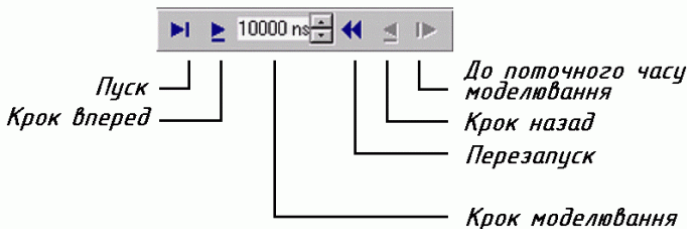


Рисунок 2.9 – Кнопки управління моделюванням

2.2.2.2 Клацнувши кнопку  **Run for** (їй відповідає "гаряча" клавіша <F5>), виконайте моделювання при заданих настройках вхідних сигналів протягом перших 10 мікросекунд. Результати моделювання будуть відображені у вікні **Waveform Editor** (рис.2.10). Якщо сигнал **reset** = '1', частотомір не повинен працювати.

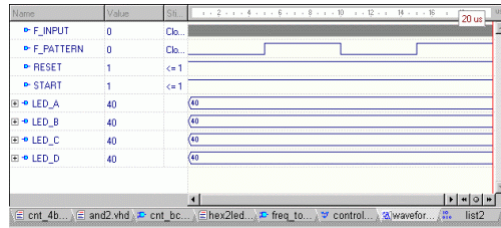


Рисунок 2.10 – Моделювання. Частотомір відключений

- 2.2.2.3 Змініть значення сигналу **reset** з '1' на '0'. Для цього у вікні **Stimulators** виберіть сигнал **reset** і в полі **Force Value** виберіть значення '1'. Як і раніше, підтвердить зміну настройок клацанням на кнопці Apply і закрийте вікно **Stimulators**, клацнувши на Close.
- 2.2.2.4 Клацніть кілька разів кнопкою **Run for**, поки не з'являться шістнадцятирічні значення 40, 79, 40, 40 напроти виходів **led_a**, **led_b**, **led_c**, **led_d** відповідно (рис.2.11). Ця комбінація відповідає числам 0,1,0,0, що відображаються на 7-сегментному рідкокристалічному індикаторі. Частота **f_input**, що вимірюється, в 100 разів більше зразкової частоти **f_pattern**.

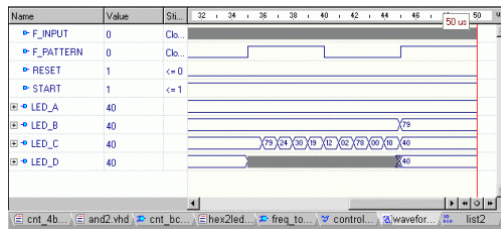
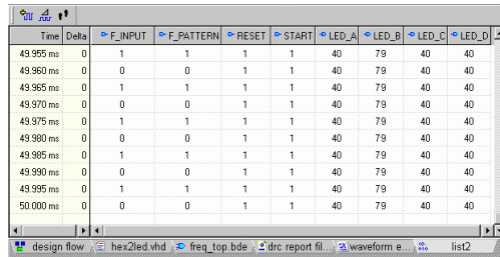


Рисунок 2.11 – Моделювання. Частотомір включений

- 2.2.2.5 Перемкніться у вікно **List**. В ньому відображаються результати моделювання в символічному вигляді (рис.2.12).



Time	Delta	F_INPUT	F_PATTERN	RESET	START	LED_A	LED_B	LED_C	LED_D
49.955 ms	0	1	1	1	1	40	79	40	40
49.960 ms	0	0	0	1	1	40	79	40	40
49.965 ms	0	1	1	1	1	40	79	40	40
49.970 ms	0	0	0	1	1	40	79	40	40
49.975 ms	0	1	1	1	1	40	79	40	40
49.980 ms	0	0	0	1	1	40	79	40	40
49.985 ms	0	1	1	1	1	40	79	40	40
49.990 ms	0	0	0	1	1	40	79	40	40
49.995 ms	0	1	1	1	1	40	79	40	40
50.000 ms	0	0	0	1	1	40	79	40	40

Рисунок 2.12 – Моделювання. Вікно List

2.2.3 Створення випробувального стенду

Результати моделювання можуть бути збережені в "рідному" форматі часових діаграм САПР Active-HDL – файлі, що має розширення **.awf**. Для цього треба вибрати команду **File → Save** головного меню. Також є можливість експортувати результати моделювання у файл *VHDL-процесу*, який має розширення **.vhs**. Такий файл можна використовувати для створення *випробувального стенду* (test bench).

Випробувальний стенд VHDL (test bench) – це програма мовою VHDL, в якій описані *тестові послідовності* – інформація, що необхідна для моделювання ЦС. У VHDL є ряд функцій і мовних конструкцій, розроблених спеціально для створення тестових послідовностей. Дані моделювання можна читати з текстового файлу, брати з окремих процесів, що керують вхідними портами цифрової системи та ін.

Типовий спосіб створення випробувального стенду – додати до проекту ЦС додатковий файл мовою VHDL, який сприймає раніш створений VHDL-проект як компонент **UUT** (*Unit Under Test*) і призначити певні значення вхідним портам цього модуля.

Випробувальний стенд може забезпечувати входи моделювання, а також перевіряти виходи проекту. Ця методологія забезпечує якнайповнішу перевірку проекту з мінімальною взаємодією з користувачем.

2.2.3.1 Зробіть активним вікно часової діаграми і виберіть команду **File → Export → Waveforms** головного меню. У вікні **Save As** надрукуйте ім'я файлу – **vectors** і збережіть файл, клацнувши Save (рис.2.13). Закрийте вікно часової діаграми.

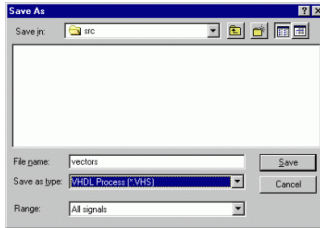
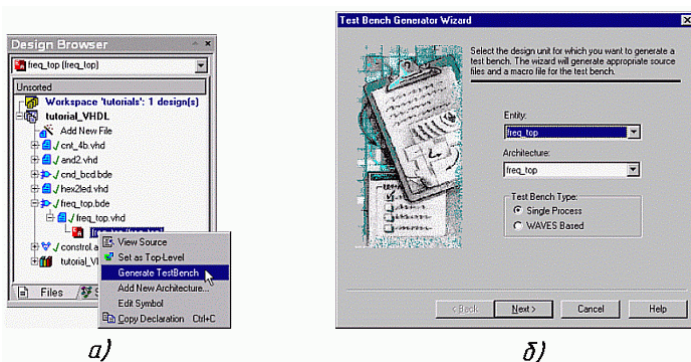


Рисунок 2.13 – Експорт файлу часової діаграми

Результати моделювання, які були експортовані з часової діаграми, можна використовувати як тестові послідовності випробувального стенду. В САПР Active-HDL випробувальний стенд генерується автоматично, за допомогою відповідного майстра.

2.2.3.2 У вікні **Design Browser** розкрийте вміст файлу *freq_top.bde*, щоб можна було вибрати пару entity/architecture верхнього рівня проекту. Виберіть пару *freq_top (freq_top)* і клацніть правою кнопкою миші. В контекстному меню, що з'явилося, виберіть команду **Generate Testbench** (рис.2.14,а).

2.2.3.3 З'явиться вікно майстра **Testbench Generation Wizard** (рис.2.14,б). В даному випадку тип випробувального стенду повинен бути *Single Process* (окремий процес). Клацнувши Next, перейдіть в наступне вікно майстра.



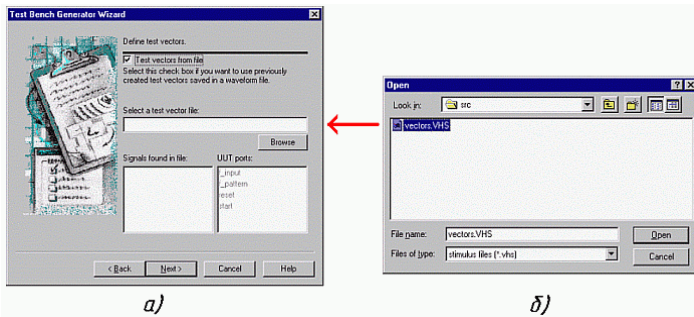
а – запуск майстра Testbench Generation Wizard; б – вибір типу випробувального стенду

Рисунок 2.14 – Створення випробувального стенду

2.2.3.4 На наступному кроці треба задати сигнали тестових послідовностей

випробувального стенду. Оскільки тестова послідовність для частото-
міра береться з VHS-файлу, то включіть опцію *Test vectors from file*
(рис.15,а) і клацніть на кнопці *Browse*.

- 2.2.3.5 З'явиться стандартне діалогове вікно **Open** (рис.2.15,б). В полі *Files type*: виберіть формат файлу, що відкривається, – *stimulus files (*.vhs)*. Знайдіть раніше створений файл **vectors.vhs** і клацніть на кнопці *Open*.



а – вибір сигналів тестової послідовності; б – вибір VHS-файлу
Рисунок 2.15 – Вікно Testbench Generation Wizard

- 2.2.3.6 САПР Active-HDL автоматично шукатиме сигнали у вказаному файлі і додасть їх в список *Signals found in file*: вікна **Testbench Generation Wizard**. У разі невдачі буде видано повідомлення про помилки. Для продовження роботи клацніть *Next*.

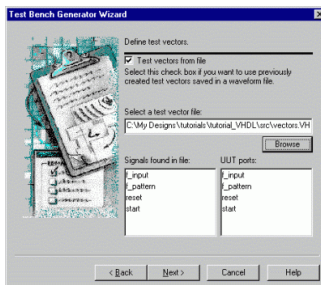


Рисунок 2.16 – Вікно Testbench Generation Wizard. Сигнали тестової послідовності

- 2.2.3.7 В наступному вікні майстра можна задати імена entity, architecture і VHDL-файлу випробувального стенду. Тут же задається ім'я директорії випробувального стенду. Залиште настройки, що використовуються за умовчанням і, клацнувши *Next*, перейдіть до наступного вікна.

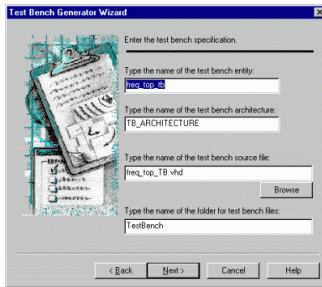


Рисунок 2.17 – Вікно Testbench Generation Wizard. Завдання імен компонентів випробувального стенду

2.2.3.8 В наступному вікні можна вказати файл конфігурації для часового моделювання. Оскільки нашою задачею є не часове, а функціональне моделювання, то настройку *Generate* залиште невибраною (рис.2.18,а). В кінці роботи з майстром **Testbench Generation Wizard** клацніть на кнопці Finish. У вікні **Design Browser** (рис.2.18,б) з'явиться нова директорія **Testbench**, що містить два файли:

- **freq_top_TB.vhd** – файл випробувального стенду;
- **freq_top_TB_runtest.do** – командний файл для запуску випробувального стенду.

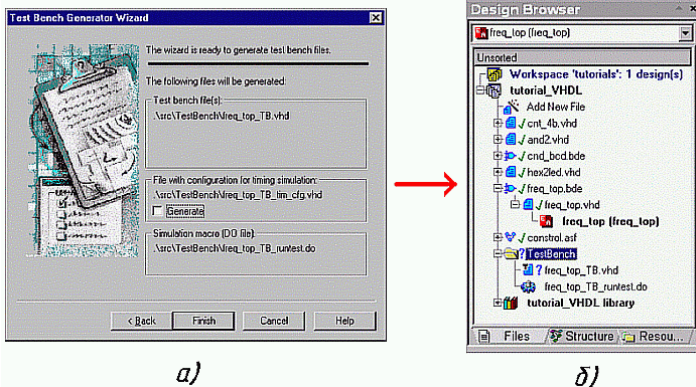


Рисунок 2.18 – Вікно Testbench Generation Wizard. Завершення роботи

2.2.3.9 Виберіть файл **freq_top_TB_runtest.do** і клацніть правою кнопкою миші. В контекстному меню виберіть команду **Execute**. Буде запущений

- 2.2.4.1 Перед стартом сеансу відлагодження треба перезапустити моделювання. Для цього виберіть команду **Simulation** → **Restart Simulation** головного меню.
- 2.2.4.2 Встановимо контрольну точку в описі BCD-лічильника. У вікні **Design Browser** знайдіть файл **cnt_4b.vhd** і двічі клацніть на його імені. Якщо файл вже відкритий, можна клацнути на відповідній вкладці редактора HDL. В програмі знайдіть рядок, що описує включення лічильника:

```
if ENABLE = '1' then
```

Встановіть курсор миші в цьому рядку і клацніть правою кнопкою миші. В контекстному меню виберіть команду **Toggle Breakpoint** (рис.2.21).

Після установки контрольної точки в лівій частині вікна редактора HDL, навпроти вибраного рядка, буде поміщена піктограма . Перемикатися між контрольними точками можна за допомогою клавіші <F9> і за допомогою команди **Disable Breakpoint** контекстного меню.

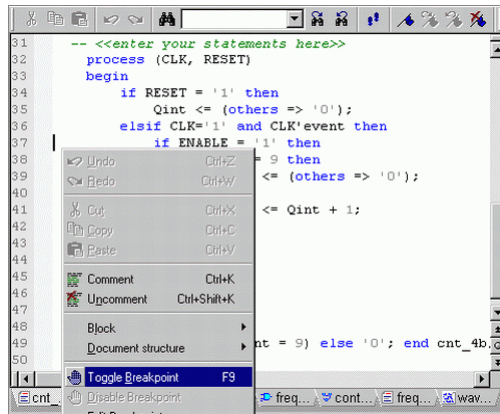


Рисунок 2.21 – Установка контрольної точки

- 2.2.4.3 Для спостереження за змінами значень вибраних сигналів використовується вікно **Watch**. Відкрийте вікно **Watch**, клацнувши на кнопці  **View Watch Window** на панелі інструментів. З'явиться порожнє вікно **Watch** (рис.2.22).

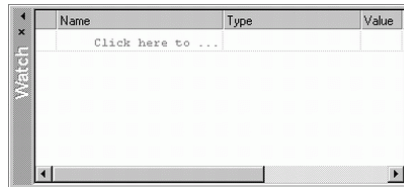
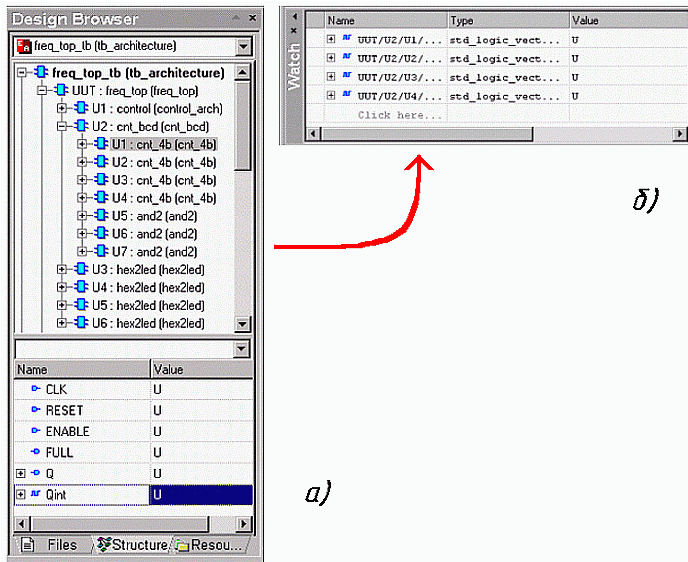


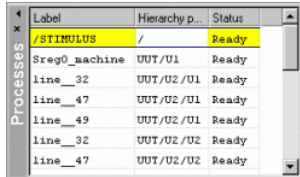
Рисунок 2.22 – Вікно Watch

- 2.2.4.4 Додамо у вікно **Watch** сигнал **Qint** всіх BCD-лічильників. Сигнал **Qint** визначений у файлі **cnt_bcd.vhd**. Розкрийте вміст модуля **freq_top_tb** у вкладці **Structure** вікна **Design Browser** (рис.2.23,а).
- 2.2.4.5 Виберіть модуль **U1: cnt_4b**. Сигнали, що відносяться до цього BCD-лічильника, з'являться в нижній частині вікна. Серед них є сигнал **Qint**, який повинен бути переміщений у вікно **Watch**. Перемістіть у вікно **Watch** сигнал **Qint**, що відноситься до модулів **U1: cnt_4b**, **U2: cnt_4b**, **U3: cnt_4b** і **U4: cnt_4b**. Тепер можна спостерігати за значеннями всіх сигналів **Qint** чотирьох двійково-десяткових лічильників, за допомогою яких відображається результат роботи частотоміра (рис.2.23,б).



а – вибір сигналу Qint у вікні Design Browser; б – сигнали Qint BCD-лічильників у вікні Watch
Рисунок 2.23 – Додавання сигналів у вікно Watch

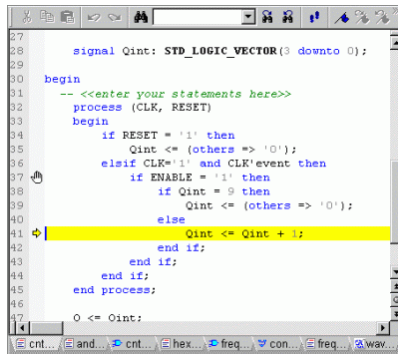
2.2.4.6 Спочатку всі сигнали мають значення **U** (*unknown* – невідомо). При моделюванні їм будуть призначені нові значення. Щоб спостерігати зміну станів сигналів в процесі моделювання відкрийте вікно **Processes**. Для цього виберіть команду **View** → **Processes** в головному меню. З'явиться вікно **Processes** (рис.2.24).



Label	Hierarchy p...	Status
/STIMULUS	/	Ready
Sreg0_machine	UUT/U1	Ready
line_32	UUT/U2/U1	Ready
line_47	UUT/U2/U1	Ready
line_49	UUT/U2/U1	Ready
line_32	UUT/U2/U2	Ready
line_47	UUT/U2/U2	Ready

Рисунок 2.24 – Вікно Processes

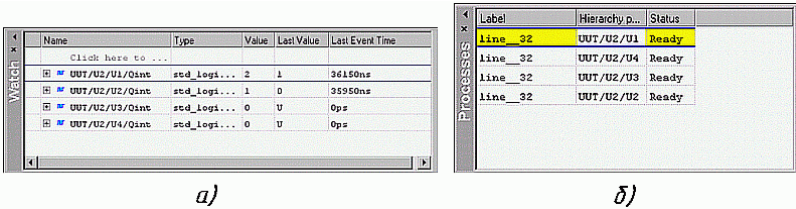
2.2.4.7 Запустіть моделювання, клацнувши кілька разів кнопкою  **Run For**. Оскільки в описі BCD-лічильника була встановлена контрольна точка, моделювання буде зупинено після досягнення контрольної точки. У вікні редактора HDE поточний рядок тексту програми підсвічується жовтим кольором. Для виконання трасування (покрокового відлагодження) треба користуватися кнопкою  **Trace in** панелі інструментів. При кожному клацанні на цій кнопці виконується наступний рядок тексту програми. Оскільки кнопці *Trace in* відповідає "гаряча" клавіша <F7> клавіатури, то можна користуватися нею. Результат буде той же (рис.2.25).



```

27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42
43
44
45
46
47
48
49
50
51
52
53
54
55
56
57
58
59
60
61
62
63
64
65
66
67
68
69
70
71
72
73
74
75
76
77
78
79
80
81
82
83
84
85
86
87
88
89
90
91
92
93
94
95
96
97
98
99
100
101
102
103
104
105
106
107
108
109
110
111
112
113
114
115
116
117
118
119
120
121
122
123
124
125
126
127
128
129
130
131
132
133
134
135
136
137
138
139
140
141
142
143
144
145
146
147
148
149
150
151
152
153
154
155
156
157
158
159
160
161
162
163
164
165
166
167
168
169
170
171
172
173
174
175
176
177
178
179
180
181
182
183
184
185
186
187
188
189
190
191
192
193
194
195
196
197
198
199
200
201
202
203
204
205
206
207
208
209
210
211
212
213
214
215
216
217
218
219
220
221
222
223
224
225
226
227
228
229
230
231
232
233
234
235
236
237
238
239
240
241
242
243
244
245
246
247
248
249
250
251
252
253
254
255
256
257
258
259
260
261
262
263
264
265
266
267
268
269
270
271
272
273
274
275
276
277
278
279
280
281
282
283
284
285
286
287
288
289
290
291
292
293
294
295
296
297
298
299
300
301
302
303
304
305
306
307
308
309
310
311
312
313
314
315
316
317
318
319
320
321
322
323
324
325
326
327
328
329
330
331
332
333
334
335
336
337
338
339
340
341
342
343
344
345
346
347
348
349
350
351
352
353
354
355
356
357
358
359
360
361
362
363
364
365
366
367
368
369
370
371
372
373
374
375
376
377
378
379
380
381
382
383
384
385
386
387
388
389
390
391
392
393
394
395
396
397
398
399
400
401
402
403
404
405
406
407
408
409
410
411
412
413
414
415
416
417
418
419
420
421
422
423
424
425
426
427
428
429
430
431
432
433
434
435
436
437
438
439
440
441
442
443
444
445
446
447
448
449
450
451
452
453
454
455
456
457
458
459
460
461
462
463
464
465
466
467
468
469
470
471
472
473
474
475
476
477
478
479
480
481
482
483
484
485
486
487
488
489
490
491
492
493
494
495
496
497
498
499
500
501
502
503
504
505
506
507
508
509
510
511
512
513
514
515
516
517
518
519
520
521
522
523
524
525
526
527
528
529
530
531
532
533
534
535
536
537
538
539
540
541
542
543
544
545
546
547
548
549
550
551
552
553
554
555
556
557
558
559
560
561
562
563
564
565
566
567
568
569
570
571
572
573
574
575
576
577
578
579
580
581
582
583
584
585
586
587
588
589
590
591
592
593
594
595
596
597
598
599
600
601
602
603
604
605
606
607
608
609
610
611
612
613
614
615
616
617
618
619
620
621
622
623
624
625
626
627
628
629
630
631
632
633
634
635
636
637
638
639
640
641
642
643
644
645
646
647
648
649
650
651
652
653
654
655
656
657
658
659
660
661
662
663
664
665
666
667
668
669
670
671
672
673
674
675
676
677
678
679
680
681
682
683
684
685
686
687
688
689
690
691
692
693
694
695
696
697
698
699
700
701
702
703
704
705
706
707
708
709
710
711
712
713
714
715
716
717
718
719
720
721
722
723
724
725
726
727
728
729
730
731
732
733
734
735
736
737
738
739
740
741
742
743
744
745
746
747
748
749
750
751
752
753
754
755
756
757
758
759
760
761
762
763
764
765
766
767
768
769
770
771
772
773
774
775
776
777
778
779
780
781
782
783
784
785
786
787
788
789
790
791
792
793
794
795
796
797
798
799
800
801
802
803
804
805
806
807
808
809
810
811
812
813
814
815
816
817
818
819
820
821
822
823
824
825
826
827
828
829
830
831
832
833
834
835
836
837
838
839
840
841
842
843
844
845
846
847
848
849
850
851
852
853
854
855
856
857
858
859
860
861
862
863
864
865
866
867
868
869
870
871
872
873
874
875
876
877
878
879
880
881
882
883
884
885
886
887
888
889
890
891
892
893
894
895
896
897
898
899
900
901
902
903
904
905
906
907
908
909
910
911
912
913
914
915
916
917
918
919
920
921
922
923
924
925
926
927
928
929
930
931
932
933
934
935
936
937
938
939
940
941
942
943
944
945
946
947
948
949
950
951
952
953
954
955
956
957
958
959
960
961
962
963
964
965
966
967
968
969
970
971
972
973
974
975
976
977
978
979
980
981
982
983
984
985
986
987
988
989
990
991
992
993
994
995
996
997
998
999
1000
1001
1002
1003
1004
1005
1006
1007
1008
1009
1010
1011
1012
1013
1014
1015
1016
1017
1018
1019
1020
1021
1022
1023
1024
1025
1026
1027
1028
1029
1030
1031
1032
1033
1034
1035
1036
1037
1038
1039
1040
1041
1042
1043
1044
1045
1046
1047
1048
1049
1050
1051
1052
1053
1054
1055
1056
1057
1058
1059
1060
1061
1062
1063
1064
1065
1066
1067
1068
1069
1070
1071
1072
1073
1074
1075
1076
1077
1078
1079
1080
1081
1082
1083
1084
1085
1086
1087
1088
1089
1090
1091
1092
1093
1094
1095
1096
1097
1098
1099
1100
1101
1102
1103
1104
1105
1106
1107
1108
1109
1110
1111
1112
1113
1114
1115
1116
1117
1118
1119
1120
1121
1122
1123
1124
1125
1126
1127
1128
1129
1130
1131
1132
1133
1134
1135
1136
1137
1138
1139
1140
1141
1142
1143
1144
1145
1146
1147
1148
1149
1150
1151
1152
1153
1154
1155
1156
1157
1158
1159
1160
1161
1162
1163
1164
1165
1166
1167
1168
1169
1170
1171
1172
1173
1174
1175
1176
1177
1178
1179
1180
1181
1182
1183
1184
1185
1186
1187
1188
1189
1190
1191
1192
1193
1194
1195
1196
1197
1198
1199
1200
1201
1202
1203
1204
1205
1206
1207
1208
1209
1210
1211
1212
1213
1214
1215
1216
1217
1218
1219
1220
1221
1222
1223
1224
1225
1226
1227
1228
1229
1230
1231
1232
1233
1234
1235
1236
1237
1238
1239
1240
1241
1242
1243
1244
1245
1246
1247
1248
1249
1250
1251
1252
1253
1254
1255
1256
1257
1258
1259
1260
1261
1262
1263
1264
1265
1266
1267
1268
1269
1270
1271
1272
1273
1274
1275
1276
1277
1278
1279
1280
1281
1282
1283
1284
1285
1286
1287
1288
1289
1290
1291
1292
1293
1294
1295
1296
1297
1298
1299
1300
1301
1302
1303
1304
1305
1306
1307
1308
1309
1310
1311
1312
1313
1314
1315
1316
1317
1318
1319
1320
1321
1322
1323
1324
1325
1326
1327
1328
1329
1330
1331
1332
1333
1334
1335
1336
1337
1338
1339
1340
1341
1342
1343
1344
1345
1346
1347
1348
1349
1350
1351
1352
1353
1354
1355
1356
1357
1358
1359
1360
1361
1362
1363
1364
1365
1366
1367
1368
1369
1370
1371
1372
1373
1374
1375
1376
1377
1378
1379
1380
1381
1382
1383
1384
1385
1386
1387
1388
1389
1390
1391
1392
1393
1394
1395
1396
1397
1398
1399
1400
1401
1402
1403
1404
1405
1406
1407
1408
1409
1410
1411
1412
1413
1414
1415
1416
1417
1418
1419
1420
1421
1422
1423
1424
1425
1426
1427
1428
1429
1430
1431
1432
1433
1434
1435
1436
1437
1438
1439
1440
1441
1442
1443
1444
1445
1446
1447
1448
1449
1450
1451
1452
1453
1454
1455
1456
1457
1458
1459
1460
1461
1462
1463
1464
1465
1466
1467
1468
1469
1470
1471
1472
1473
1474
1475
1476
1477
1478
1479
1480
1481
1482
1483
1484
1485
1486
1487
1488
1489
1490
1491
1492
1493
1494
1495
1496
1497
1498
1499
1500
1501
1502
1503
1504
1505
1506
1507
1508
1509
1510
1511
1512
1513
1514
1515
1516
1517
1518
1519
1520
1521
1522
1523
1524
1525
1526
1527
1528
1529
1530
1531
1532
1533
1534
1535
1536
1537
1538
1539
1540
1541
1542
1543
1544
1545
1546
1547
1548
1549
1550
1551
1552
1553
1554
1555
1556
1557
1558
1559
1560
1561
1562
1563
1564
1565
1566
1567
1568
1569
1570
1571
1572
1573
1574
1575
1576
1577
1578
1579
1580
1581
1582
1583
1584
1585
1586
1587
1588
1589
1590
1591
1592
1593
1594
1595
1596
1597
1598
1599
1600
1601
1602
1603
1604
1605
1606
1607
1608
1609
1610
1611
1612
1613
1614
1615
1616
1617
1618
1619
1620
1621
1622
1623
1624
1625
1626
1627
1628
1629
1630
1631
1632
1633
1634
1635
1636
1637
1638
1639
1640
1641
1642
1643
1644
1645
1646
1647
1648
1649
1650
1651
1652
1653
1654
1655
1656
1657
1658
1659
1660
1661
1662
1663
1664
1665
1666
1667
1668
1669
1670
1671
1672
1673
1674
1675
1676
1677
1678
1679
1680
1681
1682
1683
1684
1685
1686
1687
1688
1689
1690
1691
1692
1693
1694
1695
1696
1697
1698
1699
1700
1701
1702
1703
1704
1705
1706
1707
1708
1709
1710
1711
1712
1713
1714
1715
1716
1717
1718
1719
1720
1721
1722
1723
1724
1725
1726
1727
1728
1729
1730
1731
1732
1733
1734
1735
1736
1737
1738
1739
1740
1741
1742
1743
1744
1745
1746
1747
1748
1749
1750
1751
1752
1753
1754
1755
1756
1757
1758
1759
1760
1761
1762
1763
1764
1765
1766
1767
1768
1769
1770
1771
1772
1773
1774
1775
1776
1777
1778
1779
1780
1781
1782
1783
1784
1785
1786
1787
1788
1789
1790
1791
1792
1793
1794
1795
1796
1797
1798
1799
1800
1801
1802
1803
1804
1805
1806
1807
1808
1809
1810
1811
1812
1813
1814
1815
1816
1817
1818
1819
1820
1821
1822
1823
1824
1825
1826
1827
1828
1829
1830
1831
1832
1833
1834
1835
1836
1837
1838
1839
1840
1841
1842
1843
1844
1845
1846
1847
1848
1849
1850
1851
1852
1853
1854
1855
1856
1857
1858
1859
1860
1861
1862
1863
1864
1865
1866
1867
1868
1869
1870
1871
1872
1873
1874
1875
1876
1877
1878
1879
1880
1881
1882
1883
1884
1885
1886
1887
1888
1889
1890
1891
1892
1893
1894
1895
1896
1897
1898
1899
1900
1901
1902
1903
1904
1905
1906
1907
1908
1909
1910
1911
1912
1913
1914
1915
1916
1917
1918
1919
1920
1921
1922
1923
1924
1925
1926
1927
1928
1929
1930
1931
1932
1933
1934
1935
1936
1937
1938
1939
1940
1941
1942
1943
1944
1945
1946
1947
1948
1949
1950
1951
1952
1953
1954
1955
1956
1957
1958
1959
1960
1961
1962
1963
1964
1965
1966
1967
1968
1969
1970
1971
1972
1973
1974
1975
1976
1977
1978
1979
1980
1981
1982
1983
1984
1985
1986
1987
1988
1989
1990
1991
1992
1993
1994
1995
1996
1997
1998
1999
2000
2001
2002
2003
2004
2005
2006
2007
2008
2009
2010
2011
2012
2013
2014
2015
2016
2017
2018
2019
2020
2021
2022
2023
2024
2025
2026
2027
2028
2029
2030
2031
2032
2033
2034
2035
2036
2037
2038
2039
2040
2041
2042
2043
2044
2045
2046
2047
2048
2049
2050
2051
2052
2053
2054
2055
2056
2057
2058
2059
2060
2061
2062
2063
2064
2065
2066
2067
2068
2069
2070
2071
2072
2073
2074
2075
2076
2077
2078
2079
2080
2081
2082
2083
2084
2085
2086
2087
2088
2089
2090
2091
2092
2093
2094
2095
2096
2097
2098
2099
2100
2101
2102
2103
2104
2105
2106
2107
2108
2109
2110
2111
2112
2113
2114
2115
2116
2117
2118
2119
2120
2121
2122
2123
2124
2125
2126
2127
2128
2129
2130
2131
2132
2133
2134
2135
2136
2137
2138
2139
2140
2141
2142
2143
2144
2145
2146
2147
2148
2149
2150
2151
2152
2153
2154
2155
2156
2157
2158
2159
2160
2161
2162
2163
2164
2165
2166
2167
2168
2169
2170
2171
2172
2173
2174
2175
2176
2177
2178
2179
2180
2181
2182
2183
2184
2185
2186
2187
2188
2189
2190
2191
2192
2193
2194
2195
2196
2197
2198
2199
2200
2201
2202
2203
2204
2205
2206
2207
2208
2209
2210
2211
2212
2213
2214
2215
2216
2217
2218
2219
2220
2221
2222
2223
2224
2225
2226
2227
2228
2229
2230
2231
2232
2233
2234
2235
2236
2237
2238
2239
2240
2241
2242
2243
2244
2245
2246
2247
2248
2249
2250
2251
2252
2253
2254
2255
2256
2257
2258
2259
2260
2261
2262
2263
2264
2265
2266
2267
2268
2269
2270
2271
2272
2273
2274
2275
2276
2277
2278
2279
2280
2281
2282
2283
2284
2285
2286
2287
2288
2289
2290
2291
2292
2293
2294
2295
2296
2297
2298
2299
2300
2301
2302
2303
2304
2305
2306
2307
2308
2309
2310
2311
2312
2313
2314
2315
2316
2317
2318
2319
2320
2321
2322
2323
2324
2325
2326
2327
2328
2329
2330
2331
2332
2333
2334
2335
2336
2337
2338
2339
2340
2341
2342
2343
2344
2345
2346
2347
2348
2349
2350
2351
2352
2353
2354
2355
2356
2357
2358
2359
2360
2361
2362
2363
2364
2365
2366
2367
2368
2369
2370
2371
2372
2373
2374
2375
2376
2377
2378
2379
2380
2381
2382
2383
2384
2385
2386
2387
2388
2389
2390
2391
2392
2393
2394
2395
2396
2397
2398
2399
2400
2401
2402
2403
2404
2405
2406
2407
2408
2409
2410
2411
2412
2413
2414
2415
2416
2417
2418
2419
2420
2421
2422
2423
2424
2425
2426
2427
2428
2429
2430
2431
2432
2433
2434
2435
2436
2437
2438
2439
2440
2441
2442
2443
2444
2445
2446
2447
2448
2449
2450
2451
2452
2453
2454
2455
2456
2457
2458
2459
2460
2461
2462
2463
2464
2465
2466
2467
2468
2469
2470
2471
2472
2473
2474
2475
2476
2477
2478
2479
2480
2481
2482
2483
2484
2485
2486
2487
2488
2489
2490
2491
2492
2493
2494
2495
2496
2497
2498
2499
2500
2501
2502
2503
2504
2505
2506
2507
2508
25
```

2.2.4.8 Користуючись кнопкою  **Run For**, можна запускати моделювання і спостерігати як міняються значення сигналів **Qint** у вікні **Watch**. У вікні **Watch** окрім поточних значень сигналів, відображаються також їх попередні значення і час останньої події. *Подією* називається зміна значення сигналу. У вікні **Processes** можна спостерігати зміну станів DCD-лічильника. Процеси можуть мати два стани – *Wait* (очікування) або *Ready* (готовий).



а – вікно Watch; б – вікно Processes
Рисунок 2.26 – Зміна значень сигналів

2.2.4.9 Для спостереження за змінами значень сигналів можна користуватися вікном **Design Browser**. Виберіть вкладку *Structure* і знайдіть необхідний компонент проекту. Наприклад, щоб спостерігати сигнали перетворювача HEX коду на код LED-індикатора, треба розкрити дерево **freq_top_tb** і вибрати модуль **U4: hex2led**. Знизу вікна показуються сигнали перетворювача **hex2led** з їх поточними значеннями.

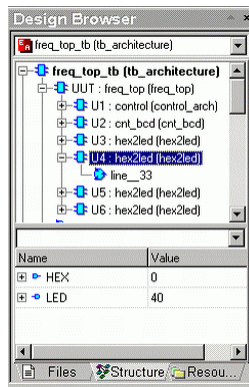


Рисунок 2.27 – Спостереження сигналів у вікні Design Browser

2.2.4.10 Поточне значення сигналу можна спостерігати в редакторі HDL, якщо помістити курсор на імені сигналу в тексті програми. Наприклад, щоб побачити поточне значення сигналу **Qint**, перемістіть курсор на ім'я сигналу **Qint** як показано на рис.2.28.

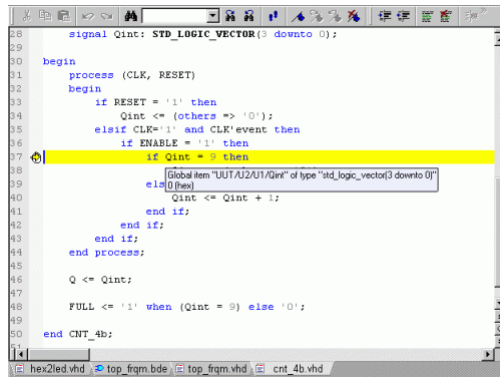


Рисунок 2.28 – Спостереження сигналів в редакторі HDE

2.2.5 Візуалізація зміни значень сигналів в редакторі BDE

Окрім інструментів введення і редагування логічних схем редактор BDE може в інтерактивному режимі відображати поточні значення сигналів під час відлагодження і моделювання.

2.2.5.1 Спочатку треба видалити раніше встановлену контрольну точку в описі BCD-лічильника. Відкрийте файл **cnt_4b.vhd** в редакторі HDE і знайдіть рядок з контрольною точкою (вона помічена піктограмою ). Помістіть курсор в цьому рядку і натисніть клавішу <F9> клавіатури. Контрольна точка буде видалена з рядка.

2.2.5.2 Відкрийте файл **freq_top.bde** в редакторі BDE. Це можна зробити, клацнувши на вкладці **freq_top.bde** (якщо файл вже відкритий) або двічі клацнувши на імені файлу у вікні **Design Browser**. Після цього перезапустіть моделювання, вибравши команду **Simulation** → **Restart Simulation** головного меню. Логічна схема частотоміра у вікні редактора BDE матиме вигляд, показаний на рис.2.29. Початкові значення всіх сигналів – U.

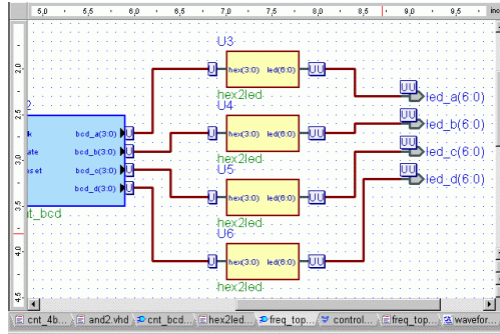


Рисунок 2.29 – Візуалізація сигналів. Початок моделювання

2.2.5.3 Двічі клацніть на кнопці  **Run For** і спостерігайте як змінюються значення всіх сигналів на логічній схемі частотоміра (рис.2.30). Для перемикання відображення значень в редакторі BDE можна використовувати команду **Probes** → **Probes Visible** меню **Diagram**.

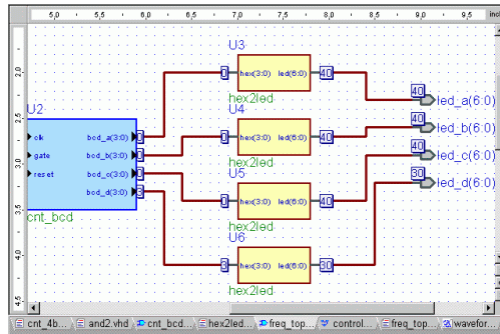


Рисунок 2.30 – Візуалізація зміни значень сигналів

2.2.6 Відлагодження кінцевих автоматів

В САПР Active-HDL можна в інтерактивному режимі виконувати відлагодження кінцевих автоматів. В редакторі FSM відображається зміна станів автомата під час моделювання.

2.2.6.1 Відкрийте файл **control.asf** в редакторі FSM. Це можна зробити, клацнувши на вкладці **control.asf** (якщо файл вже відкритий) або двічі клацнувши на імені файлу у вікні **Design Browser**. Після цього перезапуск

тіть моделювання, вибравши команду **Simulation** → **Restart Simulation** головного меню. Граф переходів автомата у вікні редактора FSM матиме вигляд, показаний на рис.2.31. Вершина графа (стан), виділена жовтим кольором, є *початковим станом* – станом, в якому автомат знаходиться на початку роботи.

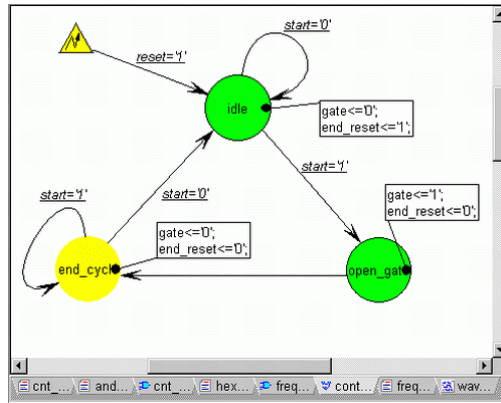
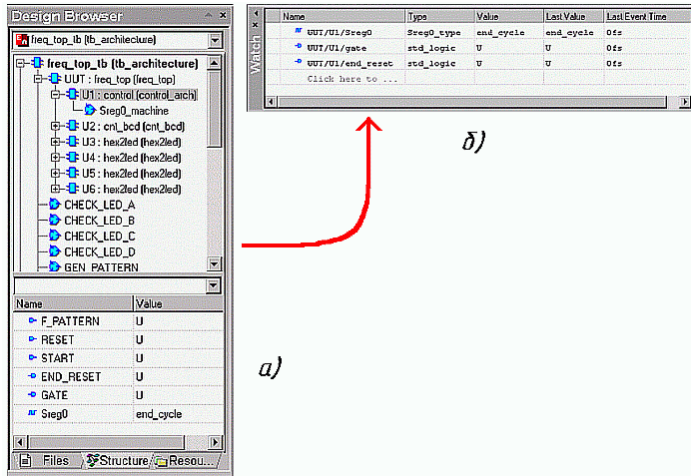


Рисунок 2.31 – Відлагодження кінцевого автомата. Початок роботи

- 2.2.6.2 Відкрийте вікно **Watch**, клацнувши на кнопці  **View Watch Window**, розташованої на панелі інструментів. Те ж саме можна зробити, якщо вибрати команду **View** → **Watch** головного меню.
- 2.2.6.3 На вкладці *Structure* вікна **Design Browser** розкрийте компонент проєкту *freq_top_tb* (рис.2.32,а). Виберіть сигнали *Sreg0*, *gate*, *end_reset* і перетягніть їх у вікно **Watch** (рис. 2.32,б). Початкові значення сигналів *gate* і *end_reset* – **U** (*unknown* – невідомо). Початковий стан автомата – *end_cycle*. Початковий стан кінцевого автомата можна змінити. Для цього треба використовувати команду **View** → **Sort Objects** меню редактора FSM.
- 2.2.6.4 Для початкової ініціалізації і скидання кінцевого автомата клацніть на кнопці  **Trace over Transition**, розташованої на панелі інструментів. Повинен відбутися перехід автомата в стан *idle*. На графі переходу стан *idle* буде виділений жовтим кольором. У вікні **Watch** значення сигналу *Sreg0* зміниться з *end_cycle* на *idle*. Зміни сигналів у вікні **Watch** виділяються червоним знаком вигуку (рис.2.33).



а – вибір кінцевого автомата у вікні Design Browser; би – вікно Watch
Рисунок 2.32 – Додавання сигналів у вікно Watch

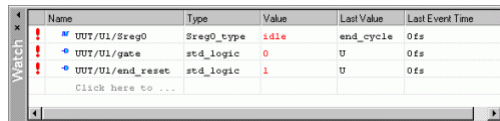


Рисунок 2.33 – Зміна стану кінцевого автомата

2.2.6.5 Користуючись кнопкою  **Trace over Transition**, можна запускати моделювання і спостерігати як міняється стан автомата. У вікні **Watch** окрім поточних значень сигналів, відображаються також їх попередні значення і час останньої події.

2.2.7 Вікно Data Flow

Вікно **Data Flow** – це графічний інструмент, за допомогою якого можна управляти рухом даних крізь активні процеси протягом моделювання.

2.2.7.1 Вибравши команду **Simulation** → **Restart Simulation** головного меню, перезапустить моделювання. Щоб відкрити вікно **Data Flow**, виберіть вкладку **Structure** вікна **Design Browser** і, розкривши структуру компоненту **UUT**, виберіть процес **Stimulus**. З'явиться вікно **Data Flow** (рис.34). Процес **Stimulus** об'єднує сигнали тестової послідовності, що

містяться у файлі випробувального стенду. Зверніть увагу, що процес випробувального стенду не має входів.

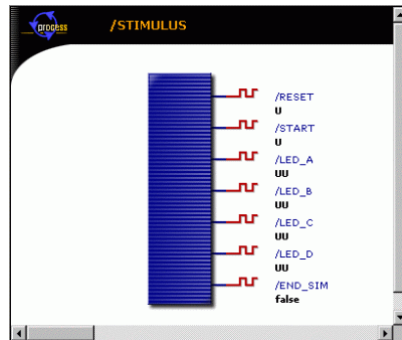


Рисунок 2.34 – Вікно Data Flow. Процес Stimulus

- 2.2.7.2 Клацніть на кнопці  **Run For**, розташованій на панелі інструментів Active-HDL. Можна спостерігати зміни значень сигналів в процесі **Stimulus**.
- 2.2.7.3 Клацніть на сигналі **reset**. У вікні **Data Flow** буде показаний напрям розповсюдження сигналу **reset** (рис.2.35). Сигнал **reset** з процесу **Stimulus** поступає на вхід графа переходів керуючого автомата, описаного у файлі **control.asf**.

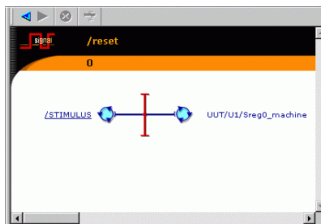


Рисунок 2.35 - Вікно Data Flow. Напрямок розповсюдження сигналу RESET

- 2.2.7.4 Для того, щоб слідувати далі у напрямі розповсюдження сигналу **reset**, виберіть правий компонент **UUT/U1/Sreg0_machine**. Як було сказано, сигнал **reset** поступає на вхід **reset** діаграми переходів автомата **control (Sreg0_machine)**. Автомат має три виходи. Поточні значення сигналів відображаються у вікні **Data Flow** (рис.2.36).

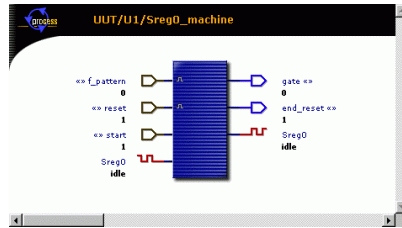


Рисунок 2.36 – Вікно Data Flow. Процес UUT/U1/Sreg0_machine

2.2.7.5 Для того, щоб подивитися, які процеси залежать від значення сигналу **gate**, клацніть на ньому мишею. Тепер видно, що сигнал **gate** використовують два процеси:

- **UUT/U2/U1/line_32** – сигнал **gate** використовується як вхідний порт **enable** BCD-лічильника;
- **UUT/U2/U5/line_26** – сигнал **gate** поступає на вхід одного з ЛЕ I.

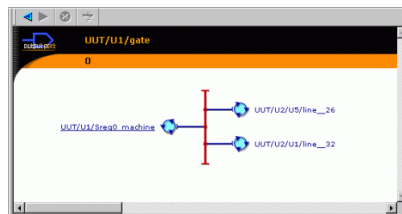


Рисунок 2.37 – Вікно Data Flow. Сигнал gate

2.2.7.6 Клацніть на процесі **UUT/U2/U1/line_32**. У вікні **Data Flow** буде показаний процес, що відноситься до BCD-лічильника, який має єдиний вихід – **Qint**. Сигнал **gate** тепер називається **enable**.

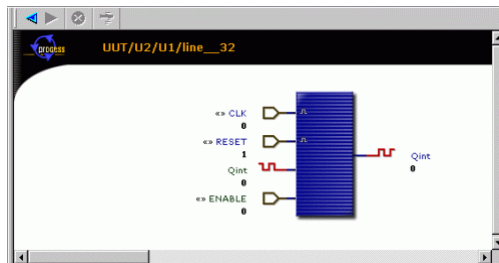


Рисунок 2.37 – Вікно Data Flow. Процес UUT/U2/U1/Line_32

2.2.7.7 Клацніть на сигналі **UUT/U2/U1/Qint** у вікні **Data Flow**. З'явиться зображення, яке представляє зв'язок між BCD-лічильником і простими 4-х розрядними лічильниками.

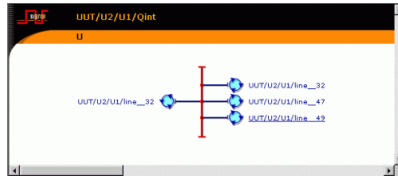


Рисунок 2.38 – Вікно Data Flow. Сигнал UUT/U2/U1/Qint

2.2.7.8 Клацніть на процесі **UUT/U2/U1/line_49**. Сигнал **Qint** є портом **full** у файлі **Cnt_4b.vhd**, який містить опис 4-х розрядного лічильника.

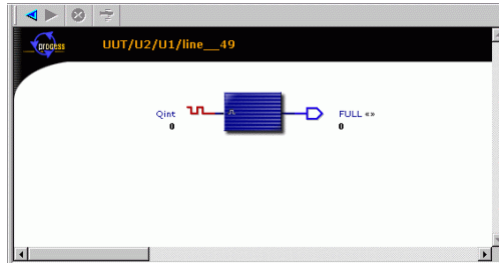


Рисунок 2.39 – Вікно Data Flow. Процес UUT/U2/U1/line_49

2.3 Зміст звіту

1. Мета роботи.
2. Номер варіанту індивідуального завдання. Розрахунок результатів вимірювання частоти.
3. Результати моделювання у вигляді часової діаграми та таблиці переминок.
4. Текст програми випробувального стенду.
5. Висновки.

Звіт до лабораторної роботи повинен містити результати, отримані під час її виконання і тези відповідей на контрольні питання. Звіти в електронному вигляді або ксерокопії до захисту не приймаються.

2.4 Контрольні запитання

1. Що таке випробувальний стенд? Тестова послідовність? Порівняйте два способи моделювання ЦС: за участю користувача та автоматичний.
2. Яким чином у САПР Active-HDL можна створити випробувальний стенд для одного процесу?
3. В якій послідовності виконується ініціалізація моделювання ЦС? Як виконати повторний запуск моделювання?
4. Які засоби керування моделюванням і трасуванням VHDL- проекту є в САПР Active-HDL?
5. Які засоби відображення результатів моделювання і трасування можуть використовуватися?
6. Для чого призначене вікно Data Flow? Яким чином можна його відкрити?
7. Які типи стимуляторів є в САПР Active-HDL? Як вони настроюються?
8. Які є вбудовані засоби підтримки відлагодження у редакторах HDE, BDE і FSM. Як їх використовувати?

ЛІТЕРАТУРА

1. Проектирование цифровых систем с использованием языка VHDL: Уч. пособие/ В.В. Семенец, И.В. Хаханова, В.И. Хаханов.– Харьков: ХНУ-РЭ, 2003.– 492 с.
2. Бибило П.Н. Синтез логических схем с использованием языка VHDL.– М.: СОЛОН-Р, 2002.– 384 с.
3. Кондратенко Ю.П., Сидоренко С.А., Підпригора Д.М. Поведінковий синтез цифрових пристроїв у середовищі Active-HDL: Навчальний посібник.– Миколаїв: МФ НаУКМА, 2002.– 116 с.
4. Шапо Ф.С., Шапо В.Ф. Введение в VHDL – язык проектирования цифровых систем.– Одесса: Астропринт, 2001.– 220 с.
5. Дж. Ф. Уэйкерли Проектирование цифровых устройств. В 2-х томах: Пер. с англ. М.: Постмаркет, 2002.
6. Угрюмов Е.П. Цифровая схемотехника.–СПб.: БХВ–Петербург, 2001.– 528с.(Гл.9)
7. Бибило П.Н. Основы языка VHDL.– М.: Солон-Р, 2000.–200с.